



(12) 发明专利

(10) 授权公告号 CN 102377426 B

(45) 授权公告日 2016. 08. 03

(21) 申请号 201110216906. 3

审查员 万洋

(22) 申请日 2011. 07. 29

(30) 优先权数据

2010-177337 2010. 08. 06 JP

(73) 专利权人 索尼公司

地址 日本东京都

(72) 发明人 田中智一 菊池秀和

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临

(51) Int. Cl.

H03L 7/081(2006. 01)

H03L 7/08(2006. 01)

H03L 7/089(2006. 01)

H03L 7/099(2006. 01)

(56) 对比文件

US 5790610 A, 1998. 08. 04,

US 6236695 B1, 2001. 05. 22,

CN 101136739 A, 2008. 03. 05,

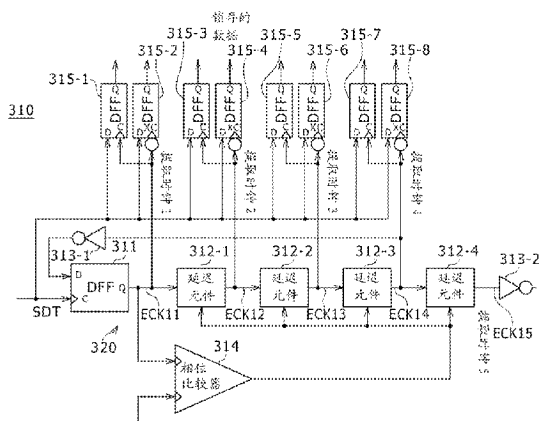
权利要求书3页 说明书8页 附图10页

(54) 发明名称

时钟数据恢复电路、接收装置和通信系统

(57) 摘要

公开了一种包括延迟元件的CDR电路、接收装置以及通信系统,其中,CDR电路包括:分频器,具有延迟元件,并被配置来通过使用规则地插入了信号转变的数据输入作为触发来提取时钟;以及锁存器,被配置来与分频器提取的时钟同步地锁存输入数据信号。



1. 一种包括延迟元件的时钟数据恢复电路,简称CDR电路,其特征在于所述CDR电路包括:

分频器,具有延迟元件,并被配置来通过使用规则地插入了信号转变的数据的输入作为触发来提取时钟;以及

锁存器,被配置来与所述分频器提取的时钟同步地锁存输入的数据信号,

其中,所述分频器具有:

触发器,被配置来与输入信号同步地从所述触发器的数据输入端向所述触发器的时钟输入端输入数据,以及从所述触发器的数据输出端输出保持的数据作为提取时钟,以及

连接到所述触发器的所述数据输出端的一个延迟元件和级联于所述数据输出端的多个延迟元件中的一个;

所述延迟元件的每个输出通过延迟输入时钟获得的提取时钟;以及

将所述一个延迟元件和所述多个延迟元件中的任何一个的输出提取时钟的反相信号提供给所述触发器的所述数据输入端。

2. 根据权利要求1的CDR电路,其中所述触发器为与输入的数据信号转变的上升和下降沿同步的双沿触发器型。

3. 根据权利要求2的CDR电路,其中所述触发器是具有数据输入端和反相数据输入端以及数据输出端和反相数据输出端的差动双沿触发器型,由此从所述数据输出端输出提取时钟以及从所述反相数据输出端输出提取反相时钟;以及

所述每个延迟元件包括其中输入提取时钟的正侧输入端和其中输入提取反相时钟的反相输入端以及从其输出提取时钟的正侧输出端和从其输出提取反相时钟的反相输出端,

所述触发器的所述数据输入端被提供有所述一个延迟元件的输出提取反相时钟和所述多个延迟元件中的任何一个的输出提取反相时钟中的一个,

所述触发器的所述反相数据输入端被提供有所述一个延迟元件的输出提取时钟和所述多个延迟元件中的任何一个的输出提取时钟中的一个。

4. 根据权利要求1的CDR电路,还包括:

相位比较器,被配置来通过比较提取时钟的相位和由延迟元件延迟的提取时钟的相位对分频器内部的延迟元件的延迟量执行反馈控制。

5. 根据权利要求2的CDR电路,还包括:

多个锁存器,被配置来与所述触发器的输出时钟以及从所述一个延迟元件和所述多个延迟元件中的一个输出的时钟同步地锁存输入的数据信号。

6. 一种接收装置,包括:

时钟数据恢复电路,简称为CDR电路,被配置来接收在数据线上传送的且规则地插入了信号转变的串行数据信号,以根据接收的串行数据信号来恢复时钟和数据,

所述CDR电路包括:

分频器,具有延迟元件,用于使用规则地插入了信号转变的数据的输入作为触发来提取时钟,以及

锁存器,用于与所述分频器提取的时钟同步地锁存输入的数据信号,

其中,所述分频器具有:

触发器,被配置来与输入信号同步地从所述触发器的数据输入端向所述触发器的时钟

输入端输入数据,以及从所述触发器的数据输出端输出保持的数据作为提取时钟,以及连接到所述触发器的所述数据输出端的一个延迟元件和级联于所述触发器的所述数据输出端的多个延迟元件中的一个;

所述延迟元件的每个输出通过延迟输入时钟获得的提取时钟;以及

将所述一个延迟元件和所述多个延迟元件中的任何一个的输出提取时钟的反相信号提供给所述触发器的所述数据输入端。

7. 根据权利要求6的接收装置,其中所述触发器为与输入的数据信号转变的上升和下降沿同步的双沿触发器型。

8. 根据权利要求7的接收装置,其中所述触发器是具有数据输入端和反相数据输入端以及数据输出端和反相数据输出端的差动双沿触发器型,由此从所述数据输出端输出提取时钟以及从所述反相数据输出端输出提取反相时钟;以及

所述每个延迟元件包括其中输入提取时钟的正侧输入端和其中输入提取反相时钟的反相输入端以及从其输出提取时钟的正侧输出端和从其输出提取反相时钟的反相输出端,

所述触发器的所述数据输入端被提供有所述一个延迟元件的输出提取反相时钟和所述多个延迟元件中的任何一个的输出提取反相时钟中的一个,

所述触发器的所述反相数据输入端被提供有所述一个延迟元件的输出提取时钟和所述多个延迟元件中的任何一个的输出提取时钟中的一个。

9. 根据权利要求6的接收装置,还包括:

相位比较器,被配置来通过比较提取时钟的相位和由延迟元件延迟的提取时钟的相位对分频器内部的延迟元件的延迟量执行反馈控制。

10. 根据权利要求6的接收装置,还包括:

多个锁存器,被配置来与所述触发器的输出时钟以及从所述一个延迟元件和所述多个延迟元件中的一个输出的时钟同步地锁存输入的数据信号。

11. 一种通信系统,包括:

发送装置,被配置来向数据线发送规则地插入了信号转变的串行数据信号;以及

接收装置,被配置来接收在所述数据线传送的所述串行数据信号,所述串行数据信号被规则地插入了信号转变,

其中所述接收装置具有时钟数据恢复电路,简称CDR电路,用于根据接收的串行数据信号来恢复时钟和数据,

所述CDR电路具有:

分频器,具有延迟元件,并被配置来通过使用规则地插入了信号转变的数据的输入作为触发来提取时钟,以及

锁存器,被配置来与所述分频器提取的时钟同步地锁存输入的数据信号,

其中,所述分频器具有:

触发器,被配置来与输入信号同步地从所述触发器的数据输入端向所述触发器的时钟输入端输入数据,以及从所述触发器的数据输出端输出保持的数据作为提取时钟,以及

连接到所述触发器的所述数据输出端的一个延迟元件和级联于所述数据输出端的多个延迟元件中的一个;

所述延迟元件的每个输出通过延迟输入时钟获得的提取时钟;以及

将所述一个延迟元件和所述多个延迟元件中的任何一个的输出提取时钟的反相信号提供给所述触发器的所述数据输入端。

时钟数据恢复电路、接收装置和通信系统

技术领域

[0001] 本技术涉及可应用于例如接收数字信号的串行通信的CDR(Clock Data Recovery,时钟数据恢复)电路、接收装置以及通信系统。

背景技术

[0002] 通常,在串行数据通信中,如图1所示,数据DT以及时钟CLK是通过数据线3和时钟线4并行从发送器1发送到接收器2的。

[0003] 数据DT和时钟CLK在某一定时进入接收器2。接收器2在输入时钟的转变(transition)定时锁存输入数据。

[0004] 在这种情况下,虽然简化了接收器2的电路配置,但是因为数据DT和时钟CLK间在配线延迟上的差异(如果有的话)导致用于锁存输入数据的定时偏移(timing shift),所以高速数据通信应用困难。

[0005] 为了克服该问题,称为时钟嵌入的机制通常用于高速串行数据通信。

[0006] 参考图2,示出了图示时钟嵌入发送机制的示意图。

[0007] 在时钟嵌入发送机制中,仅仅数据信号被从发送器1A发送到接收器2A。因为不发送时钟信号,所以不会发生数据和时钟配线间的延迟差异的上述问题。

[0008] 在接收器2A中,布置CDR(Clock Data Recovery,时钟数据恢复)电路。CDR电路利用数据信号转变的周期性从数据串(train)信号来恢复时钟信号。接收器2A利用该恢复的时钟锁存输入信号。

[0009] 为了在执行时钟恢复过程中参考数据转变点来调整时钟信号的频率,CDR电路要求数据转变率(data transition rate)比某一频率高。如果数据转变率太低,无法获得用于时钟提取的信息,由此不能进行稳定的时钟提取。

[0010] 因而,基于使用CDR电路的时钟嵌入机制的串行信号发送必须使用某一方法以保证数据中的比特转变率将不会变得太小。

[0011] 参考图3,示出了基于基准转变的时钟嵌入发送机制,用于维持比特转变率的机制之一。

[0012] 在日本专利号2863763中公开的技术中使用了该机制。

[0013] 在该机制中,每特定比特数的信号数据中插入上升转变,从而始终在固定间隔使得时钟转变进入接收器。

[0014] 其中代替上升沿而在每个特定周期插入下降沿的机制也提供与上述实质相同的效果。

[0015] 此外,还存在其中根据在基准转变之前的比特的值插入上升沿或下降沿的机制。曼彻斯特编码(参看US专利No.4100541)是该机制的一种。

[0016] 参考图4,示出了基于曼彻斯特编码的传输信号的例子。

[0017] 在图4示出的例子中,可见总是每2比特发生一次比特转变。在基于曼彻斯特编码的接收器中,使用该转变来简化接收器的CDR电路的配置。

发明内容

[0018] 以下描述CDR电路的具体示例性配置。

[0019] 参考图5,示出了用于利用图3示出的基准转变来执行数据信号的时钟恢复的CDR电路的示例性配置。

[0020] 参考图6,示出了指示图5示出的CDR电路的操作概括的时序图。

[0021] 在此例子中,基准转变周期例如是4个比特。

[0022] 图5示出的CDR电路10具有相位比较器11、选择器12、压控振荡器(voltage control oscillator, VCO)13、分频器14和D型触发器(DFF)15。

[0023] 在CDR电路10中,如果输入数据速率用fbps表示,则VCO 13以频率f赫兹振动以生成提取时钟(extracted clock)ECK。

[0024] 相位比较器11比较提取时钟ECK和输入数据ID的相位以输出比较结果。仅当选择器12接通时,相位比较器11以该结果更新VCO 13的频率控制信号。

[0025] 选择器12由通过分频器14划分提取时钟ECK以获得1/4频率而获得的划分的时钟DECK控制,并且被配置来取出仅仅输入数据的基准转变和提取时钟ECK间的比较结果。

[0026] 总体上,该CDR电路10作为对输入数据ID的基准转变进行锁定的PLL(锁相环)电路而操作。

[0027] 该PLL电路通过利用相位比较器11的输出来改变VCO 13的工作频率来操作,从而,如果输入数据的频率变化,总是发生某种延迟直到VCO 13的振荡频率追随波动。

[0028] 因此,如果在输入数据信号加上高速抖动(数据频率的波动),图5中示出的CDR电路10出现因为提取时钟上的变化不能追随该抖动而倾向于引起信号错误的问题。

[0029] 参考图7,示出了日本专利特开No.2009-232462(以下简称专利文献1)中公开的利用基准转变执行数据信号的时钟恢复的CDR电路的示例性配置。

[0030] 参考图8,示出了指示图7中示出的CDR电路的操作概括的时序图。

[0031] 图7中示出的CDR电路20具有转变检测器21、基准转变提取电路22、时钟发生器23、遮蔽(mask)信号发生器24、相位比较器25、延迟元件26-1到26-4、和DFF 27-1到27-4。

[0032] 这里,输入数据速率用f bps表示。

[0033] 转变检测器21从输入数据ID生成具有对应于数据转变的最大频率f Hz的转变脉冲SPLS。

[0034] 基准转变提取电路22从转变脉冲SPLS仅仅取出对应于基准转变的转变脉冲。

[0035] 时钟生成电路23生成具有对应于基准转变脉冲RSPLS的f/4Hz的提取时钟ECK1以及利用1/f秒的延迟元件26-1到26-4来延迟所生成的提取时钟ECK1,由此生成提取时钟ECK2到ECK5。

[0036] 用于提取基准转变脉冲RSPLS的定时信号由遮蔽信号发生器24利用提取时钟ECK1到ECK5的任何一个来生成。

[0037] 通过相位比较器25比较提取时钟ECK1的相位与提取时钟ECK5的相位来反馈地控制延迟元件26-1到26-4的延迟量,由此对准这些相位。

[0038] 总体上,CDR电路20作为利用基准转变来执行延迟控制的DLL电路而操作。因为如果对输入数据信号施加抖动则直到执行相位追随的最大延迟量仅仅是4/f秒,所以CDR电路

20具有比上述PLL型更强的抖动抵抗力。

[0039] 然而,在此电路配置中,遮蔽信号发生器24、基准转变提取电路22和时钟生成电路23的延迟限制了操作速度的上限,由此出现难以高速操作的问题。

[0040] 所以,本技术提到与相关技术方法和装置相关的上述和其它问题,并通过提供被配置来提供高速时钟提取操作和对抖动输入鲁棒由此阻止发生信号误差的CDR电路、接收装置、通信系统来解决所提到的问题。

[0041] 在执行本技术过程中以及根据其一个实施例,提供一种CDR(Clock Data Recovery,时钟数据恢复)电路。该CDR电路包括:分频器,具有延迟元件,并被配置来通过使用规则地插入了信号转变的数据输入作为触发来提取时钟;以及锁存器,被配置来与分频器提取的时钟同步地锁存输入数据信号。

[0042] 在执行本技术过程中以及根据其另一实施例,提供一种接收装置。该接收装置具有CDR电路,该CDR电路被配置来接收在数据线上传送的且规则地插入了信号转变的串行数据信号,以根据接收的串行数据信号来恢复时钟和数据。该CDR电路包括:分频器,具有延迟元件,用于通过使用规则地插入了信号转变的数据输入作为触发来提取时钟,以及锁存器,用于与分频器提取的时钟同步地锁存输入数据信号。

[0043] 在执行本技术过程中以及根据其另一实施例,提供一种通信系统。通信系统具有:发送装置,被配置来向数据线发送规则地插入了信号转变的串行数据信号;以及接收装置,被配置来接收在数据线传送的串行数据信号,该串行数据信号被规则地插入了信号转变。在此通信系统中,接收装置具有CDR电路,用于根据接收的串行数据信号来恢复时钟和数据。该CDR电路具有:分频器,具有延迟元件,且被配置来通过使用规则地插入了信号转变的数据输入作为触发来提取时钟,以及锁存器,被配置来与分频器提取的时钟同步地锁存输入数据信号。

[0044] 如上所述并根据本技术的实施例,提供了一种信号提取速度快、对抖动输入鲁棒(robust)以及抑制信号误差发生的简单电路配置。

附图说明

[0045] 从以下参考附图对实施例的描述,本技术的其它特征和优势将变得清楚,在附图中:

[0046] 图1是图示一般串行数据通信机制的示意图;

[0047] 图2是图示时钟嵌入发送机制的示意图;

[0048] 图3是图示用于维持比特转变率的机制的转变图,该机制是基于基准转变的时钟嵌入发送机制;

[0049] 图4是图示基于曼彻斯特编码的传输信号的一个例子的发送图;

[0050] 图5是图示用于利用图3中示出的基准转变来执行数据信号的时钟恢复的CDR电路的示例性配置的框图;

[0051] 图6是指示图5示出的CDR电路的操作概括的时序图;

[0052] 图7是图示用于利用专利文献1中公开的基准转变来执行数据信号的时钟恢复的CDR电路的示例性配置的框图;

[0053] 图8是指示图7示出的CDR电路的操作概括的时序图;

- [0054] 图9是图示作为本技术的一个实施例实践的通信系统的基本配置的示意图；
- [0055] 图10是图示作为本技术的第一实施例实践的接收装置中的CDR电路的示例性配置的框图；
- [0056] 图11A到11F是指示图10中示出的CDR电路的操作概括的时序图；
- [0057] 图12是图示作为本技术的第二实施例实践的接收装置中的CDR电路的示例性配置的框图；
- [0058] 图13A到13F是指示图12中示出的CDR电路的操作概括的时序图；
- [0059] 图14是图示作为本技术的第三实施例实践的接收装置中的CDR电路的示例性配置的框图；以及
- [0060] 图15A到15K是指示图14中示出的CDR电路的操作概括的时序图。

具体实施方式

- [0061] 将参考附图利用实施例更详细描述本技术。
- [0062] 请注意,将按以下次序进行描述:
- [0063] (1)第一实施例(CDR电路的第一示例性配置);
- [0064] (2)第二实施例(CDR电路的第二示例性配置);以及
- [0065] (3)第三实施例(CDR电路的第三示例性配置)。
- [0066] 现在,参考图9,示出了作为本技术的一个实施例实践的通信系统的基本配置。
- [0067] 通信系统100具有发送装置200、接收装置300以及发送装置200和接收装置300间连接的数据线400。
- [0068] 发送装置200经由数据线400向接收装置300发送两个或更多的相位锁定的串行数据信号SDT。
- [0069] 接收装置300用作用于接收在数据线400上传送的串行数据信号SDT的串行通信的接收器。
- [0070] 接收装置300具有CDR(Clock Data Recovery,时钟数据恢复)电路310。
- [0071] CDR电路310利用规则地插入了信号转变的数据输入作为触发(trigger)通过合并延迟元件的分频器来提取时钟,由此利用提取时钟来锁存信号的数据信号。
- [0072] CDR电路310通过比较提取时钟的相位和由延迟元件延迟的提取时钟的相位来对分频器中的延迟元件的延迟量执行反馈控制。
- [0073] 以下具体地描述具有本实施例的特征性配置的接收装置300中布置的CDR电路的配置和功能。
- [0074] 在下面,例如,基准数据发送间隔是四个比特。
- [0075] (1)第一实施例
- [0076] 参考图10,示出了作为本技术的第一实施例实践的接收装置中布置的CDR电路的示例性配置。
- [0077] 图10中示出的CDR电路310具有用于分频的DFF(D-type flip-flop,D-型触发器)311、延迟元件312-1到312-4、反相器313-1和313-2、相位比较器314和用于数据锁存的DFF 315-1到315-8。
- [0078] DFF 311和延迟元件312-1到312-4形成分频器320。。

[0079] DFF 311的时钟输入端C连接到作为接收的输入信号的串行数据信号SDT的供给线,数据输入端D连接到反相器313-1的输出。DFF 311的数据输出端Q连接到延迟元件312-1的输入端、相位比较器314的输入端之一、DFF 315-1的时钟输入端C,DFF 315-2的反相时钟输入端XC。

[0080] DFF 311从数据输出端Q输出第一提取时钟ECK11。

[0081] 延迟元件312-1的输出端连接到延迟元件312-2的输入端、DFF 315-3的时钟输入端C、DFF 315-4的反相时钟输入端XC。

[0082] 延迟元件312-1输出由DFF 311延迟第一提取时钟ECK11获得的第二提取时钟ECK12。

[0083] 延迟元件312-2的输出端连接到延迟元件312-3的输入端、DFF 315-5的时钟输入端C、DFF 315-6的反相时钟输入端XC。

[0084] 延迟元件312-2输出由延迟元件312-2延迟第二提取时钟ECK12获得的第三提取时钟ECK13。

[0085] 延迟元件312-3的输出端连接到延迟元件312-4的输入端、反相器313-1的输入端、DFF 315-7的时钟输入端C,DFF 315-8的反相时钟输入端XC。

[0086] 延迟元件312-3输出由延迟元件312-2延迟第三提取时钟ECK13获得的第四提取时钟ECK14。

[0087] 延迟元件312-4的输出端连接到反相器313-2的输入端。

[0088] 延迟元件312-4输出由延迟元件312-3延迟第四提取时钟ECK14获得的第五提取时钟ECK15。

[0089] 反相器313-2的输出连接到相位比较器314的另一输入。

[0090] 相位比较器314的输出连接到用于调整级联的延迟元件312-1到312-4的延迟量的控制端。

[0091] 相位比较器314对延迟元件312-1到312-4的延迟量进行反馈控制,以便对准第五提取时钟ECK15的反相信号和第一提取时钟ECK11的相位。

[0092] 数据锁存器DFF 315-1到315-8的数据输入端D连接到作为输入信号的串行数据信号SDT的供给线。

[0093] 以下描述具有上述配置的CDR电路310的操作。

[0094] 图11A到11F示出指示图10中示出的CDR电路的操作概括的时序图;

[0095] 图11A示出输入的串行数据SDT。图11B示出第一提取时钟ECK11。图11C示出第二提取时钟ECK12。图11D示出第三提取时钟ECK13。图11E示出第四提取时钟ECK14。图11F示出第五提取时钟ECK15。

[0096] 在下面,假定输入数据信号速率为 $1/f$ 。

[0097] 把数据信号SDT提供给DFF 311的时钟输入端C。DFF 311在数据信号SDT的上升时锁存第四提取时钟ECK14的反相信号并输出锁存的信号作为第一提取时钟ECK11。

[0098] 从提取时钟ECK11,由 $1/f$ 秒的延迟元件312-1到312-4生成第五提取时钟ECK15。

[0099] 由相位比较器314对延迟元件312-1到312-4进行反馈控制,以便对准第五提取时钟ECK15的反相信号和第一提取时钟ECK11的相位。

[0100] 总体上,DFF 311和延迟元件312-1到312-3采取输入数据信号SDT的 $1/2$ 分频器的

形式,其中DFF 311的输入被延迟元件312-1到312-3延迟了3/4比特。因此,在DFF 311的输出反转之后,在相当于3/4比特的时间忽略数据输入。

[0101] 结果,如图11A到11F所示,提取具有与基准转变同步的1/2频率的时钟ECK11到ECK15。

[0102] 然后,利用提取时钟ECK11到ECK14在DFF 315-1到315-8中在其上升和下降沿两者锁存输入数据允许锁存输入数据信号SDT且以1/8去串行化(de-serialize)输入数据信号SDT。

[0103] 如果使用图10中示出的CDR电路310,因为与图7中示出的CDR电路同样直到在对输入数据信号施加了抖动的相位的追随之前的最大延迟量仅仅为 $4/f$ 秒,所以可以提供几乎等同于图7中示出的电路的抖动抵抗力。

[0104] 此外,因为CDR电路310内部的工作频率是具有最高 $1/8f$ Hz的信号,以及与图7中所示的电路不同,没有由遮蔽信号生成电路、基准转变提取电路和时钟生成电路引起的延迟,所以可以实现高速操作。

[0105] 此外,虽然图7中示出的CDR电路在电路启动时要求仅由基准转变组成的初始化信号的输入,但是根据本实施例的CDR电路能够利用其它信号执行初始化。

[0106] (2)第二实施例

[0107] 参考图12,示出了作为本技术的第二实施例实践的接收装置中布置的CDR电路的示例性配置。

[0108] 图13A到13F是指示图12中示出的CDR电路的操作概括的时序图。

[0109] 图13A示出输入的串行数据SDT。图13B示出第一提取时钟ECK11。图13C示出第二提取时钟ECK12。图13D示出第三提取时钟ECK13。图13E示出第四提取时钟ECK14。图13F示出第五提取时钟ECK15。

[0110] 根据第二实施例的CDR电路310A在下面几点上不同于根据第一实施例的CDR电路310。

[0111] 根据第一实施例的CDR电路310提取与数据信号SDT的上升沿同步的时钟。

[0112] 根据第二实施例的CDR电路310A被配置为兼容基准转变的上升和下降两者的电路。

[0113] 更具体,图12示出的CDR电路310A由双沿触发器DFF形成,其中用于分频的DFF 311A具有两个正相和反相时钟输入端C和XC。

[0114] 其余构成部分与图10所示的CDR电路310的相同。

[0115] 如上所述,根据第二实施例的CDR电路310A通过对生成第一提取时钟ECK11的DFF 311A应用对上升和下降沿两者进行操作的DFF而可以同样从图13A所示的数据信号提取时钟。

[0116] (3)第三实施例

[0117] 参考图14,示出了作为本技术的第三实施例实践的接收装置中布置的CDR电路的示例性配置。

[0118] 根据第三实施例的CDR电路310B与根据第二实施例的CDR电路310A不同在于CDR电路310B具有差动配置。

[0119] 更具体,DFF 311B由差动双沿触发器DFF形成,以及级联的延迟元件由延迟元件

312B-1到312B-4形成。

[0120] 锁存器DFF 315B-1到DFF 315B-8每个具有用于时钟输入的正相(normal)时钟端C,且没有负(反相)侧的时钟输入。

[0121] 此外,根据第三实施例的CDR电路310B不需要根据第一和第二实施例的CDR电路310和CDR电路310A所需的反相器。

[0122] DFF 311B的时钟输入端C和时钟反相输入端XC连接到作为接收的输入信号的串行数据信号SDT的供给线。

[0123] DFF 311B的数据输入端D连接到延迟元件312B-3的反相数据输出端,以及反相数据输入端XD连接到延迟元件312B-3的正侧(normal-side)输出。

[0124] DFF 311B的数据输出端Q连接到延迟元件312B-1的正侧输入、相位比较器314的一个输入端和DFF 315B-2的时钟输入端C。DFF 311B的反相输出端XQ连接到延迟元件312B-2的反相时钟输入端和DFF 315B-1的时钟输入端C。

[0125] DFF 311B从数据输出端Q输出第一提取时钟ECK11和从反相输出端XQ输出第一提取反相时钟XECK11。

[0126] 延迟元件312B-1的正侧输出连接到延迟元件312B-2的正侧输入端和DFF 315B-4的时钟输入端C,以及反相输出连接到延迟元件312B-2的反相数据输入端和DFF 315B-3的时钟输入端C。

[0127] 延迟元件312B-1输出由DFF 311B延迟第一提取时钟ECK11获得的第二提取时钟ECK12和由DFF 311B延迟第一提取反相时钟XECK11获得的第二提取反相时钟XECK12。

[0128] 延迟元件312B-2的正侧输出连接到延迟元件312B-3的正侧输入端和DFF 315B-6的时钟输入端C,以及反相输出连接到延迟元件312B-3的反相数据输入端和DFF 315B-5的时钟输入端C。

[0129] 延迟元件312B-2输出由延迟元件312B-1延迟第二提取时钟ECK12获得的第三提取时钟ECK13和由延迟元件312B-1延迟第二提取反相时钟XECK12获得的第三提取反相时钟XECK13。

[0130] 延迟元件312B-3的正侧输出连接到延迟元件312B-4的正侧输入端、DFF315B-8的时钟输入端C,DFF 311B的反相数据输入端XD。延迟元件312B-3的反相输出连接到延迟元件312B-4的反向数据输入端、DFF 315B-7的时钟输入端C、和DFF 311B的数据输入端D。

[0131] 延迟元件312B-3输出由延迟元件312B-2延迟第三提取时钟ECK13获得的第四提取时钟ECK14和由延迟元件312B-2延迟第三提取反相时钟XECK13获得的第四提取反相时钟XECK14。

[0132] 延迟元件312B-4的反相输出连接到相位比较器314的另一输入。

[0133] 延迟元件312B-4输出由延迟元件312B-3延迟第四提取反相时钟XECK14获得的第五提取反相时钟XECK15。

[0134] 相位比较器314的输出连接到用于调整级联的延迟元件312B-1到312B-4的延迟量的控制端。

[0135] 相位比较器314对延迟元件312B-1到312B-4的延迟量进行反馈控制,以便对准第五提取反相时钟XECK15的反相信号和第一提取时钟ECK11的相位。

[0136] 数据锁存器DFF 315B-1到315B-8的数据输入端D连接到作为输入信号的串行数据

信号SDT的供给线。

[0137] 以下描述具有上述配置的CDR电路310B的操作。

[0138] 图15A到15K是指图14中示出的CDR电路的操作概括的时序图。

[0139] 图15A示出输入的串行数据SDT。图15B示出第一提取时钟ECK11。图15C示出第一提取反相时钟XECK11。

[0140] 图15D示出第二提取时钟ECK12。图15E示出第二提取反相时钟XECK12。图15F示出第三提取时钟ECK13。图15G示出第三提取反相时钟XECK13。

[0141] 图15H示出第四提取时钟ECK14。图15I示出第四提取反相时钟XECK14。图15J示出第五提取时钟ECK15。图15K示出第五提取反相时钟XECK15。

[0142] 这里,假定输入数据信号速率为 $1/f$ 。

[0143] 把数据信号SDT提供给DFF 311B的时钟输入端C和时钟反相输入端XC。

[0144] DFF 311B在数据信号SDT的上升和下降时锁存第四提取反相时钟XECK14和第四提取时钟ECK14以分别输出第一提取时钟ECK11和第一提取反相时钟XECK11。

[0145] 从第一提取时钟ECK11和第一提取反相时钟XECK11,由 $1/f$ 秒的延迟元件312B-1到312B-4生成第五提取反相时钟XECK15。

[0146] 这里,由相位比较器314对延迟元件312B-1到312B-4进行反馈控制,以便对准第五提取反相时钟XECK15和第一提取时钟ECK11的相位。

[0147] 总体上,DFF 311B和延迟元件312B-1到312B-3采取输入数据信号SDT的 $1/2$ 分频器的形式。DFF 311B的输入被延迟元件312B-1到312B-3延迟了 $3/4$ 比特,落在DFF 311B的输出之后。因此,在DFF 311B的输出反转之后在相当于 $3/4$ 比特的时间,忽略数据输入。

[0148] 结果,如图15A到15K所示,提取具有与基准转变同步的 $1/2$ 频率的时钟ECK11到ECK15和反相时钟XECK11到XECK15。

[0149] 然后,通过利用提取时钟ECK11到ECK14和提取反相时钟XECK11到XECK14,在DFF 315B-1到315B-8中锁存输入数据。因此,可以锁存输入数据信号SDT,同时,可以获得 $1/8$ 去串行化。

[0150] 根据本技术的第三实施例,无需布置图2示出的CDR电路310A所需的反相器元件,由此获得更高速的操作。

[0151] 如上所述并根据本技术的实施例,提供了基于其中以特定周期插入时钟信号的信号发送机制的接收装置,尤其是CDR电路,由此提供总体与图7所示电路同样的对输入抖动的抵抗力,实现了高速时钟提取。

[0152] 即,根据本技术的实施例,可以以简单的电路配置实现高速时钟提取、高的抖动输入抵抗力和信号误差抑制。

[0153] 虽然使用特定术语描述了本技术的优选实施例,但是这样的描述仅出于说明性的目的,应该理解,可以进行改变和变化而不背离所附权利要求的精神或范围。

[0154] 本公开包含于2010年8月6日提交于日本专利局的日本在先专利申请JP2010-177337中公开的主题相关的主题,其全部的内容通过引用合并于此。

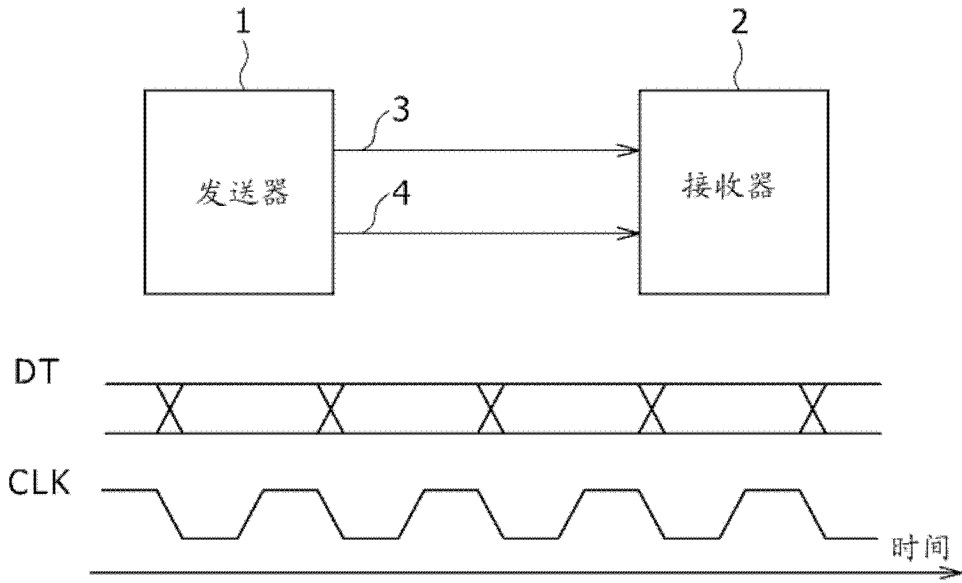


图1

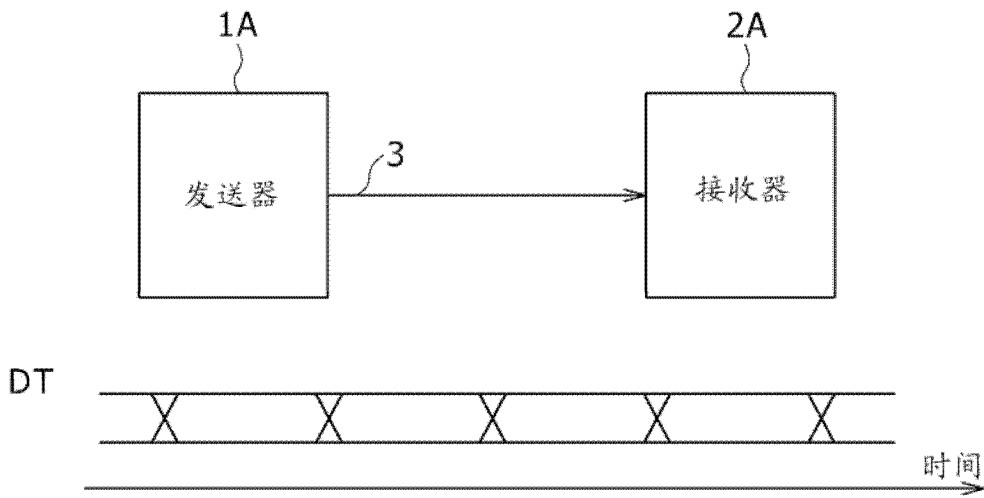


图2

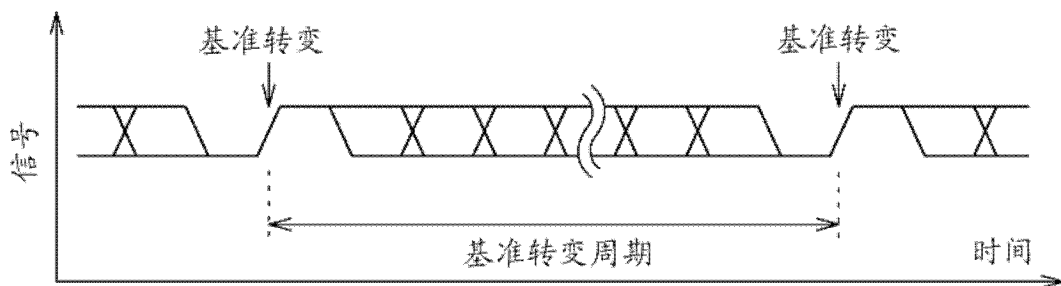


图3

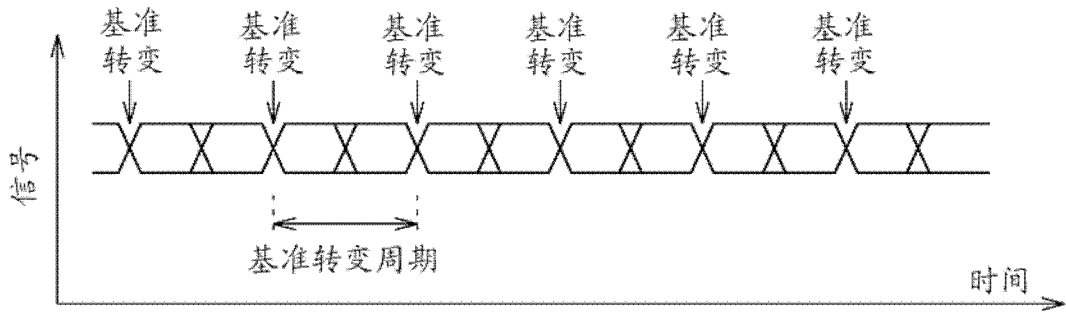


图4

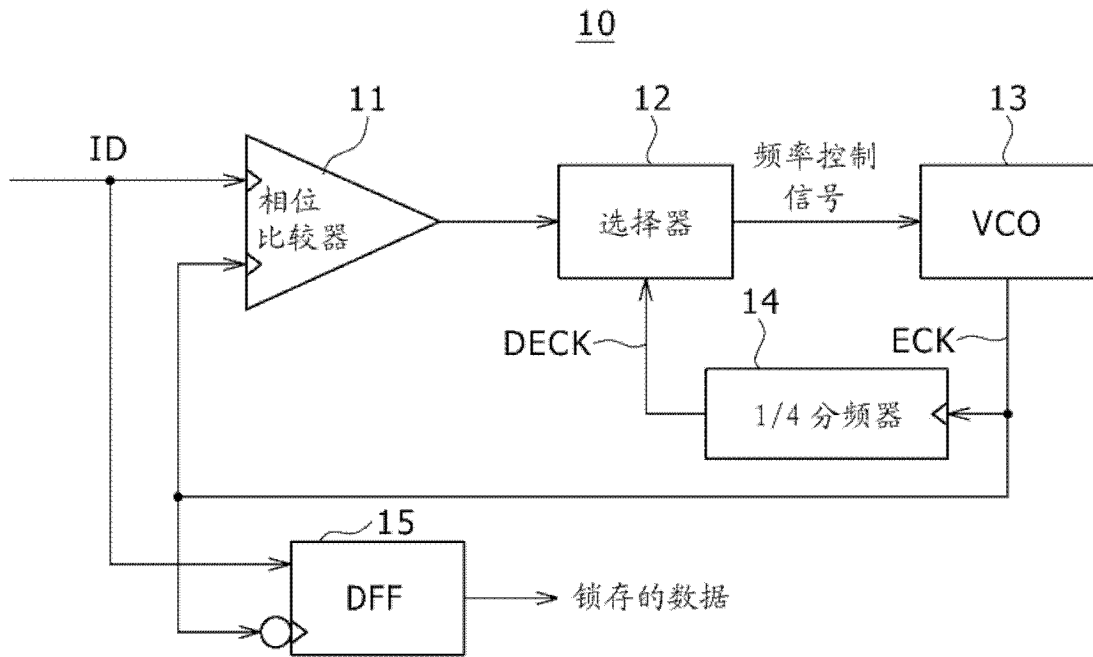


图5

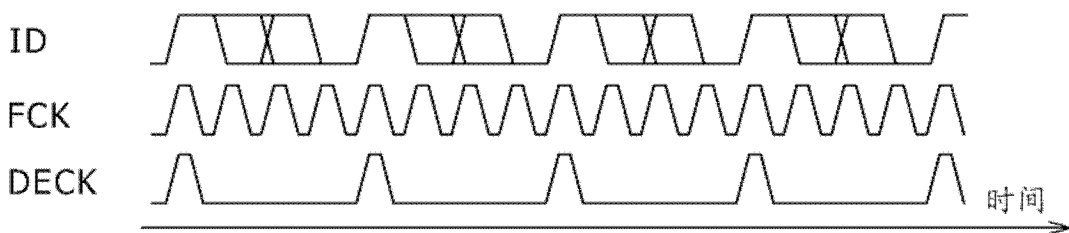


图6

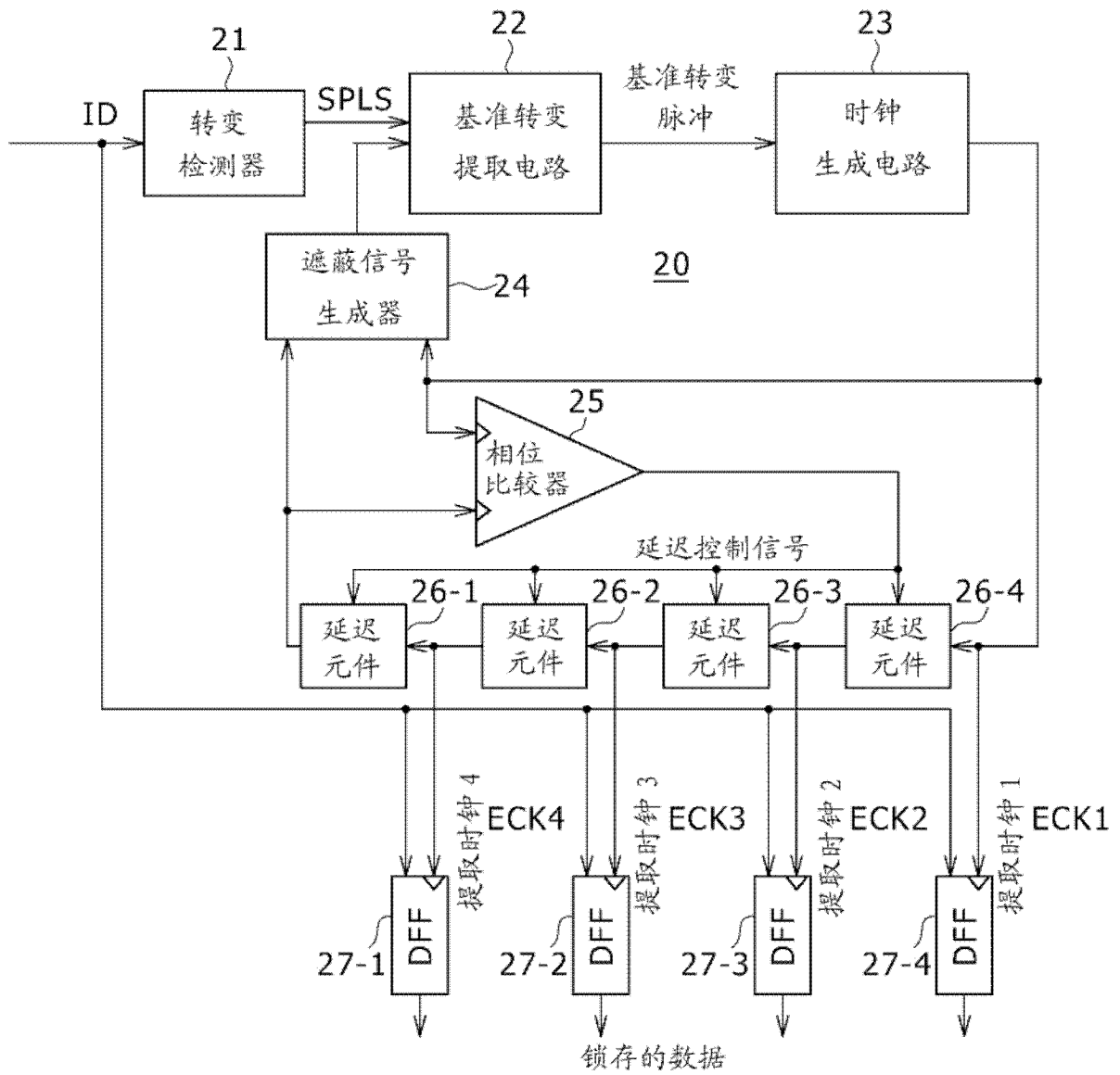


图7

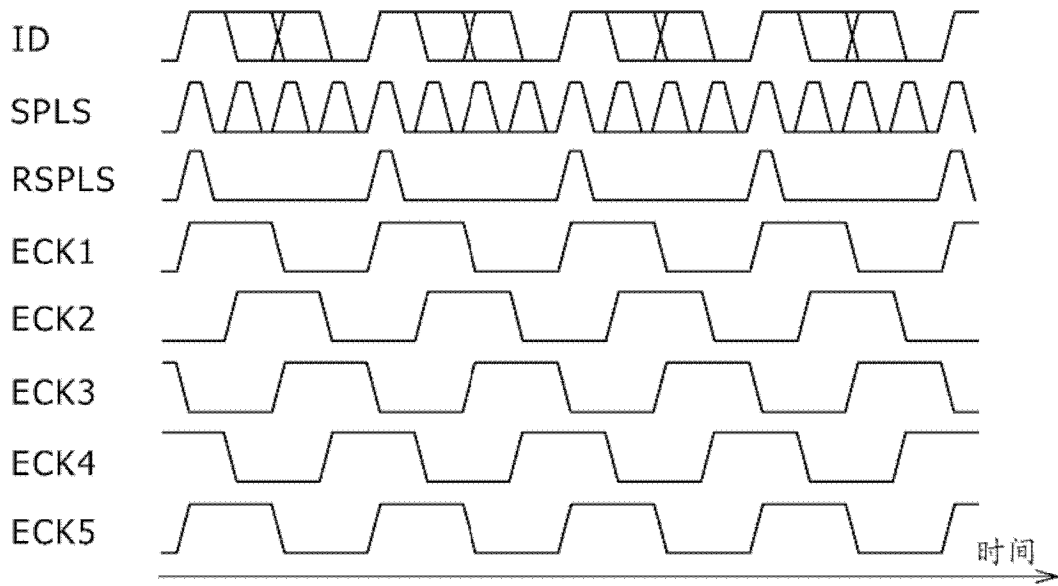


图8

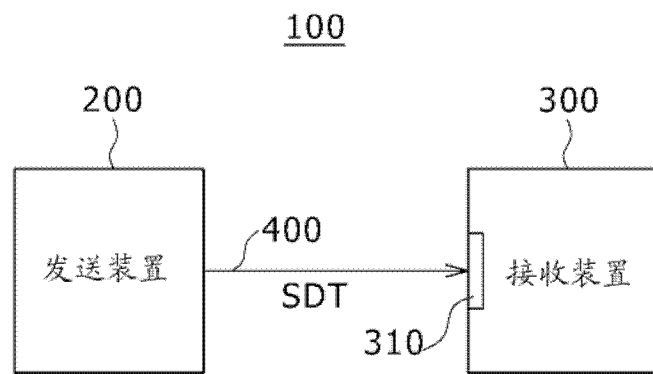


图9

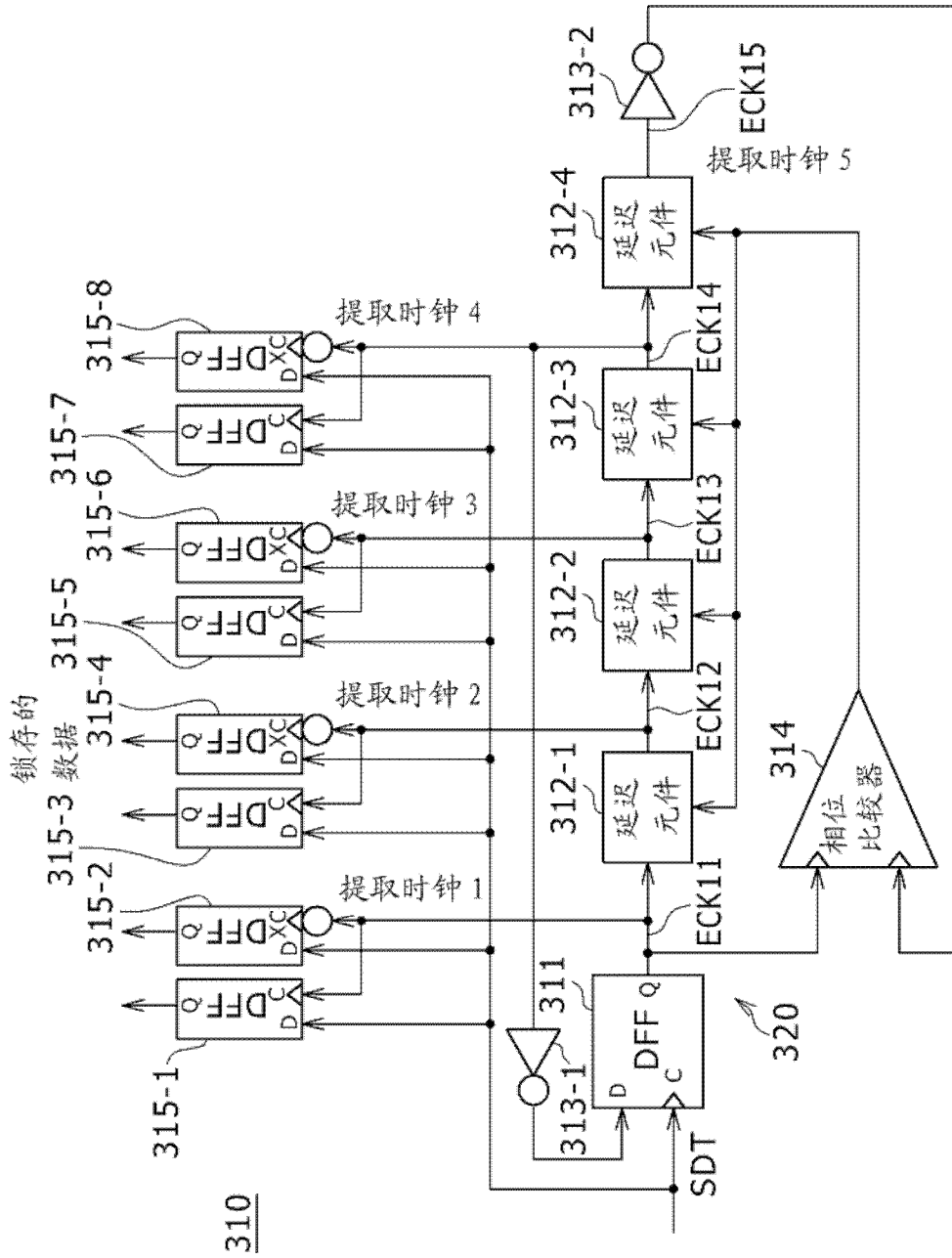
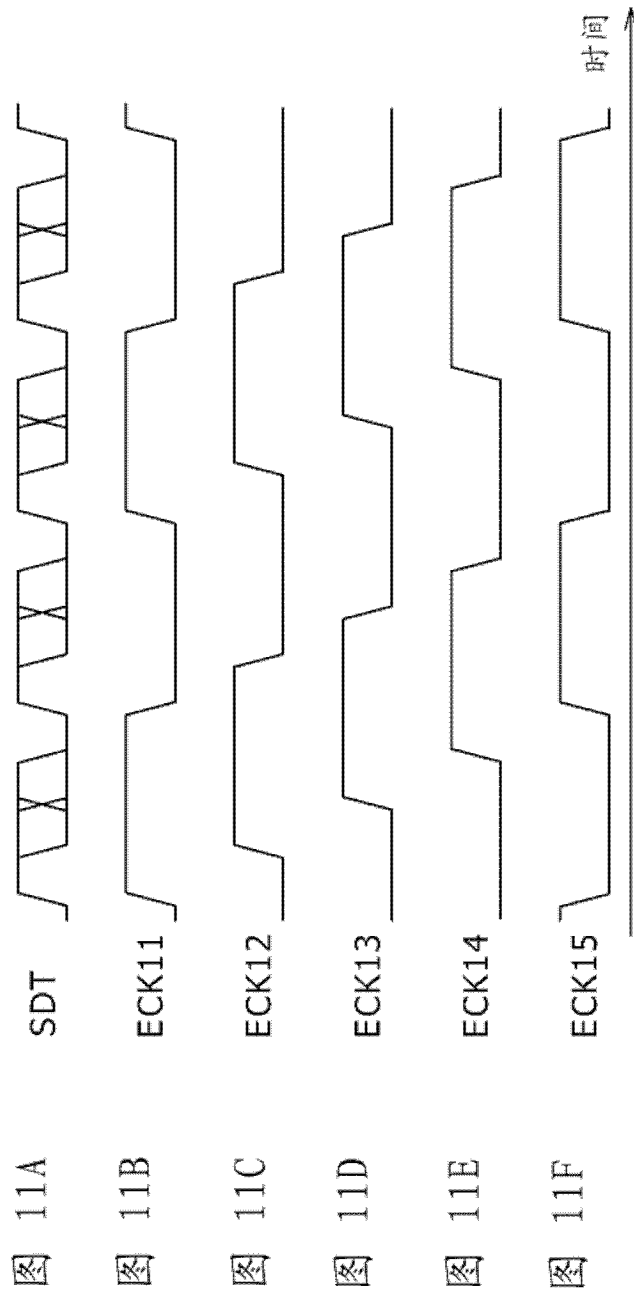


图10



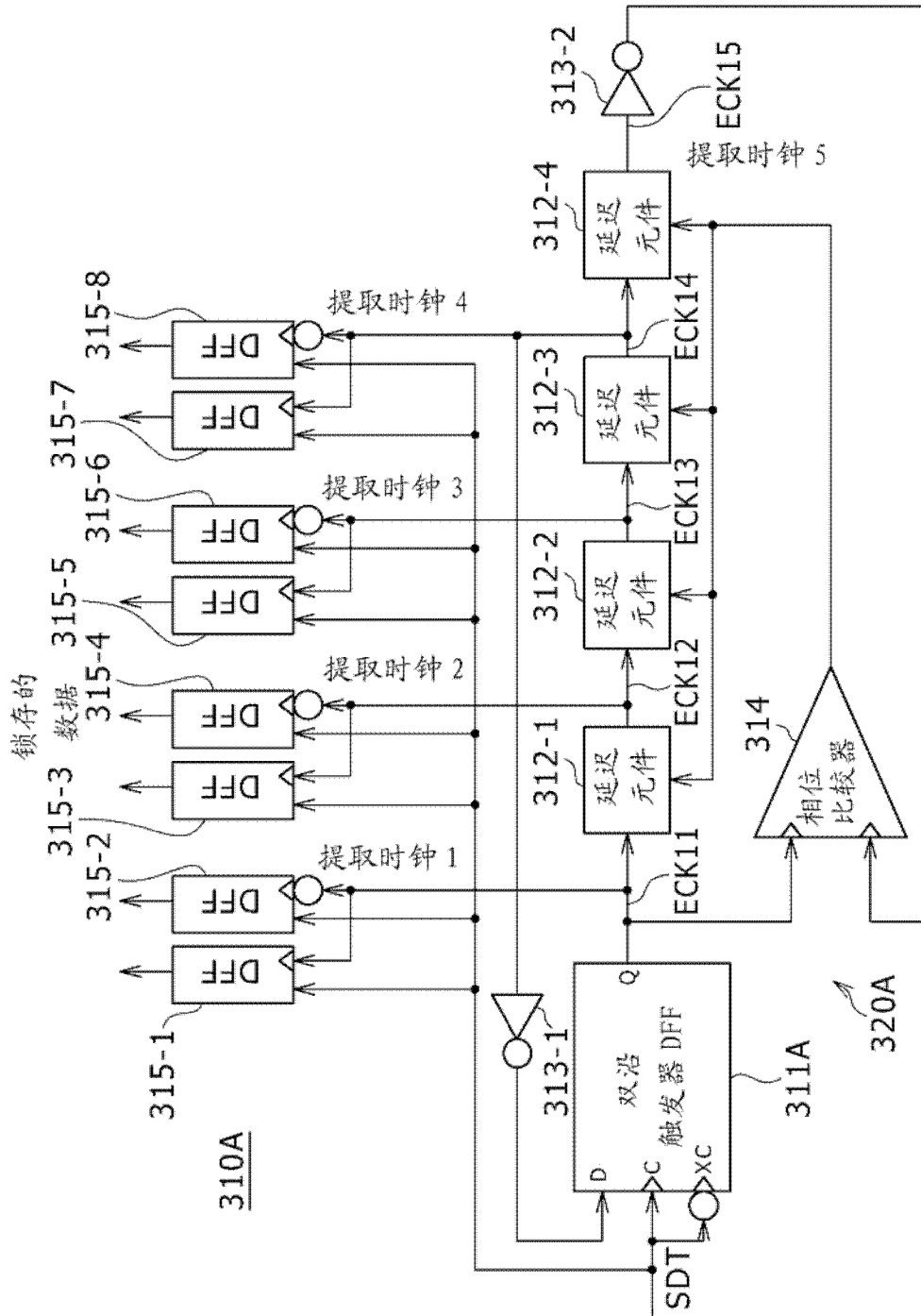
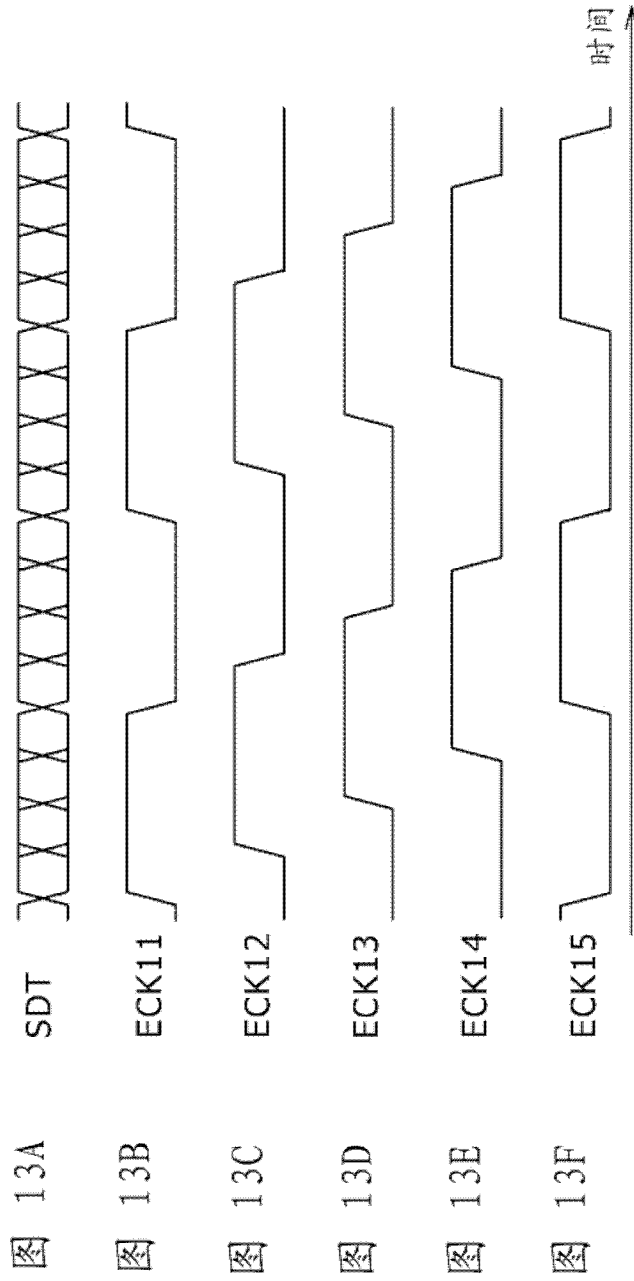


图12



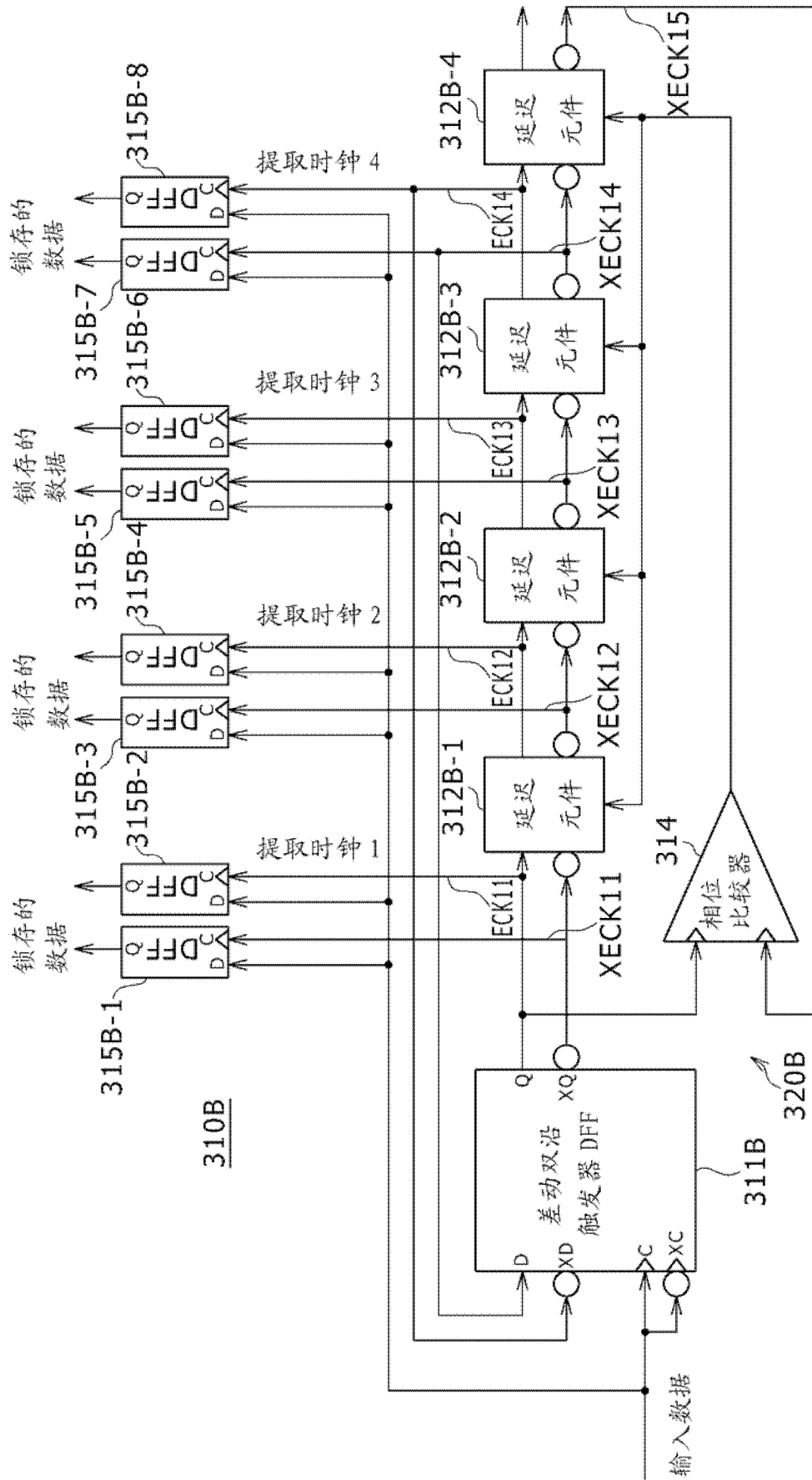


图14

