



(12) 发明专利申请

(10) 申请公布号 CN 103426819 A

(43) 申请公布日 2013. 12. 04

(21) 申请号 201310380245. 7

(22) 申请日 2013. 08. 27

(71) 申请人 上海华力微电子有限公司

地址 201203 上海市浦东新区高科技园区高
斯路 568 号

(72) 发明人 张文广 傅昶 陈玉文

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 陆花

(51) Int. Cl.

H01L 21/768(2006. 01)

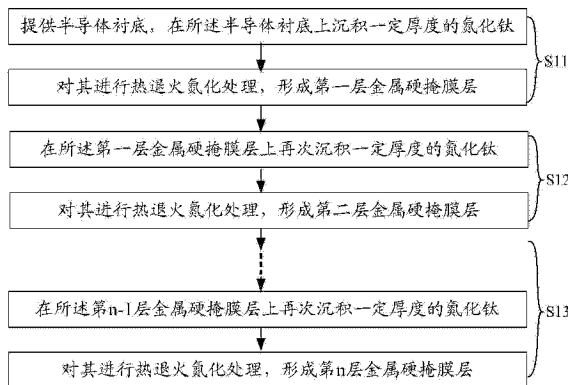
权利要求书1页 说明书5页 附图3页

(54) 发明名称

一种金属硬掩膜层及铜互连结构的制备方法

(57) 摘要

本发明提供一种金属硬掩膜层及铜互连结构的制备方法,通过在一半导体衬底上多次交替进行一定厚度的金属硬掩膜层的沉积操作以及采用包含氮气的混合载气热退火氮化处理所述金属硬掩膜层的操作后形成预定厚度的金属硬掩膜层,这样周而复始几个循环达到预定厚度后结束。采用该方法能够有效改善金属硬掩膜层的平整度,不影响金属硬掩膜层电阻率均匀性,提高了金属硬掩膜层的品质,同时又充分释放和减小金属硬掩膜层的应力,从而降低其下层薄膜由于受到金属硬掩膜层的高应力而产生变形现象发生的可能性。



1. 一种金属硬掩膜层的制备方法,其特征在于,包括:

提供半导体衬底,并在所述半导体衬底上多次交替进行一定厚度的金属硬掩膜层的沉积操作以及采用包含氮气的混合载气热退火氮化处理所述金属硬掩膜层的操作;

经过多次金属硬掩膜层的沉积和热退火氮化处理后,金属硬掩膜层达到预定厚度。

2. 如权利要求 1 所述的金属硬掩膜层的制备方法,其特征在于,所述金属硬掩膜层为氮化钛。

3. 如权利要求 1 所述的金属硬掩膜层的制备方法,其特征在于,每次沉积的金属硬掩膜层的工艺为 MOCVD 或 PVD 或 ALD,沉积厚度相同或不同。

4. 如权利要求 1 所述的金属硬掩膜层的制备方法,其特征在于,每次沉积的金属硬掩膜层厚度为 $10\text{\AA}\sim 100\text{\AA}$,沉积时通入氮气的流量为 $10\text{sccm}\sim 1000\text{sccm}$,沉积时间为 $10\text{s}\sim 1000\text{s}$,沉积厚度为 $100\text{\AA}\sim 1000\text{\AA}$ 。

5. 如权利要求 1 所述的金属硬掩膜层的制备方法,其特征在于,所述热退火氮化处理为快速热处理、炉管工艺或者激光快速退火。

6. 如权利要求 1 所述的金属硬掩膜层的制备方法,其特征在于,所述混合载气还包括氩气和 / 或氢气。

7. 如权利要求 1 所述的金属硬掩膜层的制备方法,其特征在于,所述热退火氮化处理的工艺参数包括:退火温度为 $200^{\circ}\text{C}\sim 400^{\circ}\text{C}$;退火时间为 $10\text{s}\sim 100\text{s}$;通入的氮气的流量为 $100\text{sccm}\sim 10000\text{sccm}$,氩气或氢气的流量为 $10\text{sccm}\sim 1000\text{sccm}$ 。

8. 一种铜互连结构的制备方法,其特征在于,包括:

提供半导体衬底,在所述半导体衬底上依次形成衬垫层、低 K 介质层;

采用权利要求 1 至 7 中任一项所述的金属硬掩膜层的制备方法,在所述低 K 介质层上形成预定义厚度的金属硬掩膜层;

在所述金属硬掩膜层上形成覆盖层;

采用单大马士革刻蚀工艺和 / 或双大马士革刻蚀工艺刻蚀所述覆盖层、金属硬掩膜层、低 K 介质层以及衬垫层,从而在所述低 K 介质层中形成一层铜互连结构。

9. 如权利要求 8 所述的铜互连结构的制备方法,其特征在于,所述衬垫层为含氮的碳化硅;所述低 K 介质层包括多孔硅层及其上方的正硅酸乙酯层;所述覆盖层为氧化硅。

10. 如权利要求 8 所述的铜互连结构的制备方法,其特征在于,所述单大马士革刻蚀工艺和 / 或双大马士革刻蚀工艺的步骤包括:

沟道曝光、刻蚀;过孔曝光、刻蚀;去除光阻层;沟道和过孔刻蚀;衬垫层开口;沟道和过孔的籽晶层沉积、铜填充以及填充后的化学机械抛光。

一种金属硬掩膜层及铜互连结构的制备方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种金属硬掩膜层及铜互连结构的制备方法。

背景技术

[0002] 在 $0.13\mu\text{m}$ 以及更先进的后段工艺,铜互连由于更低的电阻率和更好的抗电迁移性能而被广泛作为铝互连所替代。铜互连工艺的完成可以采用金属硬掩膜层的方法(通常采用物理气相沉积 PVD 方法来制备氮化钛 TiN 薄膜)来实现。采用该工艺可以减小低介电常数层间介电质在干法时刻过程中造成的损伤,减小了光阻的用量,并且金属硬掩膜层是牺牲层,不会在最终的产品中存留,从而该工艺广泛的应用于 65nm 以下的铜互连中。

[0003] 但是在实际的生产过程中发现,金属硬掩膜层的应力一般很高,例如氮化钛 TiN 薄膜的应力约为 -1.4GPa ,具有较高应力的金属硬掩膜层会对其下方的低介电常数薄膜产生一定作用(如图 1 中箭头所示, TiN 薄膜对其下方的低介电常数薄膜的作用)而导致其发生变形(如图 1 所示),从而影响产品的良率。

[0004] 目前解决该方法为通过调整沉积金属硬掩膜层薄膜参数,而改变薄膜的应力,进而减小该薄膜对于其下方低介电常数薄膜力的作用,提高产品良率。然而,对金属硬掩膜层薄膜沉积参数的调整,虽然使得薄膜的应力有所减小,却使得该薄膜的电阻率均匀性有所影响(例如沉积参数调整后, TiN 薄膜的电阻率均匀性从 2% 增加到 8% 以上),进而会影响到其后续的蚀刻等制程。因此,需要一种方法既能够降低该薄膜的应力,又能够使得薄膜的其他性能不受太大的影响。

发明内容

[0005] 本发明的目的在于提供一种金属硬掩膜层及铜互连结构的制备方法,能够充分减小金属硬掩膜层的应力,从而降低其下层薄膜由于受到高应力而产生变形现象发生的可能性并且提高了金属硬掩膜层的品质。

[0006] 为解决上述问题,本发明提出一种金属硬掩膜层的制备方法,包括:

[0007] 提供半导体衬底,并在所述半导体衬底上多次交替进行一定厚度的金属硬掩膜层的沉积操作以及采用包含氮气的混合载气热退火氮化处理所述金属硬掩膜层的操作;

[0008] 经过多次金属硬掩膜层的沉积和热退火氮化处理后,金属硬掩膜层达到预定厚度。

[0009] 进一步的,所述金属硬掩膜层为氮化钛。

[0010] 进一步的,每次沉积的金属硬掩膜层的工艺为 MOCVD 或 PVD 或 ALD,沉积厚度相同或不同。

[0011] 进一步的,每次沉积的金属硬掩膜层厚度为 $10\text{\AA}\sim 100\text{\AA}$,沉积时通入氮气的流量为 $10\text{sccm}\sim 1000\text{sccm}$,沉积时间为 $10\text{s}\sim 1000\text{s}$,沉积厚度为 $100\text{\AA}\sim 1000\text{\AA}$ 。

[0012] 进一步的,所述热退火氮化处理为快速热处理、炉管工艺或者激光快速退火。

[0013] 进一步的,所述混合载气还包括氩气和 / 或氢气。

[0014] 进一步的,所述热退火氮化处理的工艺参数包括:退火温度为 $200^{\circ}\text{C} \sim 400^{\circ}\text{C}$;退火时间为 $10\text{s} \sim 100\text{s}$;通入的氮气的流量为 $100\text{sccm} \sim 10000\text{sccm}$,氩气或氢气的流量为 $10\text{sccm} \sim 1000\text{sccm}$ 。

[0015] 本发明还提供一种铜互连结构的制备方法,包括:

[0016] 提供半导体衬底,在所述半导体衬底上依次形成衬垫层、低 K 介质层;

[0017] 采用上述之一的金属硬掩膜层的制备方法,在所述低 K 介质层上形成预定义厚度的金属硬掩膜层;

[0018] 在所述金属硬掩膜层上形成覆盖层;

[0019] 采用单大马士革刻蚀工艺和 / 或双大马士革刻蚀工艺刻蚀所述覆盖层、金属硬掩膜层、低 K 介质层以及衬垫层,从而在所述低 K 介质层中形成一层铜互连结构。

[0020] 进一步的,所述衬垫层为含氮的碳化硅(SiCN);所述低 K 介质层包括多孔硅层(SiOCH) 以及其上方的正硅酸乙酯层(TEOS);所述覆盖层为氧化硅。

[0021] 进一步的,所述单大马士革刻蚀工艺和 / 或双大马士革刻蚀工艺的步骤包括:

[0022] 沟道曝光、刻蚀;过孔曝光、刻蚀;去除光阻层;沟道和过孔刻蚀;衬垫层开口;沟道和过孔的籽晶层沉积、铜填充以及填充后的化学机械抛光。

[0023] 与现有技术相比,本发明提供的金属硬掩膜层及铜互连结构的制备方法,通过在一半导体衬底上多次交替进行一定厚度的金属硬掩膜层的沉积操作以及采用包含氮气的混合载气热退火氮化处理所述金属硬掩膜层的操作后形成预定厚度的金属硬掩膜层,即淀积一定厚度的金属硬掩膜层后,对该金属硬掩膜层进行带有氮气及其他载气的热退火氮化处理以充分释放该薄膜的内应力,然后再进行淀积一定厚度金属硬掩膜层并随后对其进行带有氮气及其他载气的热退火氮化处理,这样周而复始几个循环达到预定厚度后结束。采用该方法能够使得金属硬掩膜层内部进行充分的氮化反应和收缩,产生趋向拉伸的应力,从而能够有效改善金属硬掩膜层的平整度,不影响金属硬掩膜层电阻率均匀性,同时又充分释放和减小金属硬掩膜层的应力,从而降低其下层薄膜由于受到金属硬掩膜层的高应力而产生变形现象发生的可能性,提高了金属硬掩膜层下层薄膜的品质。

附图说明

[0024] 图 1 现有技术中一种铜互连结构的电镜扫描图;

[0025] 图 2 是本发明具体实施例的金属硬掩膜层的制备方法流程图;

[0026] 图 3 是本发明具体实施的铜互连结构的制备方法流程图;

[0027] 图 4A 至图 4D 是图 3 所示的铜互连结构的制备方法流程的器件结构示意图。

具体实施方式

[0028] 本发明的核心思想是公开一种金属硬掩膜层及铜互连结构的制备方法,通过在一半导体衬底上多次交替进行一定厚度的金属硬掩膜层的沉积操作以及采用包含氮气的混合载气热退火氮化处理所述金属硬掩膜层的操作后形成预定厚度的金属硬掩膜层,即淀积一定厚度的金属硬掩膜层后,对该金属硬掩膜层进行带有氮气及其他载气的热退火氮化处理以充分释放该薄膜的内应力,然后再进行淀积一定厚度金属硬掩膜层并随后对其进行带

有氮气及其他载气的热退火氮化处理,这样周而复始几个循环达到预定厚度后结束。采用该方法能够有效改善金属硬掩膜层的平整度,不影响金属硬掩膜层电阻率均匀性,提高了金属硬掩膜层的品质,同时又充分释放和减小金属硬掩膜层的应力,从而降低其下层薄膜由于受到金属硬掩膜层的高应力而产生变形现象发生的可能性。

[0029] 为使本发明的目的、特征更明显易懂,下面结合附图对本发明的具体实施方式作进一步的说明,然而,本发明可以用不同的形式实现,不应认为只是局限在所述的实施例。

[0030] 请参考图 2,本发明提出一种金属硬掩膜层的制备方法,包括:

[0031] S11,提供半导体衬底,在所述半导体衬底上采用 MOCVD 或 PVD 或 ALD 沉积一定厚度的氮化钛,采用包含氮气的混合载气对其进行热退火氮化处理,形成第一层金属硬掩膜层;

[0032] S12,在所述第一层金属硬掩膜层上再次沉积一定厚度的氮化钛,形成第二层金属硬掩膜层,并采用包含氮气的混合载气对所述第二层金属硬掩膜层进行热退火氮化处理;

[0033] S13,周而复始 n 个循环,即在所述半导体衬底上重复多次氮化钛的沉积和热退火氮化处理,直至沉积形成所有的金属硬掩膜层的厚度总和达到预定厚度后结束。

[0034] 采用上述方法能够有效而又充分减小金属硬掩膜层的应力,从而降低其下层薄膜由于受到金属硬掩膜层的高应力而产生变形现象发生的可能性并且提高了其下层薄膜的品质。

[0035] 请参考图 3,本发明还提供一种铜互连结构的制备方法,包括:

[0036] S21,提供半导体衬底,在所述半导体衬底上依次形成衬垫层、低 K 介质层;

[0037] S22,采用 S11 至 S13 所述的金属硬掩膜层的制备方法,在所述低 K 介质层上形成预定义厚度的金属硬掩膜层;

[0038] S23,在所述金属硬掩膜层上形成覆盖层;

[0039] S24,采用单大马士革刻蚀工艺和 / 或双大马士革刻蚀工艺刻蚀所述覆盖层、金属硬掩膜层、低 K 介质层以及衬垫层,从而在所述低 K 介质层中形成一层铜互连结构。

[0040] 下面结合附图 3 和附图 4A 至 4D 详细描述本发明的铜互连结构的制备方法。

[0041] 请参考图 3 和图 4A,在步骤 S21 中,提供的半导体衬底 400 是第 X-1 层铜互连结构,包括 M_{x-1} 金属层,在所述半导体衬底 400 上依次形成衬垫层 401、低 K 介质层 402;其中,所述衬垫层 401 为含氮的碳化硅(SiCN);所述低 K 介质层 402 包括多孔硅层(SiOCH)以及其上方的正硅酸乙酯层(TEOS)。

[0042] 请参考图 3 和图 4A,在步骤 S22 中,采用 S11 至 S13 所述的金属硬掩膜层的制备方法,在所述低 K 介质层 402 上形成预定义厚度的金属硬掩膜层 403,其中 S11 至 S13 所述的金属硬掩膜层的制备方法中,每次通过 MOCVD、PVD 或 ALD 沉积工艺沉积氮化钛来形成各层金属硬掩膜层,每层金属硬掩膜层的沉积厚度可以相同,也可以不同。同时,每次沉积的金属硬掩膜层厚度为 $10\text{\AA}\sim 100\text{\AA}$ 例如是 $15\text{\AA}, 20\text{\AA}, 25\text{\AA}, 30\text{\AA}, 35\text{\AA}, 40\text{\AA}, 45\text{\AA}, 50\text{\AA}, 55\text{\AA}, 60\text{\AA}, 65\text{\AA}, 70\text{\AA}, 75\text{\AA}, 80\text{\AA}, 85\text{\AA}, 90\text{\AA}, 95\text{\AA}$;沉积时通入氮气的流量为 $10\text{sccm}\sim 1000\text{sccm}$,例如是 $50\text{sccm}, 100\text{sccm}, 150\text{sccm}, 200\text{sccm}, 250\text{sccm}, 300\text{sccm}, 350\text{sccm}, 400\text{sccm}, 450\text{sccm}, 500\text{sccm}, 550\text{sccm}, 600\text{sccm}, 700\text{sccm}, 800\text{sccm}, 900\text{sccm}$;沉积时间为 $10\text{s}\sim 1000\text{s}$,例如是 $50\text{s}, 100\text{s}$,

150s, 200s, 250s, 300s, 350s, 400s, 450s, 500s, 550s, 600s, 700s, 800s, 900s ; 沉积厚度为 $100\text{\AA}\sim 1000\text{\AA}$, 例如是

150 \AA , 200 \AA , 250 \AA , 300 \AA , 350 \AA , 400 \AA , 450 \AA , 500 \AA , 550 \AA , 600 \AA , 700 \AA , 800 \AA , 900 \AA 。每次热退火氮化处理可以为快速热处理、炉管工艺或者激光快速退火, 热退火淡化处理时的混合载气还包括氩气和 / 或氢气, 每次热退火氮化处理的工艺参数包括: 退火温度为 $200^{\circ}\text{C}\sim 400^{\circ}\text{C}$; 退火时间为 $10\text{s}\sim 100\text{s}$; 通入的氮气的流量为 $100\text{sccm}\sim 10000\text{sccm}$, 氩气或氢气的流量为 $10\text{sccm}\sim 1000\text{sccm}$ 。

[0043] 请参考图 3 和图 4A, 在步骤 S23 中, 在所述金属硬掩膜层 403 上形成覆盖层 404, 其中, 所述覆盖层 404 为氧化硅。

[0044] 请参考图 3 和图 4B 至 4D, 在步骤 S23 中可以采用单大马士革刻蚀工艺和 / 或双大马士革刻蚀工艺刻蚀各膜层, 以在所述低 K 介质层 402 中形成一层铜互连结构。例如双大马士革刻蚀工艺的具体过程如下:

[0045] 请参考图 4B, 在所述金属硬掩膜层 404 上涂布光阻层 405, 光阻层 405 包括, 光阻层 405 包括底部抗反射层 BARC 以及光刻胶 PR 层; 然后进行沟道曝光、刻蚀工艺, 即首先对光阻层 405 进行曝光、显影、刻蚀等光刻工艺, 形成带有 M_x 层金属图案的图案化的光阻层, 接着依次刻蚀覆盖层 404、金属硬掩膜层 403、低 K 介质层 402, 或者刻蚀覆盖层 404 和过刻蚀金属硬掩膜层 403, 将光阻层 405 上的 M_x 层金属图案依次转移到覆盖层 404、金属硬掩膜层 403、低 K 介质层 402 上, M_x 层金属图案即沟道图案;

[0046] 请参考图 4C, 去除上述光阻层, 在包含 M_x 层金属图案的器件表面重新沉积光阻层 405a, 并进行过孔曝光、刻蚀, 即对新的光阻层 405a 进行曝光、显影、刻蚀等光刻工艺, 形成带有过孔 V_x 图案的图案化的光阻层, 然后依次刻蚀覆盖层 404、金属硬掩膜层 403、低 K 介质层 402, 或者刻蚀覆盖层 404 和过刻蚀金属硬掩膜层 403, 将光阻层 405 上的过孔 V_x 图案依次转移到覆盖层 404、金属硬掩膜层 403、低 K 介质层 402 上;

[0047] 请参考图 4D, 去除上述新的光阻层, 并在去除覆盖层之前或之后, 以金属硬掩膜层为掩膜, 按照将形成的 M_x 层金属图案以及过孔 V_x 图案继续刻蚀直至衬垫层 401 开口, 即进行沟道和过孔刻蚀以及衬垫层 401 开口, 从而在低 K 介质层 402 中形成沟道(沟道用于后续形成 M_x 金属层, 未图示), 在低 K 介质层 402 以及衬垫层 401 中形成过孔 407; 其中, 过孔 407 的孔径深度延伸至半导体衬底 400 中的 M_{x-1} 金属层表面, 以用于后续 M_{x-1} 金属层与 M_x 金属层的互连;

[0048] 请继续参考图 4D, 向过孔和沟道中沉积籽晶层, 并进行铜填充以及进行填充后的化学机械抛光(顶部平坦化至预定义 M_x 金属层厚度, 一般会平坦化至低 K 介质层 402 的下层), 形成包含 M_x 金属层和过孔 V_x 的新的一层铜互连结构。

[0049] 在其他实施例中, 采用单大马士革刻蚀工艺主要是沟道刻蚀、填充过程与过孔刻蚀、填充过程完全单独操作, 其步骤也包括: 沟道曝光、刻蚀; 过孔曝光、刻蚀; 去除光阻层; 沟道和过孔刻蚀; 衬垫层开口; 沟道和过孔的籽晶层沉积、铜填充以及填充后的化学机械抛光。

[0050] 综上所述, 本发明提供的金属硬掩膜层及铜互连结构的制备方法, 通过在一半导体衬底上多次交替进行一定厚度的金属硬掩膜层的沉积操作以及采用包含氮气的混合载气热退火氮化处理所述金属硬掩膜层的操作后形成预定厚度的金属硬掩膜层, 即淀积一定

厚度的金属硬掩膜层后,对该金属硬掩膜层进行带有氮气及其他载气的热退火氮化处理以充分释放该薄膜的内应力,然后再进行淀积一定厚度金属硬掩膜层并随后对其进行带有氮气及其他载气的热退火氮化处理,这样周而复始几个循环达到预定厚度后结束。采用该方法能够有效改善金属硬掩膜层的平整度,不影响金属硬掩膜层电阻率均匀性,提高了金属硬掩膜层的品质,同时又充分释放和减小金属硬掩膜层的应力,从而降低其下层薄膜由于受到金属硬掩膜层的高应力而产生变形现象发生的可能性。

[0051] 显然,本领域的技术人员可以对发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

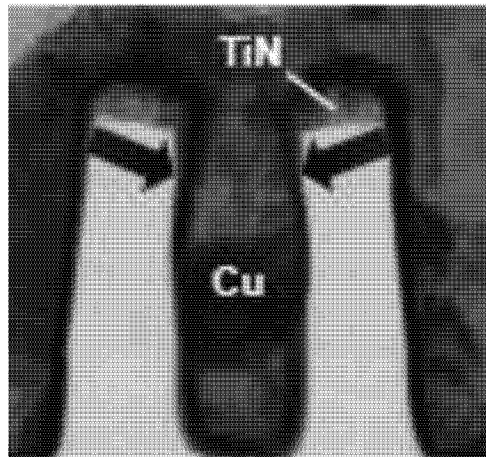


图 1

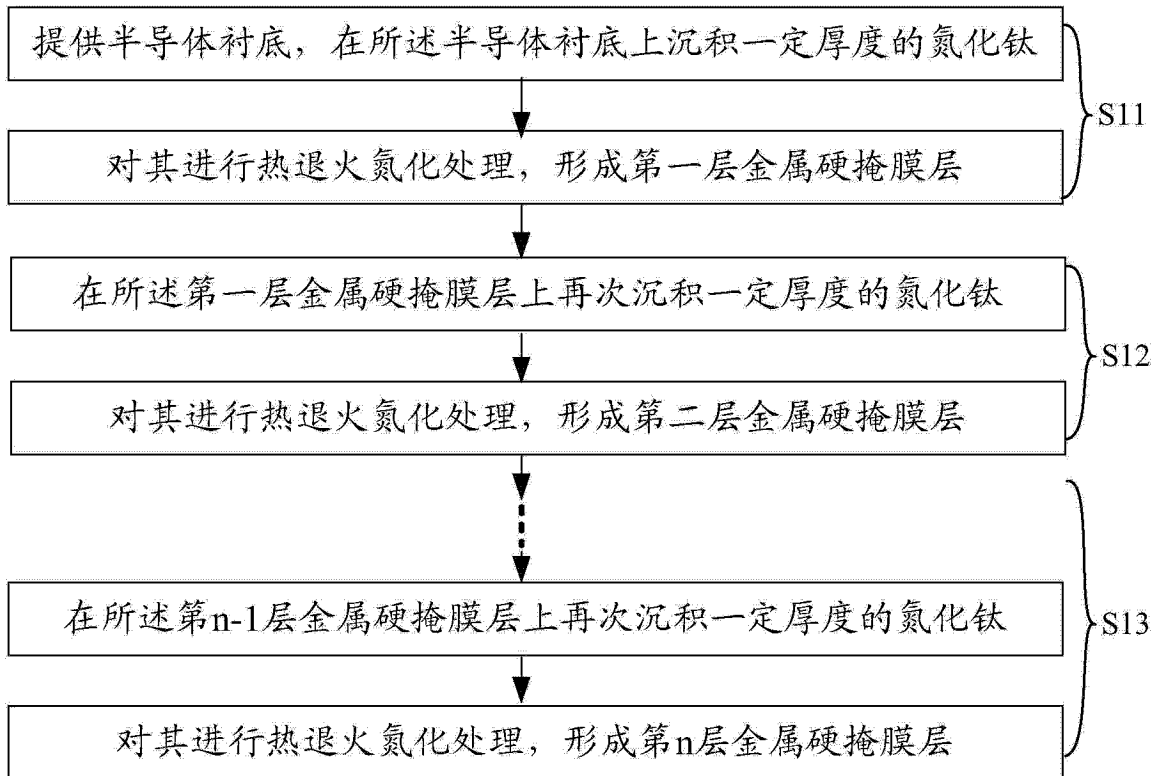


图 2

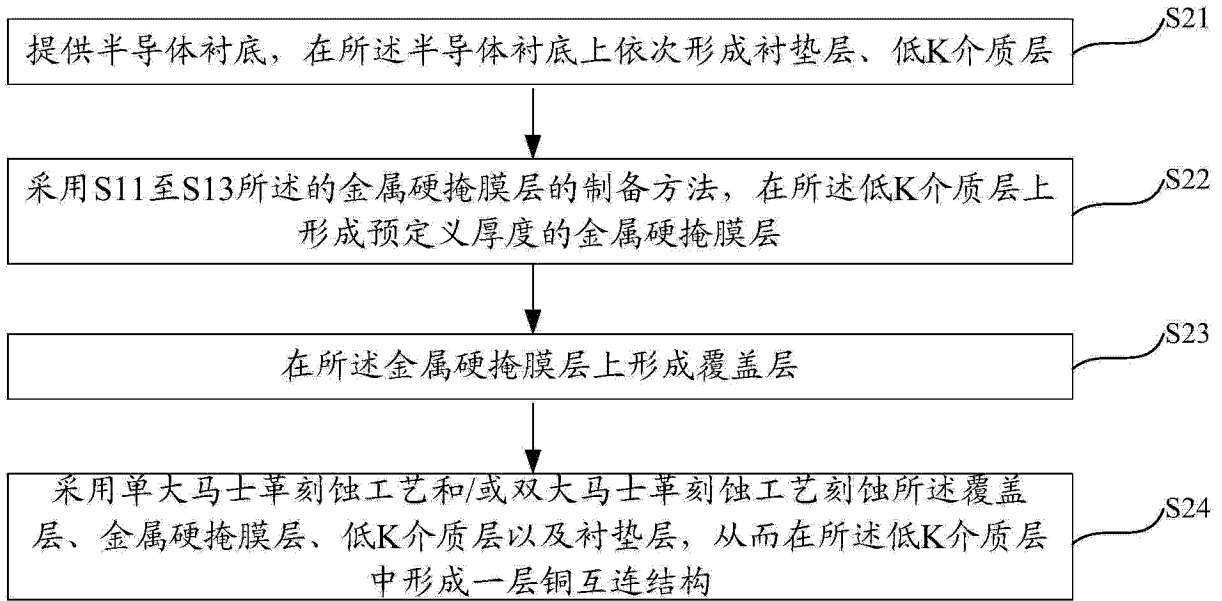


图 3

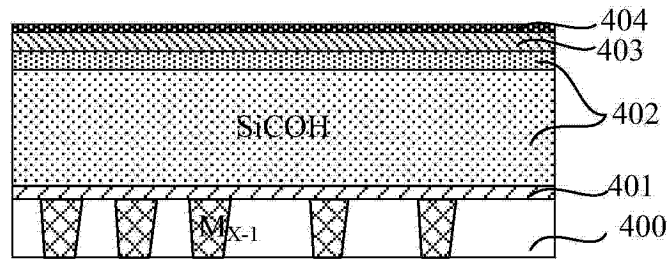


图 4A

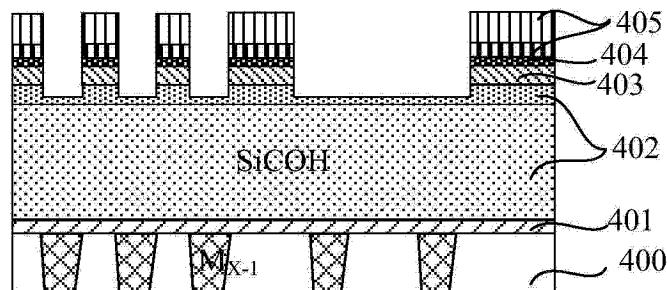


图 4B

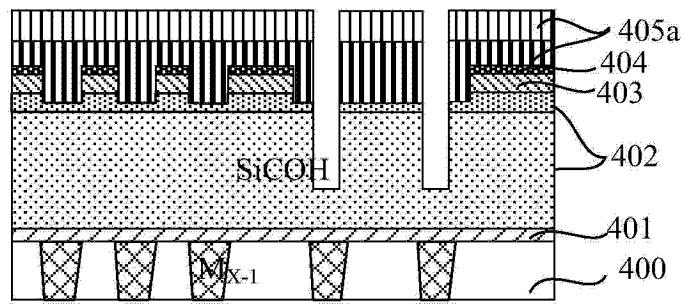


图 4C

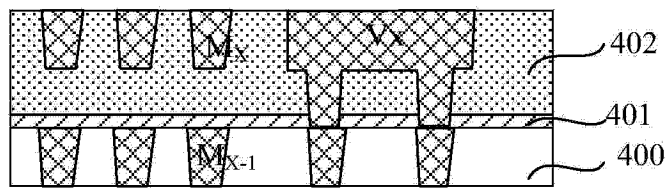


图 4D