



(12)

Patentschrift

(21) Aktenzeichen: **102 62 313.9**
(22) Anmeldetag: **20.03.2002**
(43) Offenlegungstag: **22.05.2003**
(45) Veröffentlichungstag
der Patenterteilung: **09.06.2011**

(51) Int Cl.: **H01L 21/336** (2006.01)
H01L 29/78 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
2001-16532 **29.03.2001** **KR**

(62) Teilung aus:
102 12 371.3

(73) Patentinhaber:
Hynix Semiconductor Inc., Ichon, Kyonggi, KR

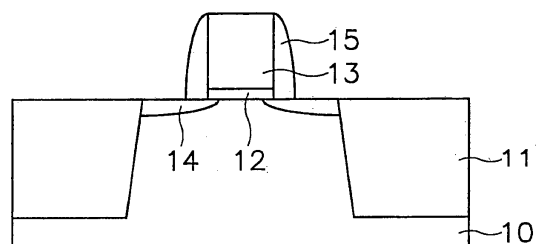
(74) Vertreter:
Eisenführ, Speiser & Partner, 20355 Hamburg

(72) Erfinder:
Lee, Hi Deok, Cheungju, Chungcheungbud, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US **61 62 689** **A**

(54) Bezeichnung: **Verfahren zur Herstellung eines Halbleiterbauelementes und Halbleiterbauelement**

(57) Hauptanspruch: Verfahren zur Herstellung eines Halbleiterbauelementes, mit den Schritten:
Bilden einer Feld-Oxidschicht, die eine aktive Region auf einem Halbleitersubstrat definiert;
Bilden eines Gate-Oxides und einer Gate-Elektrode auf der aktiven Region;
Bilden einer LDD-Region durch Ionenimplantation von niederkonzentrierten Störstellen in der aktiven Region um die Gate-Elektrode herum;
Bilden eines Isolationsschicht-Spacers auf einer Seitenwand der Gate-Elektrode;
Bilden eines Schutzschichtmusters um die Gate-Elektrode herum und lateral beabstandet von dieser und von dem Isolationsschicht-Spacer, so dass das Schutzschichtmuster einen ersten Abschnitt der aktiven Region zwischen dem Isolationsschicht-Spacer und der Feld-Oxid-Schicht exponiert;
Bilden einer SEG-Schicht auf dem ersten Abschnitt der aktiven Region;
Entfernen des Schutzschichtmusters so, dass ein zusätzlicher Abschnitt der aktiven Region zwischen dem ersten Abschnitt und der Feld-Oxid-Schicht exponiert wird;
Bilden einer Source/Drain-Region, die eine schmale SID-Region und eine tiefe SID-Region aufweist, durch Ionenimplantation einer hohen Konzentration von Störstellen in...



Beschreibung

Technisches Gebiet

[0001] Es wird ein Verfahren zur Herstellung eines Halbleiterbauelementes offenbart. Insbesondere wird ein verbessertes Verfahren zur Herstellung eines Hochgeschwindigkeitshalbleiterbauelementes offenbart, wobei das Bauelement ein Silicid bzw. Salicid aufweist. In dem offenbarten Verfahren werden eine flache und eine tiefe Source/Drain-Region gleichzeitig durch Bilden eines isolierenden Schicht-Spacers auf Seitenwänden einer Gate-Elektrode, durch Bilden einer SEG(selektive epitaktische Wachstums-)Schicht in der LDD(leicht dotierte Drain-)Region benachbart zu dem isolierenden Schicht-Spacer und anschließendes Ausführen eines Ionenimplantationsprozesses gebildet.

Beschreibung des Standes der Technik

[0002] Aus der US 6 162 689 A, die ein Verfahren zur Herstellung eines Halbleiterbauelements mit Source-Drain-Regionen betrifft, ist es grundsätzlich bekannt, die Drain- und Source-Zone eines Halbleiterbauelements mit drei verschiedenen Tiefen auszubilden.

[0003] Im Allgemeinen ist die wichtigste Funktion eines Transistors einer Halbleiterschaltung eine Stromtreiberfunktion. Eine Kanalbreite eines Metalloxidhalbleiterfeldeffekttransistors (MOSFET) wird unter Berücksichtigung der Stromtreiberfunktion angepasst. In dem am meisten verbreiteten MOSFET wird eine störstellendotierte Polysilizium-Schicht als Gate-Elektrode verwendet, und es wird eine Diffusionsregion, gebildet durch Dotieren einer Störstelle, auf einem Halbleitersubstrat als eine Source/Drain-Region verwendet.

[0004] In einem positiven Metalloxidhalbleiterfeldeffekttransistor (PMOSFET) wird ein vergrabener Kanal gebildet, welcher eine N⁺ dotierte Polysilizium-Gate-Elektrode in einem komplementären Metalloxidhalbleiterfeldeffekttransistor (CMOSFET) verwendet. Da ein negativer Metalloxidhalbleiterfeldeffekttransistor (NMOSFET), einen Kanal auf seiner Oberfläche aufweisend, und der PMOSFET verschiedene Threshold-Spannungen aufweisen, bestehen hier verschiedene Einschränkungen in dem Design und der Herstellung des Bauelementes.

[0005] Das bedeutet, dass in dem CMOSFET, welcher eine duale Gate-Elektrode verwendet, die dualen Gate-Elektroden gebildet werden durch zweifaches Ionenimplantieren von N-Typ und P-Typ Störstellen. Daher sollte ein photolithografischer Prozess zweimal ausgeführt werden, wobei dies den Herstellungsprozess kompliziert. Dementsprechend kann das Bauelement leicht aufgrund eines nassen Prozesses kontaminiert werden, und somit werden

die Prozessausbeute und die Zuverlässigkeit desselben reduziert.

[0006] Zusätzlich, in dem Maße, in dem die Ausmaße von Halbleiterbauelementen kleiner werden, werden die Verbindungstiefen schmaler. In Hochgeschwindigkeitsbauelementen treten jedoch hohe Leckströme auf, aufgrund des Salicid-Prozesses, in welchem Silizid-Schichten auf der Source/Drain-Region und der Gate-Elektrode gebildet werden.

[0007] [Fig. 1A](#) bis [Fig. 1C](#) sind Querschnitte, die sequenzielle Schritte eines herkömmlichen Herstellungsverfahrens für ein Halbleiterbauelement illustrieren.

[0008] Als erstes, bezugnehmend auf die [Fig. 1A](#), wird ein Feld-Oxid **11** auf einem Halbleitersubstrat **10** gebildet, welches eine aktive Region definiert. Ein Gate-Oxid **12** und eine Polysilizium-Schicht (nicht dargestellt) werden auf dem Halbleitersubstrat **10** gebildet. Anschließend wird die Polysilizium-Schicht unter Verwendung einer Gate-Elektroden-Maske als eine Ätzmaske geätzt, um eine Gate-Elektrode **13** zu bilden. Eine LDD-Region **14** wird durch Ionenimplantation einer niedrigen Konzentration von Störstellen in das Halbleitersubstrat **10** auf beiden Seiten oder um die Gate-Elektrode **13** herum gebildet. Ein isolierender Film-Spacer **15** wird auf den Seitenwänden der Gate-Elektrode **13** gebildet.

[0009] Wie in der [Fig. 1B](#) dargestellt, wird eine erste Source/Drain-Region **16** durch Ionenimplantation einer hohen Konzentration von Störstellen in das Halbleitersubstrat **10** auf beiden Seiten oder um den isolierenden Film-Spacer **15** herum gebildet. Hier wird As für eine NMOS ionenimplantiert und B für einen PMOS.

[0010] Anschließend, weiterhin auf die [Fig. 1B](#) bezugnehmend, wird eine zweite Source/Drain-Region **17** durch Implantieren eines Dotierstoffes mit einem hohen Diffusionsverhältnis bei einer niedrigen Dosis gebildet. Hier wird P anstelle von As für einen NMOS ionenimplantiert, und es wird B anstelle von BF₂ für einen PMOS verwendet.

[0011] Wie in der [Fig. 1C](#) dargestellt, wird eine Silizid-Schicht **18** auf den Oberflächen der Gate-Elektrode **13**, der ersten Source/Drain-Region **16** und der zweiten Source/Drain-Region **17** gebildet.

[0012] Das herkömmliche Verfahren zur Herstellung des Halbleiterbauelementes hat jedoch eine Begrenzung aufgrund der schmalen Verbindungsregion, resultierend von der Miniaturisierung des Bauelementes. Daher beeinflusst ein Anstieg in der Tiefe der Verbindungsregion aufgrund des Ionenimplantationsprozesses zur Bildung der Silicid-Schicht **18** die LDD-Region **14**. Insbesondere dann, wenn die

Silizid-Schicht **18** tief entlang des Randes der Feld-Oxidschicht **11** gebildet wird, steigt der Leckstrom in der Verbindungsregion des Feld-Oxides **11** erheblich an und die Höhe des Feld-Oxides **11** wird während der anschließenden Prozesse verringert. Da der Kontakt entlang des Randes des Feld-Oxides **11** gebildet wird, steigt zusätzlich im Falle eines übergangslosen Kontaktes der Leckstrom in der Verbindungsregion der peripheren Schaltungsregion drastisch an.

Zusammenfassung der Offenbarung

[0013] Dementsprechend wird ein Verfahren zur Herstellung eines Halbleiterbauelementes offenbart, welches den Anstieg in einem Verbindungsleckstrom verhindern und eine Prozessausbeute und -sicherheit verbessern kann, durch Bilden einer Schutzschicht entlang des Randes des Feld-Oxides, Bilden einer SEG-Schicht auf der Source/Drain-Region, Entfernen der Schutzschicht und Ionenimplantieren, um eine tiefe Verbindung in der Source/Drain-Region zu bilden. Als ein Ergebnis ist die Region, in der die Schutzschicht eine tiefere Verbindung aufweist, als die Region, in der sich die SEG-Schicht befindet, derart, dass der Ionenimplantationsprozess keinen negativen Effekt auf die Kanalregion des CMOS-Bauelementes aufweist.

[0014] Ein offenbartes Verfahren zur Herstellung eines Halbleiterbauelementes weist auf: Bilden eines Feld-Oxides, welches eine aktive Region in einem Halbleitersubstrat definiert; Bilden eines Gate-Oxides und einer Gate-Elektrode auf der aktiven Region des Halbleitersubstrates; Bilden einer LDD-Region durch Ionenimplantation gering konzentrierter Störstellen in dem Halbleitersubstrat auf beiden Seiten oder um die Gate-Elektrode herum; Bilden eines isolierenden Film-Spacers auf jeder Seitenwand der Gate-Elektrode; Bilden einer Gate-Elektrode, den isolierenden Film-Spacer und einen Abschnitt der aktiven Region des Halbleitersubstrates benachbart zu dem isolierenden Film-Spacer exponierenden Schutzschichtmusters; Bilden einer SEG-Schicht auf dem exponierten Abschnitt der aktiven Region des Halbleitersubstrates; Entfernen des Schutzschichtmusters; Bilden einer Source/Drain-Region, die eine schmale hochdotierte Source/Drain-Region (schmale SID-Region) und eine tiefe hochdotierte Source/Drain-Region (tiefe SID-Region) durch Ionenimplantation von hochkonzentrierten Störstellen umfasst, wobei die schmale SID-Region unterhalb der SEG-Schicht gebildet wird, und die tiefe SID-Region auf der exponierten aktiven Region, benachbart zu dem Feld-Oxid, wo die SEG-Schicht nicht gebildet ist, gebildet wird. Bilden einer Silizid-Schicht auf der Gate-Elektrode, der SEG-Schicht und der aktiven Region des Halbleitersubstrates.

[0015] Das Schutzschichtmuster kann aus einem oder mehreren Schichten gebildet werden, die aus

einer Gruppe aus einer Silizium-Oxid-Schicht, einer Silizium-Nitrid-Schicht, einer Silizium-Nitrid-Schicht, einer Silizium-Oxynitrid-Schicht und Kombinationen derselben gebildet wird.

[0016] Das Schutzschichtmuster lässt einen Abschnitt der LDD-Region exponiert, der sich etwa 0.01 bis 1 µm von dem isolierenden Film-Spacer entfernt.

[0017] Die SEG-Schicht kann eine Dicke von etwa 0.01 bis etwa 0.5 µm aufweisen.

[0018] Die SEG-Schicht kann eine einkristalline Schicht, eine amorphe Silizium-Schicht oder eine Phosphorsilizium-Schicht sein.

[0019] Eine neues Halbleiterbauelement, hergestellt in Übereinstimmung mit den offenbarten Verfahren, wird ebenfalls offenbart.

Kurze Beschreibung der Zeichnungen

[0020] Die offenbarten Verfahren können besser verstanden werden mit Bezug auf die begleitenden Zeichnungen, die nur illustrativ sind und daher für die Offenbarung nicht begrenzend aufgefasst werden sollen.

[0021] Die [Fig. 1A](#) bis [Fig. 1C](#) sind Querschnitte, die sequenzielle Schritte eines herkömmlichen Verfahrens zur Herstellung eines Halbleiterbauelementes darstellen;

[0022] [Fig. 2A](#) bis [Fig. 2D](#) sind Querschnitte, die sequenzielle Schritte eines Verfahrens zur Herstellung eines Halbleiterbauelementes in Übereinstimmung mit einer ersten Ausführungsform darstellen.

Detaillierte Beschreibung der zuletzt bevorzugten Ausführungsformen

[0023] Ein Verfahren zur Herstellung eines Halbleiterbauelementes in Übereinstimmung mit bevorzugten Ausführungsformen wird nun im Detail mit Bezug auf begleitenden Zeichnungen beschrieben.

[0024] [Fig. 2A](#) bis [Fig. 2D](#) sind Querschnitte, die sequenzielle Schritte eines Verfahrens zur Herstellung eines Halbleiterbauelementes in Übereinstimmung mit einer ersten Ausführungsform darstellen. Eine NMOS-Region oder eine PMOS-Region eines CMOS ist dargestellt.

[0025] Als erstes wird gemäß [Fig. 2A](#) ein Feld-Oxid **21**, welches eine aktive Region definiert, auf einem Halbleitersubstrat **20** gebildet. Ein Gate-Oxid **22** wird auf dem Halbleitersubstrat **20** gebildet. Eine Polysilizium-Schicht (nicht dargestellt) wird auf dem Gate-Oxid **22** gebildet. Hier werden das Gate-Oxid **22** und

die Polysilizium-Schicht in den NMOS- und PMOS-Regionen gebildet.

[0026] Anschließend wird die Polysilizium-Schicht unter Verwendung einer Gate-Elektrodenmaske als eine Ätzmaske geätzt, um eine Gate-Elektrode **23** in den NMOS- und PMOS-Regionen zu bilden. Eine erste LDD-Region **24** wird durch Ionenimplantation von niedrig konzentrierten Störstellen-Ionen in das Halbleitersubstrat **20** auf beiden Seiten oder um die Gate-Elektrode **23** herum gebildet. Zu diesem Zeitpunkt wird der Ionenimplantationsprozess bei einer Dosis von etwa 1×10^{13} bis etwa 1×10^{15} Ionen/cm² ausgeführt, mit einer Ionenimplantationsenergie, die von etwa 10 bis etwa 50 keV reicht. Die verwendeten Dotierstoffe in dem Ionenimplantationsprozess sind BF₂ oder B für PMOS und As oder P für NMOS.

[0027] Anschließend wird ein (nicht dargestellter) Isolationsfilm mit einer vorbestimmten Dicke auf der gesamten Oberfläche gebildet. Ein Isolations-Film-Spacer **25** wird auf den Seitenwänden der Gate-Elektrode **23** durch Ätzen des Isolationsfilmes gebildet.

[0028] Als nächstes wird ein (nicht dargestellter) Schutzfilm mit einer vorbestimmten Dicke auf der gesamten Oberfläche gebildet. Der Schutzfilm wird aus einer oder mehrerer Silizium-Oxid-Schichten, einer Silizium-Nitrid-Schicht oder einer Silizium-Oxynitrid-Schicht gebildet.

[0029] Dann wird gemäß **Fig. 2B** ein Schutzschichtmuster **26** aus dem Schutzfilm durch einen Ätzprozess unter Verwendung einer Maske gebildet, welche die Gate-Elektrode **23**, den isolierenden Film-Spacer **25** und die LDD-Region **24** exponiert, so dass das Schutzschichtmuster **26** in einem vorbestimmten Abstand von dem Isolations-Film-Spacer **25** endet. Zu diesem Zeitpunkt exponiert ein Teil des Schutzschicht-Musters **26** einen Teil der LDD-Region **24**, definiert durch einen Abstand zwischen etwa 0.01 bis etwa 1 µm Entfernung von dem Isolationsfilm-Spacer **25**.

[0030] Anschließend wird weiter gemäß **Fig. 2B** eine SEG-Schicht (Selective Epitaxial Growth) **27** auf dem Halbleitersubstrat **20** und der LDD-Region **24** gebildet, exponiert durch das Schutzschichtmuster **26**. Die SEG-Schicht wird unter Verwendung einer einkristallinen Silizium-Schicht, einer amorphen Silizium-Schicht oder einer Phosphor-Silizium-Schicht mit einer Dicke zwischen 0.01 und etwa 0.5 µm gebildet.

[0031] Zusätzlich können anstelle einer SEG-Schicht **27**, eine einkristalline Silizium-Schicht, eine amorphe Silizium-Schicht oder eine Phosphor-Silizium-Schicht gebildet durch LPCVD (chemische Dampfabcheidung bei niedrigem Druck) und durch

Mustern unter Verwendung einer Maske verwendet werden.

[0032] Als nächstes wird gemäß **Fig. 2C** das Schutzschichtmuster **26** entfernt. Dann wird eine Source/Drain-Region durch Ionenimplantation hochkonzentrierter Störstellen gebildet. Zu diesem Zeitpunkt umfasst die Source/Drain-Region eine schmale SID-Region **28**, die dort gebildet ist, wo die SEG-Schicht **27** gebildet wurde, eine tiefe SID-Region **29**, gebildet an dem inneren Rand des Feld-Oxides **21**, wo die SEG-Schicht **27** nicht gebildet wurde. Der Ionenimplantationsprozess wird bei einer Dosis zwischen etwa 1×10^{13} bis etwa 1×10^{16} Ionen/cm² mit einer Energie von etwa 5 bis etwa 60 KeV ausgeführt.

[0033] Anschließend wird gemäß **Fig. 2D** eine Silicid-Schicht **30** auf dem oberen Abschnitt der Gate-Elektrode **23**, der Oberfläche der SEG-Schicht **27** und der aktiven Region des Halbleitersubstrates gebildet. Sogar dann, wenn die Silicid-Schicht **30** tief an dem Rand des Feld-Oxides **21** gebildet wird, wird der Verbindungsleckstrom kaum erhöht.

[0034] Wie zuvor beschrieben kann in der aus einem selbst ausrichtenden Salicid bestehenden Hochgeschwindigkeitsbauelementstruktur sogar dann, wenn die Silicid-Schicht tief in der SID-Region **29** des Substrates **10** gebildet wurde, ein Anstieg des Verbindungsleckstromes verhindert werden, durch Bilden einer tiefen SID-Region **29** an dem Rand des Feld-Oxides **21**, und es kann während des Ionenimplantationsprozesses zum Bilden der SID-Regionen **28**, **29** das Problem, dass Dotierstoffe die Kanalregion beeinflussen, überwunden werden, was in einer Verminderung des kurzen Kanaleffektes mündet. Zusätzlich wird die Fläche der aktiven Region durch die SEG-Schicht **27** erhöht, um den Widerstand der Silicid-Schicht **30** zu vermindern, wodurch eine Reduzierung in der Größe des Bauelementes und eine Verbesserung der Arbeitsgeschwindigkeit des Bauelementes erreicht wird.

Patentansprüche

1. Verfahren zur Herstellung eines Halbleiterbauelementes, mit den Schritten:
Bilden einer Feld-Oxidschicht, die eine aktive Region auf einem Halbleitersubstrat definiert;
Bilden eines Gate-Oxides und einer Gate-Elektrode auf der aktiven Region;
Bilden einer LDD-Region durch Ionenimplantation von niederkonzentrierten Störstellen in der aktiven Region um die Gate-Elektrode herum;
Bilden eines Isolationsfilm-Spacers auf einer Seitenwand der Gate-Elektrode;
Bilden eines Schutzschichtmusters um die Gate-Elektrode herum und lateral beabstandet von dieser und von dem Isolationsfilm-Spacer, so dass das Schutzschichtmuster einen ersten Abschnitt der akti-

ven Region zwischen dem Isolationsschicht-Spacer und der Feld-Oxid-Schicht exponiert;
 Bilden einer SEG-Schicht auf dem ersten Abschnitt der aktiven Region;
 Entfernen des Schutzschichtmusters so, dass ein zusätzlicher Abschnitt der aktiven Region zwischen dem ersten Abschnitt und der Feld-Oxid-Schicht exponiert wird;
 Bilden einer Source/Drain-Region, die eine schmale SID-Region und eine tiefe SID-Region aufweist, durch Ionenimplantation einer hohen Konzentration von Störstellen in die aktive Region; und
 Bilden einer Silicid-Schicht auf der Gate-Elektrode, der SEG-Schicht und dem zusätzlichen Abschnitt der aktiven Region.

eine Silicid-Schicht, angeordnet auf der Gate-Elektrode, der SEG-Schicht und dem zweiten äußeren Teil der aktiven Region.

Es folgen 4 Blatt Zeichnungen

2. Verfahren nach Anspruch 1, wobei das Schutzschichtmuster mindestens eine Schicht aufweist, die aus einer Gruppe ausgewählt wurde, die aus einer Silizium-Oxid-Schicht, einer Silizium-Nitrid-Schicht, einer Silizium-Oxynitrid-Schicht und Kombinationen derselben besteht.

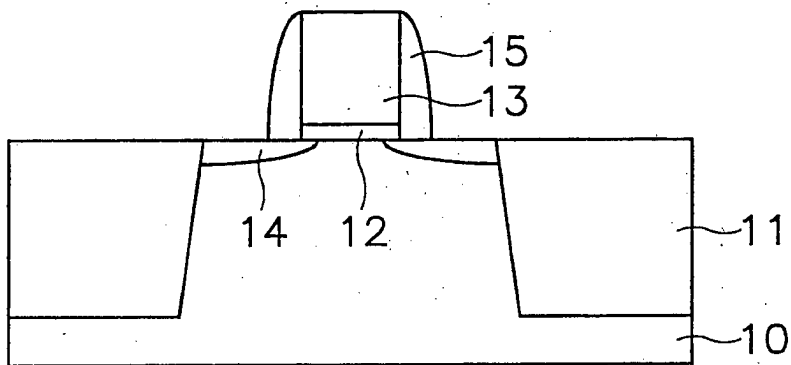
3. Verfahren nach Anspruch 1, wobei das Schutzschichtmuster in einem Abstand von etwa 0.01 bis etwa 1 μm außerhalb des Isolationsschicht-Spacers endet.

4. Verfahren nach Anspruch 1, wobei die SEG-Schicht eine Dicke zwischen etwa 0.01 und etwa 0.5 μm aufweist.

5. Verfahren nach Anspruch 1, wobei die SEG-Schicht ausgewählt wird aus einer Gruppe, die besteht aus einer einkristallinen Schicht, einer amorphen Siliziumschicht und einer Phosphor-Silizium-Schicht.

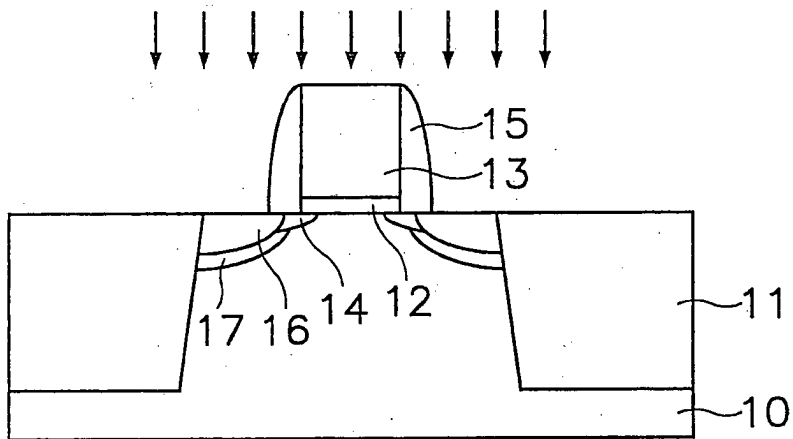
6. Halbleiterbauelement, aufweisend:
 ein Substrat, beschichtet mit einem Feld-Oxid, welches eine aktive Region definiert,
 ein Gate-Oxid auf einem zentralen Abschnitt der aktiven Region, und eine Gate-Elektrode, angeordnet auf dem Gate-Oxid, wobei ein äußerer Abschnitt der aktiven Region das Gate-Oxid umgebend freibleibt, wobei die Gate-Elektrode Seitenwände aufweist,
 einen Isolationsschicht-Spacer, angeordnet auf Seitenwänden der Gate-Elektrode,
 ein LDD, angeordnet in der aktiven Region,
 eine SEG-Schicht, angeordnet um den Isolationsschicht-Spacer herum und einen ersten inneren Teil des äußeren Abschnittes der aktiven Region abdeckend, jedoch nicht einen zweiten äußeren Teil der aktiven exponierten Region abdeckend, welcher zwischen der SEG-Schicht und dem Feld-Oxid angeordnet ist,
 eine schmale SID-Region und eine tiefe SID-Region in der aktiven Region,

Anhängende Zeichnungen



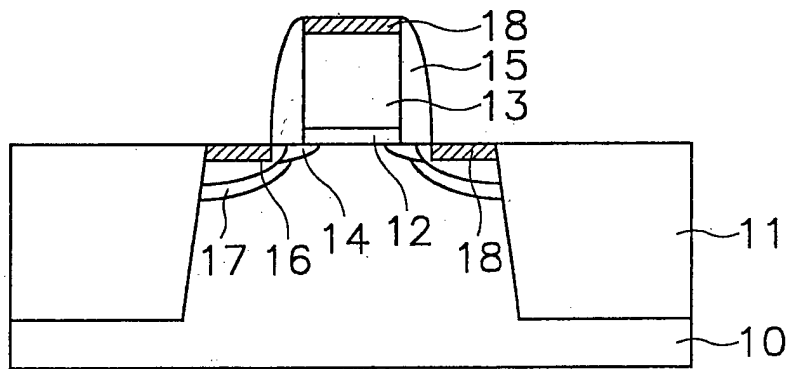
St. d. T.

Fig. 1A



St. d. T.

Fig. 1B



St. d. T.

Fig. 1G

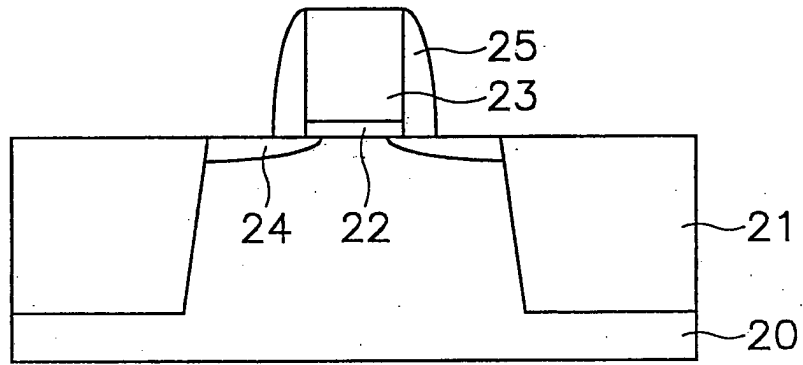


Fig. 2A

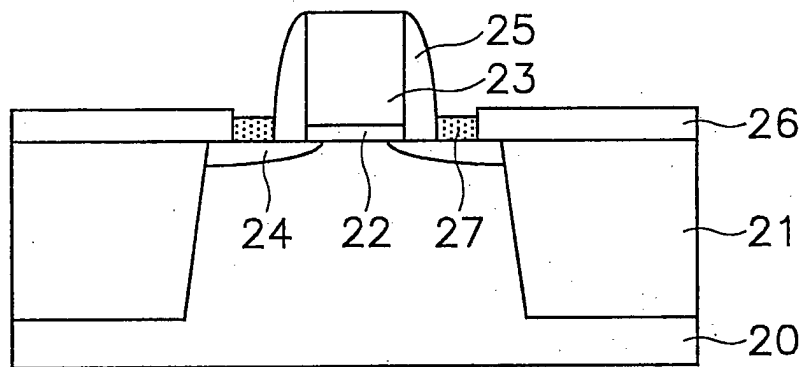


Fig. 2B

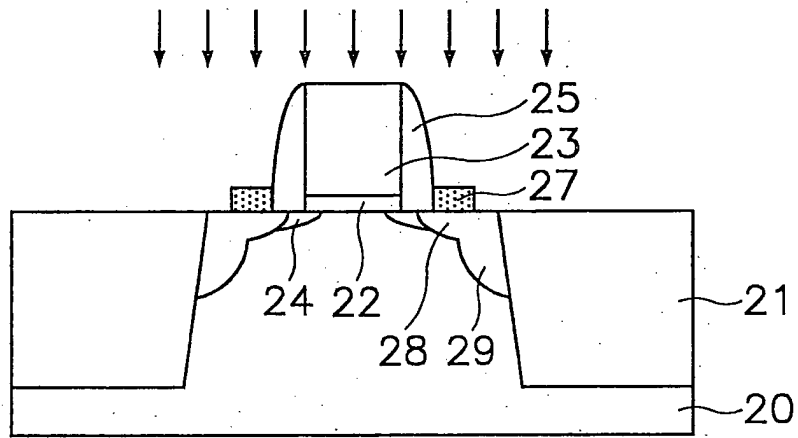


Fig. 2C

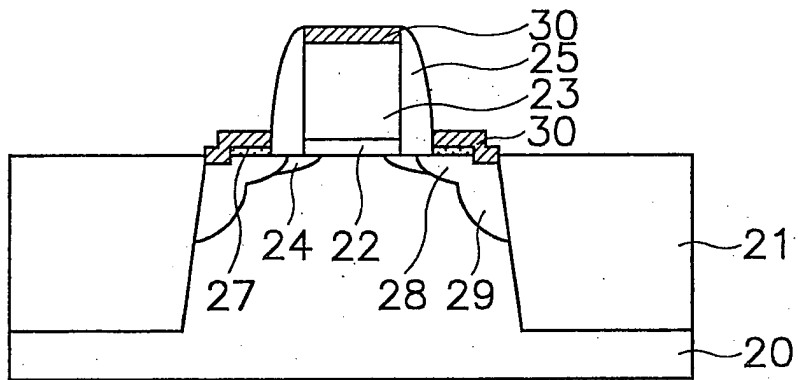


Fig. 2D