

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
14. Januar 2010 (14.01.2010)

(10) Internationale Veröffentlichungsnummer
WO 2010/003552 A1

(51) Internationale Patentklassifikation:
H01L 21/329 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2009/004551

(22) Internationales Anmeldedatum:
24. Juni 2009 (24.06.2009)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
08012395.3 9. Juli 2008 (09.07.2008) EP

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **MICRONAS GMBH** [DE/DE]; Hans-Bunte-Strasse 19, 79108 Freiburg i.Br. (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **VECCHI, Maria, Cristina** [IT/DE]; Immentalstr. 17, 79104 Freiburg (DE).
WERNÖ, Jochen [DE/DE]; Kandelstr. 8, 79194 Heuweiler (DE).

(74) Anwalt: **HUWER, Andreas**; Postfach 1305, 79013 Freiburg i. Br. (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Erklärungen gemäß Regel 4.17:

— Erfindererklärung (Regel 4.17 Ziffer iv)

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

(54) Title: METHOD FOR PRODUCING A SUBSTRATE CONTACT IN A CMOS PROCESS

(54) Bezeichnung: VERFAHREN ZUM ERZEUGEN EINES SUBSTRATKONTAKTS IN EINEM CMOS-PROZESS

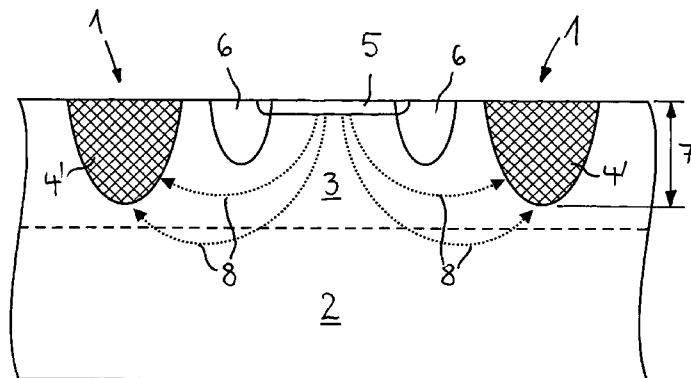


Fig. 2

(57) Abstract: The invention relates to a method for producing a substrate contact (1) in a CMOS process, wherein a highly doped semiconductor substrate (2) of a charge carrier type is provided, onto which a lower doped epitaxial layer (3) of the same charge carrier type is applied such that it adjoins the semiconductor substrate (2). In order to produce the substrate contact (1), in at least one region (4) of the epitaxial layer (3) close to the surface and disposed at a distance from the semiconductor substrate (2), doping elements of the charge carrier type are implanted. At least one heat treatment is carried out, wherein the depth (7) of the region (4) comprising the doping elements increases at least 50%.

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]



WO 2010/003552 A1



Bei einem Verfahren zum Erzeugen eines Substratkontakts (1) in einem CMOS-Prozess wird ein hoch dotiertes Halbleitersubstrat (2) eines Ladungsträgertyps bereitgestellt auf das eine niedriger dotierte Epitaxieschicht (3) des selben Ladungsträgertyps derart aufgebracht wird, dass sie an das Halbleitersubstrat (2) angrenzt. Zur Bildung des Substrat-Kontakts (1) werden in mindestens einen vom Halbleitersubstrat (2) beabstandeten oberflächennahen Bereich (4) der Epitaxieschicht (3) Dotierungselemente des Ladungsträgertyps implantiert. Es wird mindestens eine Wärmebehandlung durchgeführt bei der die Tiefe (7) des die Dotierungselemente aufweisenden Bereichs (4) um mindestens 50% vergrößert.

Verfahren zum Erzeugen eines Substratkontakts in einem CMOS-Prozess

Die Erfindung betrifft ein Verfahren zum Erzeugen eines Substratkontakts in einem CMOS-Prozess, wobei ein hoch dotiertes Halbleitersubstrat eines Ladungsträgertyps bereitgestellt wird, auf das eine niedriger dotierte Epitaxieschicht des selben Ladungsträgertyps aufgebracht wird. Unter einem Substratkontakt wird ein elektrischer Kontakt verstanden, der sich von der Oberfläche der Epitaxieschicht in Richtung auf das Halbleitersubstrat zu erstreckt und eine elektrisch gut leitende Verbindung zum Halbleitersubstrat aufweist. Der Substratkontakt muss nicht notwendigerweise direkt mit dem Halbleitersubstrat in Kontakt stehen sondern kann auch etwas von diesem beabstandet sein.

Ein Verfahren der eingangs genannten Art ist aus der Praxis bekannt. Dabei wird zunächst ein Halbleitersubstrat eines vorbestimmten Ladungsträgertyps bereitgestellt. Auf dem Halbleitersubstrat wird zur Bildung eines „Buried Layers“ eine Schicht des gleichen Ladungsträgertyps erzeugt. Danach wird auf diese Schicht und das Halbleitersubstrat eine Epitaxieschicht wiederum des gleichen Ladungsträgertyps aufgebracht. Dann wird ein Bereich der Epitaxieschicht, in dem später der Substratkontakt angeordnet sein soll, mit Hilfe eines Hochenergie- oder Megavolt-Implanters derart mit Dotierungselementen des genannten Ladungsträgertyps beschossen, dass die Dotierungselemente bis zu dem Buried Layer in die Epitaxieschicht vordringen. Die mit den Dotierungselementen dotierte Zone erstreckt sich dabei etwa orthogonal zur Substratebene, wobei ihr Querschnitt, ausgehend von der Oberfläche des Substrats zum Buried Layer hin etwa konstant ist. Der durch die dotierte Zone gebildete Substratkontakt benötigt daher nur wenig Substrat- bzw. Chipfläche. Das Verfahren hat jedoch den Nachteil, dass für die Herstellung des Substratkontakts ein relativ teurer Hochenergie-Implanter benötigt wird. Dieser ist jedoch in einem Standard-CMOS-Prozess häufig nicht verfügbar. Auch das Erzeugen des Buried Layers ist mit einem gewissen Aufwand verbunden.

Es besteht deshalb die Aufgabe, ein Verfahren der Eingang genannten Art zu schaffen, mittels dem ein niederohmiger Substratkontakt in einem CMOS-Prozess kostengünstig herstellbar ist.

Diese Aufgabe wird dadurch gelöst, dass ein hoch dotiertes Halbleitersubstrat eines Ladungsträgertyps bereitgestellt wird, auf das eine niedriger dotierte Epitaxieschicht eines gleichen Ladungsträgertyps derart aufgebracht wird, dass sie an das Halbleitersubstrat angrenzt, wobei zur Bildung des Substrat-Kontakts in mindestens einen vom Halbleitersubstrat beabstandeten oberflächennahen Bereich der Epitaxieschicht Dotierungselemente des Ladungsträgertyps implantiert werden, und dass mindestens eine Wärmebehandlung durchgeführt wird, bei der sich die Tiefe des die Dotierungselemente aufweisenden Bereichs um mindestens 50% vergrößert.

Es wird also in einem CMOS-Prozess, bei dem die an der Oberfläche der Epitaxieschicht erzeugten Strukturen normalerweise derart ausgestaltet werden, dass sie eine möglichst geringe Substrat- oder Chip-Fläche überdecken, ein Substratkontakt durch eine Wärmebehandlung bis tief in die Epitaxieschicht eindiffundiert. Dabei wird die bei der Wärmebehandlung auftretende Verbreiterung des die Dotierungselemente aufweisenden Bereichs der Epitaxieschicht bewusst in Kauf genommen, um eine gut leitende elektrische Verbindung zwischen dem die Dotierungselemente aufweisenden Bereich und dem Halbleitersubstrat zu erreichen. Somit kann der Substratkontakt ohne die Verwendung eines teuren Hochenergie-Implanters auf einfache Weise in einem Standard CMOS-Prozess erzeugt werden.

Bei einer vorteilhaften Ausgestaltung der Erfindung wird die Wärmebehandlung derart durchgeführt, dass sich die Tiefe des die Dotierungselemente aufweisenden Bereichs um mindestens 100%, besser um mindestens 150% und bevorzugt um mindestens 200% vergrößert. Der Substratkontakt weist dann zwischen seiner Oberfläche und dem Halbleitersubstrat einen noch geringeren elektrischen Widerstand auf.

Bei einer bevorzugten Ausgestaltung der Erfindung werden in die Oberfläche der Epitaxieschicht zur Bildung mindestens eines pn-Übergangs mit Dotierungen versehene Wannen eindiffundiert, wobei die Dosis und die Energie der Dotierungen, die Dosis und die Energie der in die Epitaxieschicht implantierten Dotierungselemente derart gewählt werden, dass nach Beendigung der Wärmebehandlung der die Dotierungselemente aufweisende Bereich der Epitaxieschicht näher am Halbleitersubstrat angeordnet ist als die Wannen. Während der Wärmebehand-

lung der für den Substratkontakt vorgesehenen Bereiche können also auch die für eine Halbleiterschaltung üblicherweise benötigten Wannen in die Epitaxieschicht eindiffundiert werden. Das Verfahren kann dadurch noch kostengünstiger in einem CMOS-Prozess angewendet werden.

5

Vorteilhaft ist, wenn die Tiefe des die Dotierungselemente aufweisenden Bereichs nach der Wärmebehandlung mindestens 50%, ggf. mindestens 70%, insbesondere mindestens 80% und bevorzugt mindestens 90% der Dicke der Epitaxieschicht beträgt. Dabei verbreitert sich der die Dotierungselemente aufweisende Bereich
10 ausgehend von der tiefsten Stelle zur Oberfläche der Epitaxieschicht hin. Gegebenenfalls ist es sogar möglich, dass der zweite Bereich an das Halbleitersubstrat angrenzt und/oder sich bis in dieses erstreckt.

Die Dotierungselemente werden bevorzugt in die Epitaxieschicht eingebracht,
15 bevor die Dotierungen der Wannen in die Epitaxieschicht eindiffundiert werden. Die Dotierungselemente werden also zu Beginn des CMOS-Prozesses in die Epitaxieschicht implantiert, so dass die Dotierungselemente an allen in dem CMOS-Prozesses auftretenden Wärmebehandlungen teilnehmen.

20 Zweckmäßigerweise wird die Epitaxieschicht zur Bildung einer Feldoxidschicht während der Wärmebehandlung an ihrer Oberfläche oxidiert. Auch dadurch kann das erfindungsgemäße Verfahren noch kostengünstiger in einem CMOS-Prozess integriert werden.

25 Bei einer vorteilhaften Ausführungsform der Erfindung wird in der Epitaxieschicht seitlich benachbart zu dem die Dotierungselemente aufweisenden Bereich ein weiterer Bereich erzeugt, dessen Ladungsträgertyp sich von demjenigen der Epitaxieschicht unterscheidet, wobei zur Bildung einer Diode der die Dotierungselemente aufweisende Bereich mit einer ersten Metallisierung und der weitere Bereich mit
30 einer zweiten Metallisierung verbunden werden. Die nach dem Verfahren hergestellte Diode weist dann in Sperrrichtung oberhalb ihrer Durchbruchsspannung einen niedrigen Innenwiderstand auf.

Nachfolgend ist ein Ausführungsbeispiel anhand der Zeichnung näher erläutert. Es
35 zeigt:

Fig. 1 einen Teillängsschnitt durch einen Halbleiterwafer,

Fig. 2 einen Teillängsschnitt durch einen Halbleiterchip, in den eine Diode integriert ist, und

Fig. 3 eine graphische Darstellung der Konzentration von Dotierungselementen in dem Halbleiterwafer, wobei auf der Abszisse die Tiefe d und auf der Ordinate die Konzentration k aufgetragen sind und wobei T die Zeitdauer einer Wärmebehandlung für eine Standarddiffusion bedeutet.

Bei einem Verfahren zum Erzeugen eines Substratkontakts in einem Standard CMOS-Prozess wird ein hoch dotiertes Halbleitersubstrat 2 eines ersten Ladungsträgertyps bereitgestellt. Das Halbleitersubstrat 2 kann beispielsweise ein p-dotiertes oder n-dotiertes Silizium-Substrat sein.

Auf das Halbleitersubstrat 2 wird eine niedriger dotierte Epitaxieschicht 3 des ersten Ladungsträgertyps aufgebracht. In Fig. 1 ist erkennbar, dass die Epitaxieschicht 3 direkt an das Halbleitersubstrat 2 angrenzt.

In voneinander beabstandete oberflächennahe Bereiche 4 der Epitaxieschicht 3 werden Dotierungselemente des ersten Ladungsträgertyps implantiert. Bei der Implantierung wird die Oberfläche der Epitaxieschicht 3 mit Hilfe eines Implanters derart mit den Dotierungselementen beschossen, dass diese in die Epitaxieschicht 3 eindringen. Die Dosis und die Energie der Dotierungselemente wird bei dem Beschuss so eingestellt, dass die Dotierungselemente in dem dotierten Bereich eine höhere Konzentration aufweisen als sämtliche Dotierungen, die in späteren Verfahrensschritten des CMOS-Prozesses in die Epitaxieschicht 3 eingebracht werden.

In die Oberfläche der Epitaxieschicht 3 werden zur Bildung eines pn-Übergangs für eine Diode mit Dotierungen versehene Wannen 5, 6 eindiffundiert. Eine erste Wanne 5 ist etwa mittig zwischen den Bereichen 4 angeordnet und im Wesentlichen kreisscheibenförmig ausgestaltet. Eine zweite Wanne 6 erstreckt entlang einer

Kreislinie, die in der Oberfläche der Epitaxieschicht 3 angeordnet ist und die Wanne 5 umgrenzt.

5 Zum Erzeugen der Wannen 5, 6 werden die Oberflächenbereiche der Epitaxieschicht 3, in denen die Wannen 5, 6 sein sollen, zunächst mit Hilfe des Implanters mit Dotierungselementen eines zweiten Ladungsträgertyps beschossen. Danach wird eine Wärmebehandlung durchgeführt, bei welcher die Dotierungselemente des ersten Ladungsträgertyps und die Dotierungselemente des zweiten Ladungsträgertyps in die Epitaxieschicht 3 diffundieren. Wie durch einen Vergleich von Fig. 1
10 mit Fig. 2 erkennbar ist, wird dabei jeder Bereich 4 sowohl in seitlicher Richtung als auch in Richtung auf das Halbleitersubstrat 2 zu in einen in Fig. 2 mit 4' bezeichneten Bereich vergrößert.

Die Temperatur und die Dauer der Wärmebehandlung werden so gewählt, dass
15 der Bereich 4' mindestens die dreifache Tiefe aufweist wie der Bereich 4 vor der Wärmebehandlung. Dabei wird unter der Tiefe die größte Abmessung verstanden, die der Bereich 4 in einer orthogonal zur Erstreckungsebene des Halbleitersubstrats 2 verlaufenden Ebene aufweist. Unter dem Bereich 4 wird derjenige Bereich der Epitaxieschicht 3 verstanden, in dem die Konzentration der in die Epitaxieschicht 3
20 implantierten Dotierungselemente einen vorbestimmten Konzentrationswert überschreitet.

Die Tiefe bzw. Dicke des Bereichs 4 und die Konzentration der Dotierungselemente ist in Fig. 4 in Abhängigkeit von der Dauer der Wärmebehandlung graphisch
25 dargestellt. Anhand der mit Kreisen markierten Linie ist erkennbar, dass der Bereich 4 vor der Wärmebehandlung nur eine relativ geringe Eindringtiefe in der Epitaxieschicht 3 aufweist. Diese beträgt etwa 1 μm . Durch eine Wärmebehandlung, deren Dauer der Dauer einer Standarddiffusion entspricht, kann die Eindringtiefe des Bereichs 4 etwa auf 6,5 μm vergrößert werden. Nach einer Wärmebehandlung,
30 deren Dauer das Doppelte der Dauer einer Standarddiffusion entspricht, beträgt die Tiefe 7' des Bereichs 4 etwa 6,5 μm . Bei einer weiteren Erhöhung der Wärmebehandlungsdauer nimmt die Tiefe 7' des Bereichs 4 nur noch langsam zu.

Durch Diffusion der Dotierungselementen des zweiten Ladungsträgertyps vergrößern sich auch die Wannen 5, 6 jeweils in seitlicher Richtung als auch in Richtung
35

auf das Halbleitersubstrat 2 zu. In Fig. 2 ist erkennbar, dass ein Außenrandbereich der ersten Wanne 5 nach der Wärmebehandlung seitlich in die zweite Wanne 6 eingreift.

- 5 Wie aus den in Fig. 2 punktiert angedeuteten Stromflusslinien ersichtlich ist, ermöglicht der Substrat-Kontakt über die Epitaxieschicht 3 eine elektrisch gut leitende Verbindung zwischen der als Kathode dienenden ersten Wanne 5 und dem als Anode dienenden Substratkontakt 1 der Diode.

Patentansprüche

1. Verfahren zum Erzeugen eines Substratkontakts (1) in einem CMOS-Prozess, wobei ein hoch dotiertes Halbleitersubstrat (2) eines Ladungsträgertyps bereitgestellt wird, auf das eine niedriger dotierte Epitaxieschicht (3) des selben Ladungsträgertyps derart aufgebracht wird, dass sie an das Halbleitersubstrat (2) angrenzt, wobei zur Bildung des Substrat-Kontakts (1) in mindestens einen vom Halbleitersubstrat (2) beabstandeten oberflächennahen Bereich (4) der Epitaxieschicht (3) Dotierungselemente des Ladungsträgertyps implantiert werden, und wobei mindestens eine Wärmebehandlung durchgeführt wird, bei sich die Tiefe (7) des die Dotierungselemente aufweisenden Bereichs (4) um mindestens 50% vergrößert.
5
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Wärmebehandlung derart durchgeführt wird, dass sich die Tiefe (7) des die Dotierungselemente aufweisenden Bereichs (4) um mindestens 100%, besser um mindestens 150% und bevorzugt um mindestens 200% vergrößert.
15
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass in die Oberfläche der Epitaxieschicht (3) zur Bildung mindestens eines pn-Übergangs mit Dotierungen versehene Wannen (5, 6) eindiffundiert werden, und dass die Dosis und die Energie der Dotierungen, die Dosis und die Energie der in die Epitaxieschicht (3) implantierten Dotierungselemente derart gewählt werden, dass nach Beendigung der Wärmebehandlung der die Dotierungselemente aufweisende Bereich (4') der Epitaxieschicht (3) näher am Halbleitersubstrat (2) angeordnet ist als die Wannen (5, 6).
20
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Tiefe (7') des die Dotierungselemente aufweisenden Bereichs (4') nach der Wärmebehandlung mindestens 50%, ggf. mindestens 70%, insbesondere mindestens 80% und bevorzugt mindestens 90% der Dicke der Epitaxieschicht (3) beträgt.
25
30

5. Verfahren nach Anspruch 3 oder 4, dadurch gekennzeichnet, dass die Dotierungselemente in die Epitaxieschicht (3) eingebracht werden bevor die Dotierungen der Wannen (5, 6) in die Epitaxieschicht (3) eindiffundiert werden.
- 5 6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Epitaxieschicht (3) zur Bildung einer Feldoxidschicht während der Wärmebehandlung an ihrer Oberfläche oxidiert wird.
7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet,
10 dass in der Epitaxieschicht (3) seitlich benachbart zu dem die Dotierungselemente aufweisenden Bereich (4, 4') ein weiterer Bereich erzeugt wird, dessen Ladungsträgertyp sich von demjenigen der Epitaxieschicht (3) unterscheidet, und dass zur Bildung einer Diode der die Dotierungselemente aufweisende Bereich (4, 4') mit einer ersten Metallisierung und der weitere Bereich
15 mit einer zweiten Metallisierung verbunden werden.

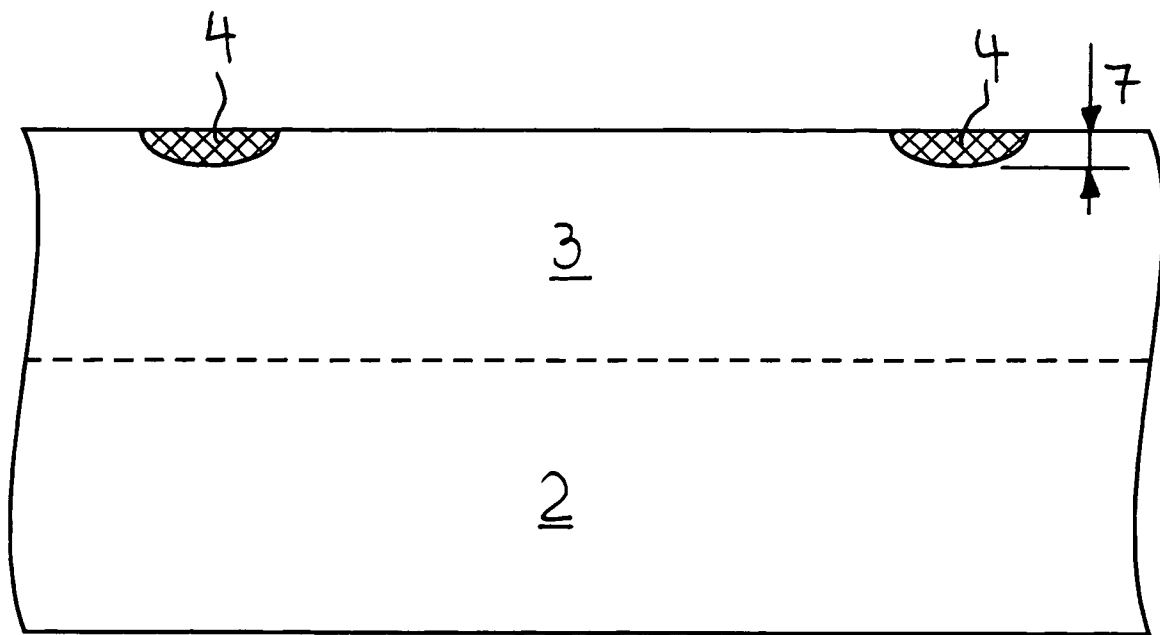


Fig. 1

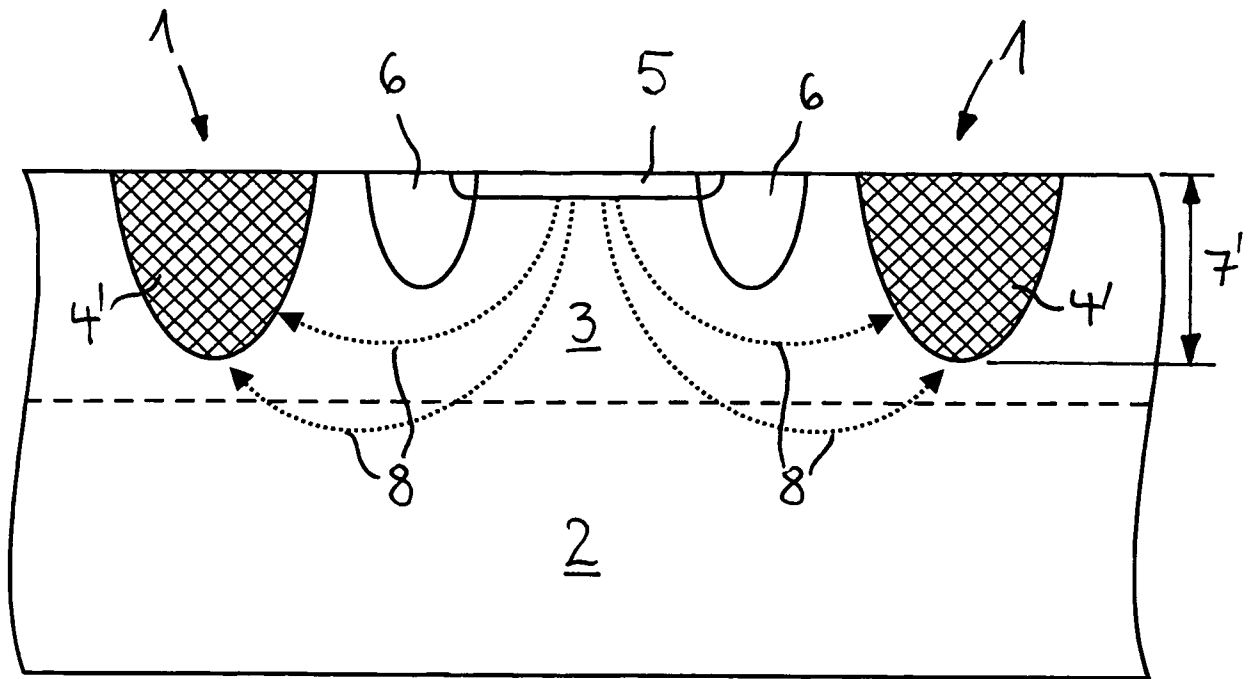


Fig. 2

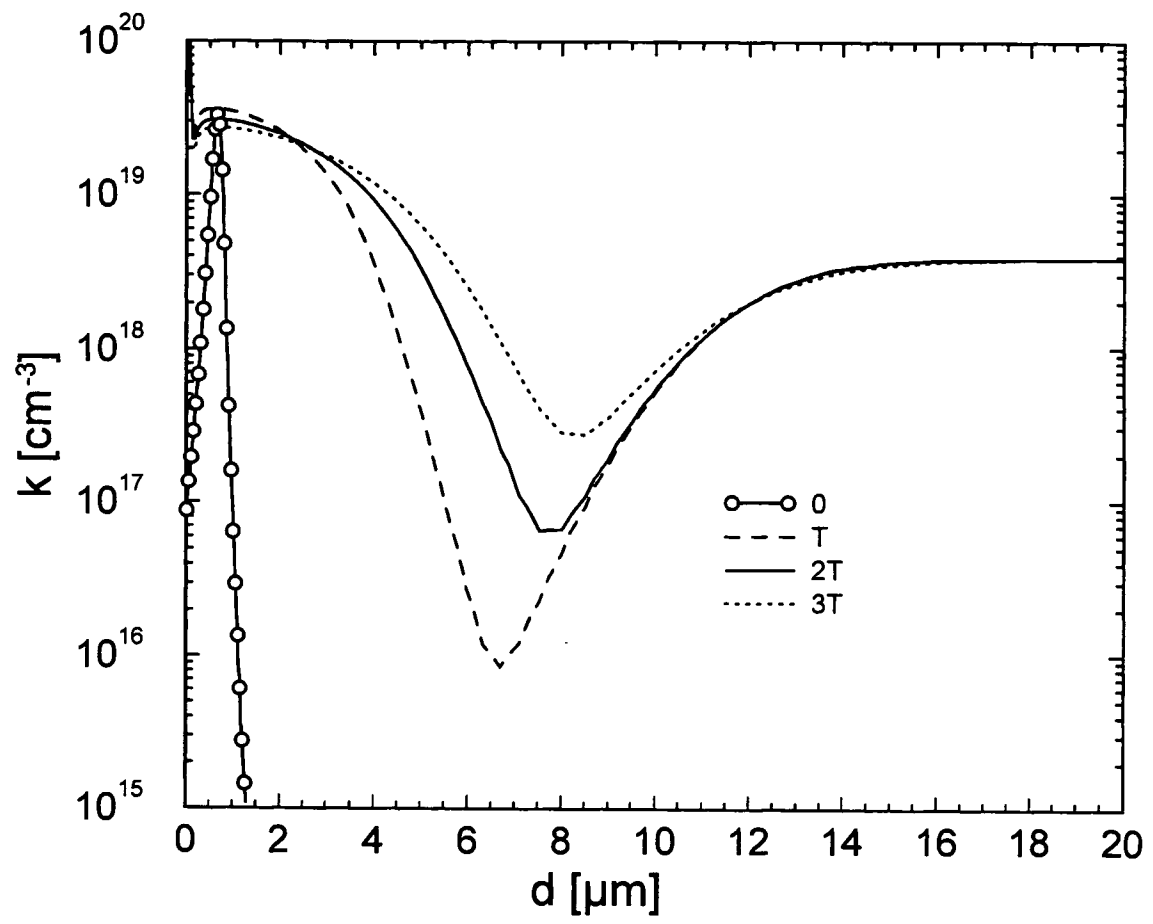


Fig. 3

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2009/004551

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L21/329

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 372 557 B1 (LEONG SIEW KOK [US]) 16 April 2002 (2002-04-16) column 1, line 50 - line 55; figure 1 column 3, line 44 - line 47; figure 3 column 2, line 57 - line 63 column 5, line 32 - line 35 -----	1-5,7
Y	EP 0 620 599 A (SILICONIX INC [US]) 19 October 1994 (1994-10-19) column 7, line 10 - line 12; figures 5,9,11 column 7, line 47 - line 56 column 11, line 31 - line 48 -----	1-7
Y	US 2005/221563 A1 (BAIOCCHI FRANK A [US] ET AL BAI OCCHI FRANK A [US] ET AL) 6 October 2005 (2005-10-06) paragraph [0002] ----- -/-	1-7

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

* & * document member of the same patent family

Date of the actual completion of the international search

1 September 2009

Date of mailing of the international search report

24/09/2009

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Seck, Martin

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2009/004551

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 0 428 283 A (ADVANCED MICRO DEVICES INC [US]) 22 May 1991 (1991-05-22) abstract	6
A	----- GB 2 010 009 A (SEIKO INSTR & ELECTRONICS) 20 June 1979 (1979-06-20) figure 3	1-7
A	----- SZE S M: "Semiconductor Devices, Physics and Technology" 1985, JOHN WILEY AND SONS, NEW YORK, XP002507002 page 38; figure 7 page 381 - page 384; figure 3a page 405 - page 410; figure 22 page 422 - page 423; figure 35 -----	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2009/004551

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6372557	B1	16-04-2002	NONE	
EP 0620599	A	19-10-1994	DE 69407852 D1	19-02-1998
			DE 69407852 T2	27-08-1998
			JP 7050413 A	21-02-1995
US 2005221563	A1	06-10-2005	NONE	
EP 0428283	A	22-05-1991	AT 175522 T	15-01-1999
			DE 69032878 D1	18-02-1999
			DE 69032878 T2	26-08-1999
			JP 3171731 A	25-07-1991
			US 5151381 A	29-09-1992
GB 2010009	A	20-06-1979	DE 2852123 A1	13-06-1979
			JP 54079578 A	25-06-1979

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2009/004551

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H01L21/329

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 372 557 B1 (LEONG SIEW KOK [US]) 16. April 2002 (2002-04-16) Spalte 1, Zeile 50 - Zeile 55; Abbildung 1 Spalte 3, Zeile 44 - Zeile 47; Abbildung 3 Spalte 2, Zeile 57 - Zeile 63 Spalte 5, Zeile 32 - Zeile 35	1-5,7
Y	EP 0 620 599 A (SILICONIX INC [US]) 19. Oktober 1994 (1994-10-19) Spalte 7, Zeile 10 - Zeile 12; Abbildungen 5,9,11 Spalte 7, Zeile 47 - Zeile 56 Spalte 11, Zeile 31 - Zeile 48	1-7
Y	US 2005/221563 A1 (BAIOCCHI FRANK A [US] ET AL BAIOCCHI FRANK A [US] ET AL) 6. Oktober 2005 (2005-10-06) Absatz [0002]	1-7

-/--

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

1. September 2009

Absenddatum des internationalen Recherchenberichts

24/09/2009

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Seck, Martin

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2009/004551

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	EP 0 428 283 A (ADVANCED MICRO DEVICES INC [US]) 22. Mai 1991 (1991-05-22) Zusammenfassung -----	6
A	GB 2 010 009 A (SEIKO INSTR & ELECTRONICS) 20. Juni 1979 (1979-06-20) Abbildung 3 -----	1-7
A	SZE S M: "Semiconductor Devices, Physics and Technology" 1985, JOHN WILEY AND SONS, NEW YORK, XP002507002 Seite 38; Abbildung 7 Seite 381 - Seite 384; Abbildung 3a Seite 405 - Seite 410; Abbildung 22 Seite 422 - Seite 423; Abbildung 35 -----	1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2009/004551

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6372557	B1	16-04-2002	KEINE	
EP 0620599	A	19-10-1994	DE 69407852 D1	19-02-1998
			DE 69407852 T2	27-08-1998
			JP 7050413 A	21-02-1995
US 2005221563	A1	06-10-2005	KEINE	
EP 0428283	A	22-05-1991	AT 175522 T	15-01-1999
			DE 69032878 D1	18-02-1999
			DE 69032878 T2	26-08-1999
			JP 3171731 A	25-07-1991
			US 5151381 A	29-09-1992
GB 2010009	A	20-06-1979	DE 2852123 A1	13-06-1979
			JP 54079578 A	25-06-1979