

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-123257  
(P2009-123257A)

(43) 公開日 平成21年6月4日(2009.6.4)

(51) Int.Cl. F I テーマコード (参考)  
G 1 1 C 29/44 (2006.01) G 1 1 C 29/00 6 5 5 Z 5 L 1 0 6

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2007-293403 (P2007-293403)  
(22) 出願日 平成19年11月12日 (2007.11.12)

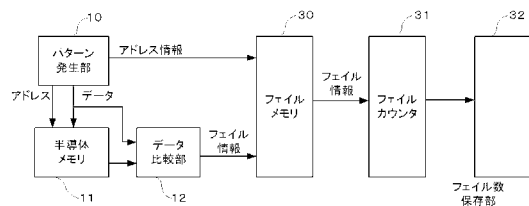
(71) 出願人 000006507  
横河電機株式会社  
東京都武蔵野市中町2丁目9番32号  
(72) 発明者 柴田 研一  
東京都武蔵野市中町2丁目9番32号 横  
河電機株式会社内  
(72) 発明者 木村 隆尋  
東京都武蔵野市中町2丁目9番32号 横  
河電機株式会社内  
Fターム(参考) 5L106 AA01 AA02 DD11 DD24 DD25  
EE05 FF05 GG07

(54) 【発明の名称】 半導体メモリ試験装置

(57) 【要約】

【課題】 複数の領域に分割された半導体メモリの試験を行う半導体メモリ試験装置において、各領域のフェイル情報が複数の記憶領域に分散してフェイルメモリに保存されていたので、全領域のフェイル数を得るためには複数回フェイルメモリをサーチしなければならない、試験時間が長くなってしまふという課題を解決する。

【解決手段】 各領域のフェイル情報を領域毎にまとめてフェイルメモリに保存するようにした。フェイルメモリを先頭から1回サーチするだけで全領域のフェイル数を得ることができる。また、フェイルメモリとしてDRAMのような複数バンクを有するメモリを用いた場合、バンク切り替えの回数を少なくすることができるという効果もある。



【選択図】

図 1

**【特許請求の範囲】****【請求項 1】**

複数の領域に分割された半導体メモリにデータを書き込み、このデータと前記半導体メモリから読み出したデータを比較してフェイル情報を作成して、このフェイル情報に基づいて前記半導体メモリを試験する半導体メモリ試験装置において、

前記領域について、同じ領域に属するフェイル情報をまとめて保存するフェイルメモリと、

前記フェイル情報を読み出してフェイル数をカウントするフェイルカウンタと、

前記フェイルカウンタがカウントしたフェイル数を保存するフェイル数保存部と、

を具備したことを特徴とする半導体メモリ試験装置。

10

**【請求項 2】**

前記領域はさらに複数のサブ領域に分割されており、これら複数のサブ領域毎にまとめてフェイル情報を保存するようにしたことを特徴とする請求項 1 記載の半導体メモリ試験装置。

**【請求項 3】**

前記フェイルカウンタは、前記領域毎に、フェイル数の積算値を保存するようにしたことを特徴とする請求項 2 記載の半導体メモリ試験装置。

**【請求項 4】**

前記フェイルメモリは、複数のバンクで構成されたメモリであることを特徴とする請求項 1 乃至請求項 3 いずれかに記載の半導体メモリ試験装置。

20

**【請求項 5】**

前記フェイルカウンタが前記フェイル情報を読み出すと同時にこの読み出したフェイル情報が格納されるバッファメモリを具備したことを特徴とする請求項 1 乃至請求項 4 いずれかに記載の半導体メモリ試験装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、フェイル数を高速でカウントできるようにすることにより、試験時間を短縮することができる半導体メモリ試験装置に関するものである。

**【背景技術】**

30

**【0002】**

半導体メモリ試験装置は、指定されたアドレスのセルに所定の値を書き込み、この書き込んだ値を読み出すことにより、当該半導体メモリの良否を試験する装置である。このような半導体メモリ試験装置の構成を図 7 に示す。

**【0003】**

図 7 において、パターン発生部 10 は書き込むデータおよびアドレスを発生し、試験対象である半導体メモリ 11 に出力する。データ比較部 12 にはパターン発生部 10 が発生したデータおよび半導体メモリ 11 から読み出したデータが入力される。データ比較部 12 は入力された 2 つのデータを比較し、一致しているかどうかを表すフェイル情報を出力する。フェイルメモリ 13 にはこのフェイル情報およびパターン発生部 10 が発生したアドレス情報が入力される。フェイルメモリ 13 は、入力されたアドレス情報に基づいて入力されたフェイル情報を保存する

40

**【0004】**

半導体メモリ 11 の良否を判定するために、そのフェイル数をカウントしなければならないことがある。このフェイル数をカウントするためにフェイルカウンタ 14 を設ける。フェイルカウンタ 14 はフェイルメモリ 13 に保存されたフェイル情報を読み出し、半導体メモリ 11 のフェイル数をカウントする。

**【0005】**

図 8 に、半導体メモリ 11 の構成を示す。図 8 において、半導体メモリ 11 のセルは平面上に配置されるので、各セルは X アドレスと Y アドレスの 2 つのアドレスで表すことが

50

できる。また、半導体メモリ 11 は  $20 - 1 \sim 20 - N$  の  $N$  個の領域に分割されている。この領域  $20 - 1 \sim 20 - N$  の各々は、メイン 21、X スペア 22、Y スペア 23、および XY スペア 24 の 4 つのサブ領域で構成されている。メモリ構成が複雑になると、領域の数 (=  $N$ ) も増加する。

【0006】

図 9 に、フェイルメモリ 13 にフェイル情報を保存する形式を示す。図 9 において、13 a はメイン 21 のフェイル情報の保存形式を表している。メイン - 1 ~ メイン -  $N$  はそれぞれ領域  $20 - 1 \sim 20 - N$  内のメイン 21 のフェイル情報が保存されている記憶領域である。

【0007】

13 b はスペア 22 ~ 24 のフェイル情報の保存形式を表している。X スペア - 1 ~ X スペア  $N$  はそれぞれ領域  $20 - 1 \sim 20 - N$  内の X スペア 22 のフェイル情報が保存されている記憶領域、Y スペア - 1 ~ Y スペア  $N$  はそれぞれ領域  $20 - 1 \sim 20 - N$  内の Y スペア 23 のフェイル情報が保存されている記憶領域、XY スペア - 1 ~ XY スペア  $N$  はそれぞれ領域  $20 - 1 \sim 20 - N$  内の XY スペア 24 のフェイル情報が保存されている記憶領域である。

【0008】

領域  $20 - p$  ( $p = 1 \sim N$ ) 内のメイン 21、X スペア 22、Y スペア 23、XY スペア 24 のフェイル情報は複数の記憶領域に分散して保存される。例えば、領域  $20 - 1$  内のメイン 21 のフェイル情報は 13 c 1 ~ 13 c  $q$  の  $q$  個の記憶領域に分散されて保存される。同様に、領域  $20 - 1$  内のスペア 22 ~ 24、領域  $20 - 2 \sim 20 - N$  のメイン 21、スペア 22 ~ 24 のフェイル情報も複数の記憶領域に分散して保存される。

【0009】

メモリには、DRAM (Dynamic Random Access Memory) のように複数のバンクに分割されているものがある。図 8 の“バンク境界”は、このバンクの境界を表している。このバンク境界を越えてアクセスするためには、バンク切り替えを行わなければならない。

【0010】

図 10 に各領域のフェイル数および総フェイル数を求めるフローを示す。なお、25 はバンク境界を示している。図 9 で説明したように、領域  $20 - 1 \sim 20 - N$  のフェイル情報は複数の記憶領域に分散して保存されている。

【0011】

そのため、まずフェイルメモリ 13 全体をサーチし、領域  $20 - 1$  のフェイル数を求めて保存する。すなわち、メイン - 1、X スペア - 1、Y スペア - 1、XY スペア - 1 のフェイル情報のみチェックし、フェイル数をカウントする。次に、同じ要領で領域  $20 - 2 \sim 20 - N$  のフェイル数を順番に求めて保存する。最後に領域  $20 - 1 \sim 20 - N$  のフェイル数を加算して総フェイル数を求め、保存する。

【0012】

【特許文献 1】特開 2004 - 348892 号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、このような半導体メモリ試験装置には次のような課題があった。前述したように、総フェイル数を求めるためには、領域  $20 - 1 \sim 20 - N$  のフェイル情報を求めて加算しなければならない。そのため、領域の数だけフェイルメモリ 13 をサーチしなければならないと、時間がかかるという課題があった。

【0014】

また、フェイルメモリとして複数バンク構成のメモリを用いると、フェイルメモリ 13 全体をサーチするためにはバンク切り替えを行わなければならない。このバンク切り替え中はデータ転送ができないために、フェイルメモリ 13 のサーチのための時間が更に増加してしまうという課題もあった。

10

20

30

40

50

## 【 0 0 1 5 】

半導体メモリ 1 1 のメモリ構成が複雑になると領域の数 N が増加するので、フェイルメモリ 1 3 をサーチする回数も増加し、それに伴ってバンク切り替えの回数も増加する。そのため、サーチに要する時間が益々長くなり、試験に要する時間も増加してしまうという課題もあった。

## 【 0 0 1 6 】

従って本発明の目的は、フェイル情報の保存形式を変えることにより、高速でフェイル数を求めることができる半導体メモリ試験装置を提供することにある。

## 【課題を解決するための手段】

## 【 0 0 1 7 】

このような課題を解決するために、本発明のうち請求項 1 記載の発明は、  
複数の領域に分割された半導体メモリにデータを書き込み、このデータと前記半導体メモリから読み出したデータを比較してフェイル情報を作成して、このフェイル情報に基づいて前記半導体メモリを試験する半導体メモリ試験装置において、  
前記領域について、同じ領域に属するフェイル情報をまとめて保存するフェイルメモリと、  
前記フェイル情報を読み出してフェイル数をカウントするフェイルカウンタと、  
前記フェイルカウンタがカウントしたフェイル数を保存するフェイル数保存部と、  
を具備したものである。高速でフェイル数をカウントすることができる。

10

## 【 0 0 1 8 】

請求項 2 記載の発明は、請求項 1 記載の発明において、  
前記領域はさらに複数のサブ領域に分割されており、これら複数のサブ領域毎にまとめてフェイル情報を保存するようにしたものである。サブ領域毎のフェイル数を高速でカウントできる。

20

## 【 0 0 1 9 】

請求項 3 記載の発明は、請求項 2 記載の発明において、  
前記フェイルカウンタは、前記領域毎に、フェイル数の積算値を保存するようにしたものである。フェイルカウンタをリセットする回数が少なくなるので、高速でフェイル数をカウントすることができる。

## 【 0 0 2 0 】

請求項 4 記載の発明は、請求項 1 乃至請求項 3 いずれかに記載の発明において、  
前記フェイルメモリとして、複数のバンクで構成されたメモリを用いたものである。バンク切り替えが少なくなるので、従来に比べてより高速にフェイル数をカウントできる。

30

## 【 0 0 2 1 】

請求項 5 記載の発明は、請求項 1 乃至請求項 4 いずれかに記載の発明において、  
前記フェイルカウンタが前記フェイル情報を読み出すと同時にこの読み出したフェイル情報が格納されるバッファメモリを具備したものである。フェイル数カウントとバッファメモリコピーを同時に行うことができる。

## 【発明の効果】

## 【 0 0 2 2 】

以上説明したことから明らかなように、本発明によれば次のような効果がある。  
請求項 1 , 2 , 3 , 4 および 5 の発明によれば、複数の領域を有する半導体メモリの試験を行う半導体メモリ試験装置において、フェイルメモリにフェイル情報を領域毎にまとめて保存するようにした。

40

## 【 0 0 2 3 】

同じ領域のフェイル情報がまとめて配置されているので、フェイルメモリを一度サーチするだけで全領域のフェイル数をカウントすることができるという効果がある。また、各領域のフェイル数をフェイル数保存部に保存するようにしたので、この保存された値から任意の領域のフェイル数を得ることができるという効果がある。

## 【 0 0 2 4 】

50

また、従来のように分散されたフェイル情報を探す必要がなく、フェイルメモリを先頭からサーチするだけでよいので、高速でフェイル数を求めることができるという効果もある。更に、フェイルメモリとして複数のバンクを有するメモリを用いた場合、バンク切り替えの回数が少なくなるのでバンク切り替えに要する時間を短縮することができるという効果もある。

【発明を実施するための最良の形態】

【0025】

以下本発明を、図面を用いて詳細に説明する。図1は本発明に係る半導体メモリ試験装置の一実施例を示す構成図である。なお、図7と同じ要素には同一符号を付し、説明を省略する。また、半導体メモリ11は図8の構成を有しているとする。

10

【0026】

図1において、30はフェイルメモリであり、パターン発生部10が発生したアドレス情報、およびデータ比較部12が出力するフェイル情報が入力される。フェイルメモリ30は入力されたアドレスに基づいてどの領域のフェイル情報であるかを判断し、入力されたフェイル情報を保存する。31はフェイルカウンタであり、フェイルメモリ30に保存されたフェイル情報を読み出し、フェイル数をカウントし、フェイル数の積算値を出力する。32はフェイル数保存部であり、フェイルカウンタ31がカウントしたフェイル数を保存する。

【0027】

図2に、フェイルメモリ30にフェイル情報を保存する形式を示す。なお、図9と同じ要素には同一符号を付し、説明を省略する。図2において、30aは領域20-1~20-N内のメイン21のフェイル情報が保存されている記憶領域である。図9と同様に、メイン-1~メイン-Nはそれぞれ領域20-1~20-N内のメイン21のフェイル情報が保存されている記憶領域を表している。

20

【0028】

30bは領域20-1~20-Nのスペア22~24のフェイル情報が保存されている記憶領域である。図9と同様に、Xスペア1~Xスペア-Nはそれぞれ領域20-1~20-N内のXスペア22のフェイル情報が保存されている記憶領域、Yスペア1~Yスペア-Nはそれぞれ領域20-1~20-N内のYスペア23のフェイル情報が保存されている記憶領域、XYスペア1~XYスペア-Nはそれぞれ領域20-1~20-N内のXYスペア24のフェイル情報が保存されている記憶領域である。30bx、30by、30bxyはそれぞれXスペア、Yスペア、XYスペアのフェイル情報が保存されている記憶領域を表している。

30

【0029】

なお、“バンク境界”はバンクの境界を表している。また、サブ領域メインのフェイル情報が保存されている30aと、サブ領域スペアのフェイル情報が保存されている30bは連続して配置されている。

【0030】

図9に示したように、従来は各領域内のメイン21、Xスペア22、Yスペア23、XYスペア24のフェイル情報は分散してフェイルメモリ13に保存されていた。この実施例では、各領域のメイン21、Xスペア22、Yスペア23、XYスペア24のフェイル情報は1箇所にもまとめて保存されるので、フェイル数のカウント時間を大幅に短縮することができる。

40

【0031】

図3にフェイル数を求めるフローチャートを示す。(A)はメインルーチン、(B)はサブルーチンのフローチャートである。図3(A)において、工程(P3-1)でフェイルカウンタ31をリセットする。そして、工程(P3-2)で記憶領域30aのフェイル数をカウントして保存し、工程(P3-3)で記憶領域30bxのフェイル数をカウントして保存する。次に、工程(P3-4)で記憶領域30byのフェイル数をカウントして保存し、最後に工程(P3-5)で記憶領域30bxyのフェイル数をカウントして保存

50

し、終了する。

【0032】

図3(B)は工程(P3-2)~(P3-5)の詳細を示したフローチャートである。工程(P3-2)~(P3-5)は基本的に同じ処理なので、1つのフローチャートで表している。なお、メイン-1~メインN、Xスペア-1~Xスペア-N、Yスペア-1~Yスペア-N、XYスペア-1~XYスペア-Nの各々をサブ記憶領域と称する。

【0033】

図3(B)において、工程(P3-1s)でフェイル情報を読み込み、工程(P3-2s)でフェイル数をカウントアップする。そして、工程(P3-3s)でサブ記憶領域の終わりであるかどうかを判断し、終わりであると工程(P3-4s)でカウント値をフェイル数保存部32に保存する。そして、工程(P3-5s)で記憶領域の終わりであることをチェックし、終わりであると終了する。工程(P3-3s)でサブ記憶領域の終わりでない場合、および工程(P3-5s)で記憶領域の終わりでない場合は、いずれも工程(P3-1s)に戻る。

10

【0034】

図4に、フェイル数保存部32の保存形式を示す。図4において、40はサブ記憶領域毎に設けられたフェイル数を格納する領域である。これらの格納領域は記憶領域30a、30bx、30by、30bxy毎に各N個設けられている。40a~40dはそれぞれ記憶領域30a、30bx、30by、30bxyの最後の格納領域である。各格納領域40内の数値は格納されたフェイル数であり、16進数で表示されている。

20

【0035】

図3(B)の工程(P3-4s)で、フェイルカウンタ31のカウント値は対応する格納領域40に格納される。例えば、サブ記憶領域メイン-1のカウント値は、最初の格納領域40に格納される。フェイルカウンタ31はカウント値をリセットすることなく、次のサブ記憶領域のカウントを開始する。

【0036】

そのため、格納領域40にはそれまでのフェイル数の積算値が格納される。格納領域40aには記憶領域30aの総フェイル数が、格納領域40bには記憶領域30aと30bxの総フェイル数が、格納領域40cには記憶領域30a、30bx、30byの総フェイル数が、格納領域40dには全ての記憶領域の総フェイル数が格納される。各サブ記憶領域のフェイル数は、全てのフェイル数のカウントが終了した後に、該当する格納領域40に格納された値から1つ前の格納領域40に格納された値を引くことにより、求めることができる。

30

【0037】

図9の保存形式では、フェイル情報が複数の記憶領域に分散して保存されていたので、各領域のフェイル数を求めるためには領域の数(=N)だけフェイルメモリ13をサーチしなければならなかった。本実施例では各領域のフェイル情報がまとめて保存されているので、フェイルメモリ30を一度サーチするだけで、全フェイル数を得ることができる。なお、前述したように、サブ記憶領域毎にフェイル数の積算値が格納されているので、各サブ記憶領域のフェイル数を求めることもできる。フェイルカウンタ31は最初にリセットされるだけなので、高速でフェイル数をカウントすることができる。

40

【0038】

また、サーチする範囲におけるバンク境界の数をmとすると、従来はm×N回のバンク切り替えが必要であったが、本実施例ではm回バンクを切り替えるだけでよく、切り替え時間を大幅に短縮することができる。

【0039】

図5に本発明の他の実施例を示す。なお、図1と同じ要素には同一符号を付し、説明を省略する。図4において、50はバッファメモリであり、フェイルカウンタ31が読み出したフェイル情報が入力され、このフェイル情報を保存する。

【0040】

50

図 6 に、図 5 実施例の動作を示すフローチャートを示す。この実施例は、フェイル数のカウントとフェイル情報のバッファメモリ 50 への転送を同時に行うようにしたものである。なお、図 3 と同じ要素には同一符号を付し、説明を省略する。

【0041】

図 6 において、(A) はメインルーチン、(B) はサブルーチンである。メインルーチン(A) は図 3 (A) のメインルーチンと基本的に同じであり、工程(P6-1) ~ (P6-5) は工程(P3-1) ~ (P3-5) に対応する。すなわち、最初にフェイルカウンタ 31 をリセットし、記憶領域 30a、30bx、30by、30bxy のフェイル数を順番にカウントして終了する。

【0042】

サブルーチン(B) も図 3 のサブルーチン(B) とほぼ同じであるが、工程(P3-1s) の後に工程(P6-1s) が追加されている。工程(P3-1s) でフェイルカウンタ 31 がフェイル情報を読み込むと、工程(P6-1s) でこのフェイル情報はバッファメモリ 50 に転送される。その後、工程(P3-2s) でフェイル数をカウントアップする。

【0043】

半導体メモリ試験装置では、被試験半導体メモリの不良解析を行うために、フェイルメモリ 30 に保存されているフェイル情報をバッファメモリに転送するバッファメモリコピーが行われる。この実施例では、フェイル数のカウントと同時にバッファメモリコピーを行うことにより、処理時間を短縮するようにしたものである。

【図面の簡単な説明】

【0044】

【図 1】本発明の一実施例を示す構成図である。

【図 2】フェイルメモリの保存形式を示した図である。

【図 3】図 1 実施例の動作を示すフローチャートである。

【図 4】フェイル数格納部 32 の格納形式を示した図である。

【図 5】本発明の他の実施例を示す構成図である。

【図 6】図 5 実施例の動作を示すフローチャートである。

【図 7】従来の半導体メモリ試験装置の構成図である。

【図 8】被試験半導体メモリの構成図である。

【図 9】従来のフェイルメモリの保存形式を示した図である。

【図 10】従来の半導体メモリ試験装置の動作を示すフロー図である。

【符号の説明】

【0045】

10 パターン発生部

11 半導体メモリ

12 データ比較部

20 - 1 ~ 20 - N 領域

25 バンク境界

30 フェイルメモリ

30a、30b、30bx、30by、30bxy 記憶領域

31 フェイルカウンタ

32 フェイル数保存部

40、40a ~ 40d 格納領域

50 バッファメモリ

メイン - 1 ~ メイン - N、Xスペア - 1 ~ Xスペア - N 記憶領域

Yスペア - 1 ~ Yスペア - N、XYスペア - 1 ~ XYスペア - N 記憶領域

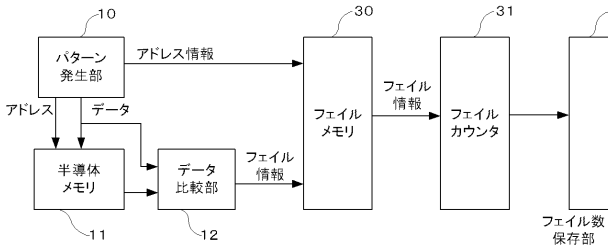
10

20

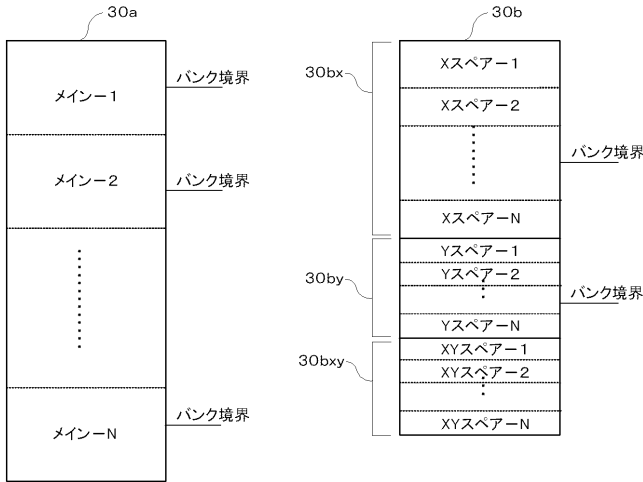
30

40

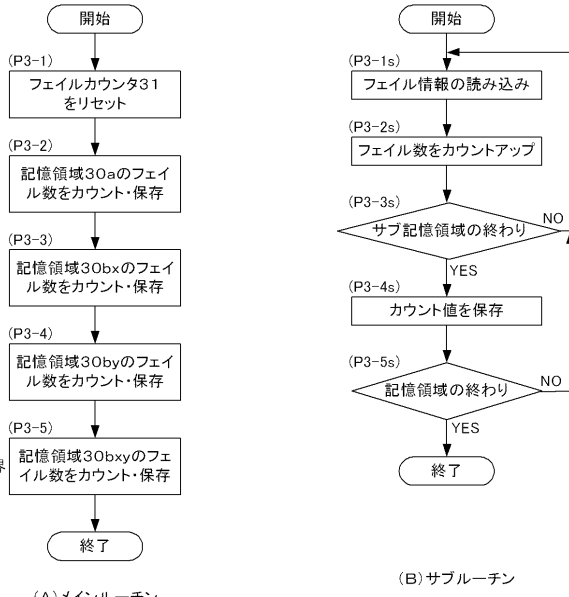
【図1】



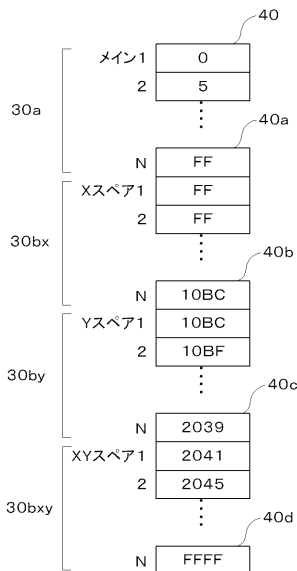
【図2】



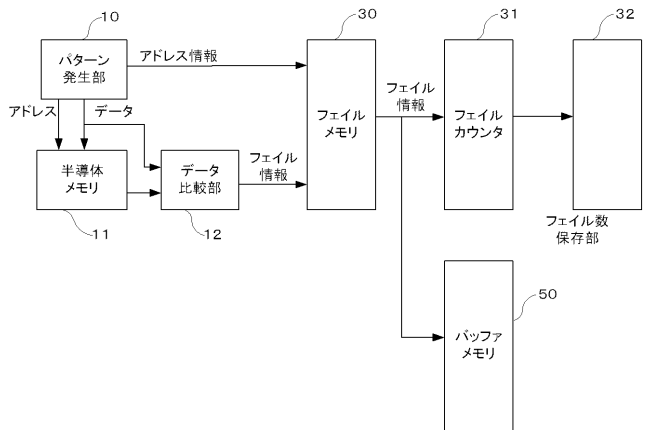
【図3】



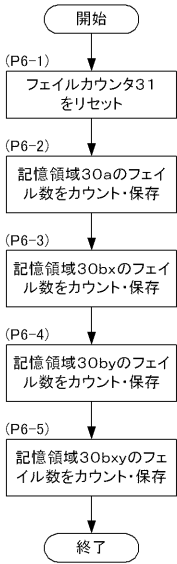
【図4】



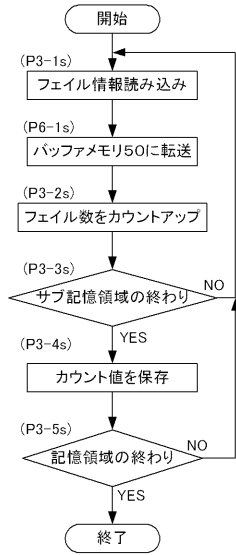
【図5】



【 図 6 】

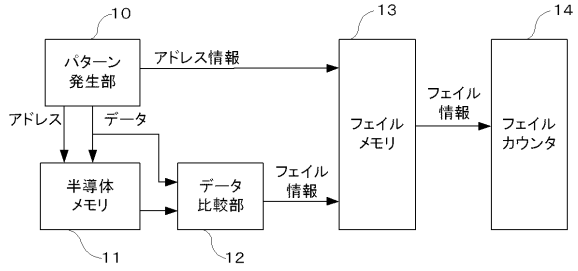


(A)メインルーチン

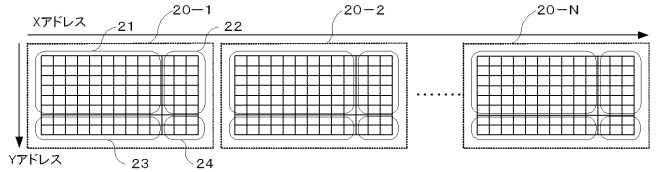


(B)サブルーチン

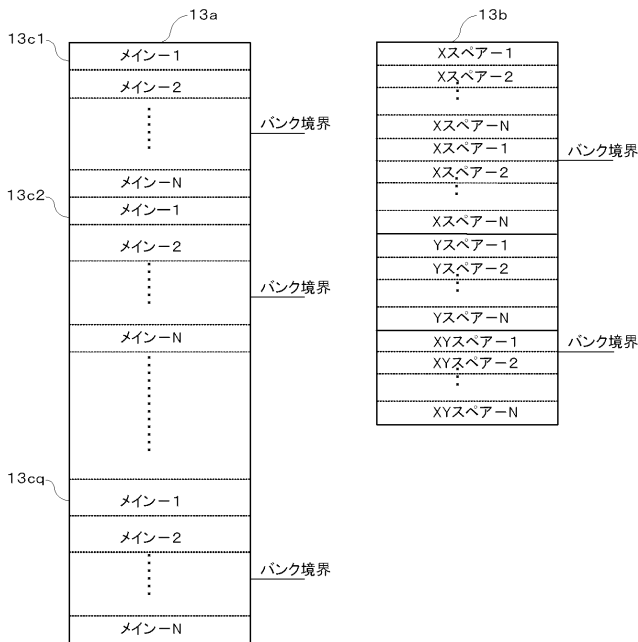
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

