

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-107947

(P2017-107947A)

(43) 公開日 平成29年6月15日(2017.6.15)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 6 V	4 M 1 0 4
H O 1 L 21/28 (2006.01)	H O 1 L 21/28 3 0 1 R	5 F 0 4 8
H O 1 L 29/47 (2006.01)	H O 1 L 29/48 M	5 F 1 1 0
H O 1 L 29/872 (2006.01)	H O 1 L 29/50 M	
H O 1 L 29/417 (2006.01)	H O 1 L 29/78 6 1 8 B	
審査請求 未請求 請求項の数 16 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2015-239619 (P2015-239619)	(71) 出願人	504145308
(22) 出願日	平成27年12月8日 (2015.12.8)		国立大学法人 琉球大学
			沖縄県中頭郡西原町字千原 1 番地
		(74) 代理人	100152180
			弁理士 大久保 秀人
		(74) 代理人	100080160
			弁理士 松尾 憲一郎
		(74) 代理人	100149205
			弁理士 市川 泰央
		(72) 発明者	野口 隆
			沖縄県中頭郡西原町字千原 1 番地 国立大
			学法人琉球大学内
		(72) 発明者	岡田 電弥
			沖縄県中頭郡西原町字千原 1 番地 国立大
			学法人琉球大学内
		最終頁に続く	

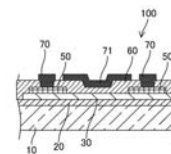
(54) 【発明の名称】 半導体装置、電子機器、及び、半導体装置の製造方法

(57) 【要約】

【課題】 シンプルな電極構造の P 型の L T P S T F T を搭載した半導体装置、当該半導体装置の製造方法、及び、当該半導体装置を搭載した電子機器を実現する。

【解決手段】 基材と、前記基材上に形成された真性半導体のシリコン層と、前記シリコン層上に離間して形成された一対のメタル層と、前記一対のメタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成されたゲート電極と、を備え、前記シリコン層と前記メタル層との間はショットキー接合であり、前記メタル層の仕事関数が 4.5 [eV] 以上である、ことを特徴とする半導体装置。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

基材と、
前記基材上に形成された真性半導体のシリコン層と、
前記シリコン層上に離間して形成された一対のメタル層と、
前記一対のメタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成されたゲート電極と、を備え、
前記シリコン層と前記メタル層との間はショットキー接合であり、
前記メタル層の仕事関数が 4.5 [eV] 以上である、
ことを特徴とする半導体装置。

10

【請求項 2】

メタル層は、金 (Au) 層である、
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

シリコン層の表面の面粗度は、算術平均粗さで $1 \text{ nm} \sim 10 \text{ nm}$ 程度である、
ことを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

シリコン層とメタル層との接合部において、シリコン層は自然酸化膜が除去された構造である、
ことを特徴とする請求項 1 ～請求項 3 の何れか 1 項に記載の半導体装置。

20

【請求項 5】

シリコン層は、結晶粒径が数十 $\text{nm} \sim$ 数百 nm のポリシリコンで構成されている、
ことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

シリコン層は、ネオン (Ne) スパッタリングで形成されたアモルファスシリコンをレーザーアニールで結晶化したポリシリコンで形成されている、
ことを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

メタル層は、自然酸化膜が除去されたシリコン層の表面上に設けられた真空蒸着層である、
ことを特徴とする請求項 6 に記載の半導体装置。

30

【請求項 8】

メタル層の仕事関数と、シリコン層の電子親和力に当該シリコン層の導電帯と価電子帯の間のバンドギャップと、の差が、略 0.3 [eV] より小さい、
ことを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

基材と、
前記基材上に形成された真性半導体のシリコン層と、
前記シリコン層上に離間して形成された一対のメタル層と、
前記一対のメタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成されたゲート電極と、を備え、
前記シリコン層と前記メタル層との間はショットキー接合であり、
前記メタル層の仕事関数が 4.5 [eV] 以上であり、
前記メタル層をソース／ドレインとし、前記シリコン層、前記メタル層及び前記ゲート電極により薄膜トランジスタが構成された半導体装置を備え、
前記薄膜トランジスタによって駆動される、
ことを特徴とする電子機器。

40

【請求項 10】

基材と、
前記基材上の第一領域に形成された真性半導体の第一シリコン層と、

50

前記第一シリコン層上に離間して形成された一对の第一メタル層と、前記一对の第一メタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第一ゲート電極と、前記基材上の第二領域に形成された真性半導体の第二シリコン層と、

前記第二シリコン層上に離間して形成された一对の第二メタル層と、前記一对の第二メタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第二ゲート電極と、を備え、

前記第一シリコン層と前記第一メタル層とがショットキー接合されており、

前記第一メタル層の仕事関数が4.5[eV]以上であり、

前記第二シリコン層と前記第二メタル層とがショットキー接合されており、

前記第二メタル層の仕事関数が4.5[eV]未満である、

ことを特徴とする半導体装置。

10

【請求項11】

基材と、

前記基材上の第一領域に形成された真性半導体の第一シリコン層と、

前記第一シリコン層上に離間して形成された一对の第一メタル層と、

前記一对の第一メタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第一ゲート電極と、

前記基材上の第二領域に形成された真性半導体の第二シリコン層と、

前記第二シリコン層上に離間して形成された一对の第二メタル層と、

前記一对の第二メタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第二ゲート電極と、

20

前記基材上の第三領域に形成された真性半導体の第三シリコン層と、

前記第三シリコン層上に離間して形成された第三メタル層及び第四メタル層と、

を備え、

前記第一シリコン層と前記第一メタル層とがショットキー接合されており、

前記第一メタル層の仕事関数が4.5[eV]以上であり、

前記第二シリコン層と前記第二メタル層とがショットキー接合されており、

前記第二メタル層の仕事関数が4.5[eV]未満であり、

前記第三シリコン層と前記第三メタル層とがショットキー接合されており、

前記第三メタル層の仕事関数が4.5[eV]以上であり、

30

前記第三シリコン層と前記第四メタル層とがショットキー接合されており、

前記第四メタル層の仕事関数が4.5[eV]未満である、

ことを特徴とする半導体装置。

【請求項12】

基材上にアモルファスシリコンのシリコン層を積層する工程と、

青色半導体レーザーアニールで前記シリコン層をポリシリコンに結晶化する工程と、

金属の真空蒸着により、前記シリコン層の上に一对のメタル層を離間形成する工程と、

前記一对のメタル層の間の前記シリコン層上に、ゲート絶縁膜を介してゲート電極を形成する工程と、を含み、

前記シリコン層と前記メタル層との間はショットキー接合であり、

40

前記メタル層の仕事関数が4.5[eV]以上である、

ことを特徴とする半導体装置の製造方法。

【請求項13】

シリコン層は、真性シリコン(i-Si)のネオン(Ne)スパッタリングによりアモルファスシリコンとして基材上に積層される、

ことを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】

メタル層の形成前に、ポリシリコンに結晶化されたシリコン層の表面の自然酸化膜を除去する工程を更に含む、

ことを特徴とする請求項12又は請求項13に記載の半導体装置の製造方法。

50

【請求項 15】

メタル層の形成後に、シリコン層を水素化する工程を更に含む、
ことを特徴とする請求項 12～請求項 14 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 16】

シリコン層の上にメタル層を形成する工程の後の工程を 250℃以下で行う、
ことを特徴とする請求項 12～請求項 15 の何れか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、半導体装置、電子機器、及び、半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、低温ポリシリコン薄膜トランジスタ（LTPS TFT：Low Temperature Poly Silicon）が、次世代モバイルディスプレイの基礎技術として脚光を浴びている。LTPS TFTは、現在TFT液晶に用いられているアモルファスシリコンTFTに比べて電荷キャリアモビリティが数100倍もあり、しかも変形温度が低い（650℃）ガラス基板上であっても直接形成することができる利点がある。

【0003】

しかしながら、LTPS TFTの製造には、アモルファスシリコンをポリシリコンに結晶化するためのエキシマレーザーアニール（ELA）、シリコン層にソース／ドレイン領域を形成する不純物ドーピングのためのイオン注入、注入したイオンを活性化させるアニール処理、等の工程が必要である。また、通常、アモルファスシリコン層の積層にはプラズマCVD等の化学的気相成長（CVD）法を用いるが、このアモルファスシリコン層が水素を含むため積層後に約500℃で2時間ほどアニールする脱水素処理が必要となる。これらの製造工程を行うには、各種の高価な装置が複数台必要であり、しかもメンテナンス費用が高額である。

20

【0004】

ここで、特許文献1には、基材上に形成した真性半導体のシリコン層上の両端部に、直接、又は、接合界面付近のごく薄いシリコンーチタン層（反応層又は混合層）を介してチタン層を接続した構造について開示されている。このシリコン層は、スパッタ法又はCVD法で形成されたアモルファスシリコン層に対し、青色半導体レーザーを用いたレーザーアニール（BLDA）を行うことで結晶化したポリシリコン層としてある。

30

【0005】

アモルファスシリコン層を結晶化させるためのレーザーアニールにBLDAを用いることにより、ポリシリコン層が高品質化し、レーザー出力の制御により結晶粒径の制御も可能になる。また、製造装置の小型化、製造コストや製造装置の維持コストの低減も実現可能である。更に、BLDAを用いると結晶化の際に基材等への熱的影響がほとんど無くなるため、低温でアモルファスシリコン層を形成できるスパッタ法とBLDAによるレーザーアニールとを組み合わせることにより、基材として従来に比べて耐熱性の低いものを採用可能となる。

40

【0006】

また、特許文献1には、上述したシリコン層の上にゲート絶縁層を介してゲート電極を形成し、シリコン層をチャンネル層とし、チタン層をそれぞれソース／ドレインとして、シリコン層、チタン層及びゲート電極によって薄膜トランジスタとする構成について開示されている。この薄膜トランジスタでは、シリコン層が真性半導体であるため、イオン注入や不純物のドーピングが不要である。また、チタンの仕事関数がシリコンの電子親和力に近くなるため、シリコン層とチタン層とを接続した界面のショットキーバリアが電子に対して小さく、チタン層からシリコン層への電子注入がオーミックに近い比較的小さい電圧で可能となる。また、真正シリコンの真空準位からフェルミ準位までのエネルギーギャップが

50

チタンの仕事関数よりも大きいため、チタン層とシリコン層とを接続した界面において、シリコン層の伝導準位がフェルミ準位側に曲がって形成され、かつチタンからシリコンへの電子に対する障壁（ショットキーバリア）高さが低くなり、チタン層からシリコン層への電子の注入が容易となり、実効的に易動度が向上する。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2015-43388号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0008】

上述した特許文献1には、N型のLTPTFTについて開示されているものの、P型のLTPTFTについては開示されておらず、シンプルな電極構造のP型のLTPTFTの開発が待ち望まれていた。同時に、N型のLTPTFTとP型のLTPTFTとを同じ基材上に形成したCMOS（Complementary Metal Oxide Semiconductor）の開発や、N型のLTPTFTとP型のLTPTFTとセンサーダイオードとを同じ基材上に形成した素子の開発も待ち望まれていた。

【0009】

本発明は、上述した課題に鑑みてなされたものであり、シンプルな電極構造のP型のLTPTFTを搭載した半導体装置、当該半導体装置の製造方法、及び、当該半導体装置を搭載した電子機器を実現することを目的とする。

20

【課題を解決するための手段】

【0010】

本発明の態様の1つは、基材と、前記基材上に形成された真性半導体のシリコン層と、前記シリコン層上に離間して形成された一对のメタル層と、前記一对のメタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成されたゲート電極と、を備え、前記シリコン層と前記メタル層との間はショットキー接合であり、前記メタル層の仕事関数が4.5[eV]以上である、ことを特徴とする半導体装置である。

【0011】

30

このように構成された半導体装置においては、真性半導体のシリコン層とメタル層の間がショットキー接合されており、しかもメタル層の仕事関数が4.5[eV]以上であるため、メタル層のエネルギー準位は、真性半導体のシリコン層のフェルミ準位と価電子帯のエネルギー準位との間に位置することになる。このように、仕事関数が真性半導体であるシリコン層のフェルミ準位よりも高い金属材料を用いてメタル層を形成することにより、価電子帯へのホール注入を可能にしている。このように構成した半導体装置は、一对のメタル層がソース／ドレインとなるP型のTFTとして動作する。

【0012】

本発明の選択的な態様の1つは、メタル層が金（Au）層である、ことを特徴とする半導体装置である。

40

【0013】

このように構成された半導体装置においては、真性半導体のシリコン層と金（Au）層の間がショットキー接合されており、しかも金（Au）層の仕事関数が5.1[eV]であるため、金（Au）層のエネルギー準位は、真性半導体のシリコン層のフェルミ準位と価電子帯のエネルギー準位との間に位置することになる。このように、仕事関数が真性半導体であるシリコン層のフェルミ準位よりも高い金（Au）を用いることにより、電子に対して、シリコンチャネル部の導電帯へのバリアは高くなるが、一方、価電子帯へのホール注入を可能にしている。このように構成した半導体装置は、一对の金（Au）層がソース／ドレインとなるP型のTFTとして動作する。

【0014】

50

本発明の選択的な態様の１つは、シリコン層の表面の面粗度が、算術平均粗さで $1\text{ nm} \sim 10\text{ nm}$ 程度である、ことを特徴とする半導体装置である。

【0015】

このように構成された半導体装置においては、シリコン層とメタル層の界面が平坦・平滑であるため、シリコン層とメタル層の間に安定なショットキー接合が形成される。

【0016】

本発明の選択的な態様の１つは、シリコン層とメタル層との接合部において、シリコン層は自然酸化膜が除去された構造である、ことを特徴とする半導体装置である。

【0017】

このように構成された半導体装置においては、シリコン層とメタル層の界面にシリコン層の自然酸化膜が除去されていることから、シリコン層とメタル層の間に安定なショットキー接合が形成される。

10

【0018】

本発明の選択的な態様の１つは、シリコン層は、結晶粒径が数十 $\text{nm} \sim$ 数百 nm のポリシリコンで構成されている、ことを特徴とする半導体装置である。

【0019】

このように構成された半導体装置においては、シリコン層を構成するポリシリコンの結晶粒径が小粒径で揃っているため、半導体装置のチャネル層を構成するシリコン層における電界効果移動度が向上し、半導体装置の電流駆動能力が向上する。これにより、例えば、画素駆動に TFT を用いる場合に、特に OLED（有機 EL）駆動の場合、画素当たりの TFT 使用数を少なくすることが可能であり、製品コストを低減することができる。

20

【0020】

本発明の選択的な態様の１つは、シリコン層は、ネオン（Ne）スパッタリングで形成されたアモルファスシリコンをレーザーアニールで結晶化したポリシリコンで形成されている、ことを特徴とする半導体装置である。

【0021】

このように構成された半導体装置においては、アモルファスシリコンをレーザーアニールしてポリシリコンに多結晶化する際に、スパッタリングガスであるネオンが放出されやすく、シリコン層内にスパッタリングガスが残存しにくいため、シリコン層の表面形状が平坦・平滑に形成される。これにより、シリコン層とメタル層の界面形状が平坦・平滑に形成されることになり、シリコン層とメタル層の間に安定なショットキー接合が形成される。

30

【0022】

本発明の選択的な態様の１つは、メタル層は、自然酸化膜が除去されたシリコン層の表面上に設けられた真空蒸着層である、ことを特徴とする半導体装置である。

【0023】

このように構成された半導体装置においては、自然酸化膜が除去されたシリコン層の表面上に、真空蒸着で形成されたメタル層が設けられているため、メタル層の形成によりシリコン層の表面形状が荒れにくく、シリコン層とメタル層の界面形状が平坦・平滑に形成されることになり、シリコン層とメタル層の間に安定なショットキー接合が形成される。

40

【0024】

本発明の選択的な態様の１つは、メタル層の仕事関数と、シリコン層の電子親和力に当該シリコン層の導電帯と価電子帯の間のバンドギャップと、の差が、略 0.3 [eV] より小さい、ことを特徴とする半導体装置である。

【0025】

このように構成された半導体装置においては、メタル層の仕事関数と、シリコン層の電子親和力に当該シリコン層の導電帯と価電子帯の間のバンドギャップと、の差が、略 0.3 [eV] より小さいため、シリコン層とメタル層の界面準位の影響が緩和し、シリコン層とメタル層の界面準位（シリコン層のダングリングボンドのエネルギー準位）が電子を

50

トラップしにくくなる。これにより、シリコン層とメタル層の界面構造により形成されるエネルギー準位のうち、界面準位よりも仕事関数が大きく寄与する半導体装置となる。

【0026】

本発明の他の態様の1つは、基材と、前記基材上に形成された真性半導体のシリコン層と、前記シリコン層上に離間して形成された一对のメタル層と、前記一对のメタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成されたゲート電極と、を備え、前記シリコン層と前記メタル層との間はショットキー接合であり、前記メタル層の仕事関数が4.5[eV]以上であり、前記メタル層をソース／ドレインとし、前記シリコン層、前記メタル層及び前記ゲート電極により薄膜トランジスタが構成された半導体装置を備え、前記薄膜トランジスタによって駆動される、ことを特徴とする電子機器である。

10

【0027】

本発明の他の態様の1つは、基材と、前記基材上の第一領域に形成された真性半導体の第一シリコン層と、前記第一シリコン層上に離間して形成された一对の第一メタル層と、前記一对の第一メタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第一ゲート電極と、前記基材上の第二領域に形成された真性半導体の第二シリコン層と、前記第二シリコン層上に離間して形成された一对の第二メタル層と、前記一对の第二メタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第二ゲート電極と、を備え、前記第一シリコン層と前記第一メタル層とがショットキー接合されており、前記第一メタル層の仕事関数が4.5[eV]以上であり、前記第二シリコン層と前記第二メタル層とがショットキー接合されており、前記第二メタル層の仕事関数が4.5[eV]未満である、ことを特徴とする半導体装置である。

20

【0028】

本発明の他の態様の1つは、基材と、前記基材上の第一領域に形成された真性半導体の第一シリコン層と、前記第一シリコン層上に離間して形成された一对の第一メタル層と、前記一对の第一メタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第一ゲート電極と、前記基材上の第二領域に形成された真性半導体の第二シリコン層と、前記第二シリコン層上に離間して形成された一对の第二メタル層と、前記一对の第二メタル層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第二ゲート電極と、前記基材上の第三領域に形成された真性半導体の第三シリコン層と、前記第三シリコン層上に離間して形成された第三メタル層及び第四メタル層と、を備え、前記第一シリコン層と前記第一メタル層とがショットキー接合されており、前記第一メタル層の仕事関数が4.5[eV]以上であり、前記第二シリコン層と前記第二メタル層とがショットキー接合されており、前記第二メタル層の仕事関数が4.5[eV]未満であり、前記第三シリコン層と前記第三メタル層とがショットキー接合されており、前記第三メタル層の仕事関数が4.5[eV]以上であり、前記第三シリコン層と前記第四メタル層とがショットキー接合されており、前記第四メタル層の仕事関数が4.5[eV]未満である、ことを特徴とする半導体装置である。

30

【0029】

本発明の他の態様の1つは、基材上にアモルファスシリコンのシリコン層を積層する工程と、青色半導体レーザーアニールで前記シリコン層をポリシリコンに結晶化する工程と、金属の真空蒸着により、前記シリコン層の上に一对のメタル層を離間形成する工程と、前記一对のメタル層の間の前記シリコン層上に、ゲート絶縁膜を介してゲート電極を形成する工程と、を含み、前記シリコン層と前記メタル層との間はショットキー接合であり、前記メタル層の仕事関数が4.5[eV]以上である、ことを特徴とする半導体装置の製造方法である。

40

【0030】

半導体装置の製造方法の選択的な態様の1つは、シリコン層は、真性シリコンのネオン(Ne)スパッタリングによりアモルファスシリコンとして基材上に積層される、ことを特徴とする。

【0031】

50

半導体装置の製造方法の選択的な態様の１つは、メタル層の形成前に、ポリシリコンに結晶化されたシリコン層の表面の自然酸化膜を除去する工程を更に含む、ことを特徴とする。

【００３２】

半導体装置の製造方法の選択的な態様の１つは、メタル層の形成後に、シリコン層を水素化する工程を更に含む、ことを特徴とする。

【００３３】

半導体装置の製造方法の選択的な態様の１つは、シリコン層の上にメタル層を形成する工程の後の工程を２５０℃以下で行う、ことを特徴とする。

【００３４】

以上説明した半導体装置は、他の機器に組み込まれた状態で実施されたり他の方法とともに実施されたりする等の各種の態様を含む。また、本発明は、上述した半導体装置を備えたシステム、上述した半導体装置の製造方法の各工程に対応する機能をコンピュータに実現させる半導体製造プログラム、当該半導体製造プログラムを記録したコンピュータ読み取り可能な記録媒体、等としても実現可能である。

【発明の効果】

【００３５】

本発明によれば、シンプルな電極構造のＰ型のＬＴＰＳ ＴＦＴを搭載した半導体装置、当該半導体装置の製造方法、及び、当該半導体装置を搭載した電子機器を実現することができる。

【図面の簡単な説明】

【００３６】

【図１】第１の実施形態に係る半導体装置の断面構成の概略を示す図である。

【図２】半導体装置の各種エネルギー準位を説明する図である。

【図３】本願の発明者が実際に作製したＰ型のＴＦＴの動作試験結果を示すグラフである。

【図４】第２の実施形態に係る半導体装置の断面構成の概略を示す図である。

【図５】第３の実施形態に係る半導体装置の断面構成の概略を示す図である。

【図６】第４の実施形態に係る半導体装置の製造方法を説明する図である。

【図７】第４の実施形態に係る半導体装置の製造方法を説明する図である。

【図８】第４の実施形態に係る半導体装置の製造方法を説明する図である。

【図９】第４の実施形態に係る半導体装置の製造方法を説明する図である。

【発明を実施するための形態】

【００３７】

以下、下記の順序に従って本発明を説明する。

(１) 第１の実施形態：

(２) 第２の実施形態：

(３) 第３の実施形態：

(４) 第４の実施形態：

【００３８】

(１) 第１の実施形態：

図１は、本実施形態に係る半導体装置１００の断面構成の概略を示す図である。本実施形態に係る半導体装置１００は、薄膜トランジスタ（ＴＦＴ）の構成を有し、シリコン層をチャンネル層とし、当該チャンネル層の真性シリコン（ $i-Si$ ）にショットキー接合するメタル層がソース／ドレインを構成するＰチャンネルポリシリコンＴＦＴである。

【００３９】

半導体装置１００は、基材１０と、基材１０上に形成された真性半導体のシリコン層３０と、シリコン層３０上に離間して形成された一対のメタル層５０、５０と、一対のメタル層５０、５０の間のシリコン層３０上に、ゲート絶縁膜６０を介して形成されたゲート電極７１と、を備える。基材１０とシリコン層３０の間にはバッファ層２０が設けられ

10

20

30

40

50

ている。バッファ層 20 としては、例えば、窒化シリコン (SiN) 膜及び／又は二酸化シリコン (SiO₂) 膜で構成される。

【0040】

基材 10 としては、100℃～500℃程度の耐熱性を有する材料で作製されたものであれば様々なものを採用可能である。具体的な一例としては、ガラスパネルや、100℃～500℃程度の耐熱性を有するプラスチック（ポリイミド、ポリエチレンナフタレート、ポリエーテルスルホン、ポリカーボネート等）が挙げられる。

【0041】

シリコン層 30 は、真性半導体である真性シリコン (i-Si) のポリシリコンで形成されている。シリコン層 30 のポリシリコンは、基材 10 上のバッファ層 20 上に積層されたアモルファスシリコンをレーザーアニールによって結晶化して形成されたものである。シリコン層 30 の表面（基材 10 に対面しない側）は、自然酸化膜がエッチング等により除去された上でメタル層 50、50 が積層されており、特にメタル層 50、50 が積層されたメタル層 50、50 との接合部について自然酸化膜が除去されている。

【0042】

シリコン層 30 の表面の面粗度は、例えば算術平均粗さで 1 nm～10 nm 程度であり、特に、メタル層 50、50 が積層された部位の面粗度を算術平均粗さで 1 nm～10 nm 程度かそれ以下、としてある。

【0043】

上述したレーザーアニールを青色半導体レーザーアニール (BLDA) で行うことにより、シリコン層 30 を構成するポリシリコンを数十 nm～数百 nm の小粒径に結晶粒径に制御することができる。すなわち、半導体装置 100 としての TFT を構成するシリコン層 30 のポリシリコンの結晶粒径を万遍なく小粒径化できる。これにより、多数の TFT を生産する際に TFT の特性均一性が向上し、歩留まりが向上し、生産コストが低減する。

【0044】

また、上述したレーザーアニールを BLDA で行うことにより、エキシマレーザーアニール (ELA) でレーザーアニールを行う場合に比べて、シリコン層 30 を構成するポリシリコンの結晶粒の結晶性が高品質化する。すなわち、半導体装置 100 のチャネル層を構成するシリコン層 30 における電界効果移動度が向上し、半導体装置 100 の電流駆動能力が向上する。これにより、例えば、画素駆動に TFT を用いる場合に、特に OLED 駆動で、画素当たりの TFT 使用数を少なくすることが可能であり、製品コストを低減することができる。

【0045】

また、上述したレーザーアニールを BLDA で行うことにより、シリコン層 30 の表面形状が平坦・平滑に形成される（面粗度が向上する）。これにより、メタル層 50、50 との接合界面がショットキーバリアの形成に理想的な状態に近づき、シリコン層 30 とメタル層 50、50 の界面準位の影響が緩和される。すなわち、メタル層 50、50 の仕事関数と、シリコン層 30 の電子親和力に当該シリコン層 30 の導電帯と価電子帯の間のバンドギャップと、の差が、略 0.3 [eV] より小さくなり、メタル層 50、50 の仕事関数の効果が顕在化し、シリコン層 30 の上に積層されるメタル層 50、50 との間に良好なショットキー接合が形成される。

【0046】

更に、上述したレーザーアニールに BLDA を採用することにより、ELA を採用した場合に比べて製造装置のコストや装置のメンテナンスコストも低減できる。

【0047】

より具体的なシリコン層 30 の形成方法として、ネオン (Ne) スパッタリングで形成されたアモルファスシリコンをレーザーアニールにより結晶化して形成されたポリシリコンが例示される。ネオンの原子半径がアルゴンに比べて小さいことから、ネオン (Ne) スパッタリングで形成したアモルファスシリコンを結晶化したポリシリコンにおいては、

10

20

30

40

50

面荒れが抑制される（面粗度が向上する）。また、BLDA加熱時に、NeはArよりより低温でスムーズに膜からの放出が期待されるため、シリコン層30の表面形状に凹凸が形成されず平坦・平滑になりやすい。結果として、結晶内部には、スパッタリングガス（Ne）が残存しにくい。

【0048】

メタル層50, 50は、仕事関数が4.5[eV]以上の金属で形成されている。仕事関数が4.5[eV]以上の金属の代表的なものとしては、金(Au)や白金(Pt)が例示される。金(Au)の仕事関数は5.1[eV]、白金(Pt)の仕事関数は5.65[eV]である。図2は、半導体装置100の各種エネルギー準位を説明する図である。

10

【0049】

図2には、真性シリコン(i-Si)の伝導帯のエネルギー準位 E_C 、価電子帯のエネルギー準位 E_V 、及び、フェルミ準位 E_F を示しつつ、メタル層50, 50を構成する金属の一例として金(Au)のエネルギー準位 E_{Au} を示してある。真空準位と伝導帯のエネルギー準位 E_C との差分が、真性シリコン(i-Si)の電子親和力(4.05[eV])、真空準位と金(Au)のエネルギー準位 E_{Au} との差分が、金(Au)の仕事関数(5.1[eV])である。なお、後述する第2の実施形態で説明するメタル層150, 150を構成する金属の一例としてチタン(Ti)のエネルギー準位 E_{Ti} も併記してある。

【0050】

20

同図から分かるように、メタル層50, 50を構成する金(Au)のエネルギー準位 E_{Au} は、真性シリコン(i-Si)のフェルミ準位 E_F と価電子帯のエネルギー準位 E_V との間に位置している。このように、仕事関数が真性シリコン(i-Si)のフェルミ準位 E_F よりも高い金属材料をソース／ドレインに用いることで価電子帯からのホール注入が可能となることは、本願の発明者が独自の発想に基づき、実際に仕事関数が真性シリコン(i-Si)のフェルミ準位 E_F よりも高い金(Au)をシリコン層30上に積層したメタル層50, 50を形成し、実験によりP型のTFETとして動作することを証明したものである。

【0051】

図3は、本願の発明者が実際に作製したP型のTFETの動作試験結果を示すグラフである。

30

【0052】

図3に示すように、メタル層50, 50は、表面変化を抑制する水素化処理を行うことで性能が向上する。水素化処理は、例えば、窒素(N_2)に対して4%程度の水素(H)を加えた雰囲気下で400℃以下の熱処理で行う手法、プラズマCVD装置やスパッタ装置等を用いた水素プラズマアニール処理（プラズマ発生用ガスは、 H_2 又は H_2/N_2 ）で行う手法、等がある。この低温での水素化処理を行うことにより、メタル層50, 50を構成する金(Au)と真性シリコン(i-Si)とのシリサイド反応が抑制される。これにより、後述するメタル層50, 50とシリコン層30との間のショットキー接合が安定する。

40

【0053】

メタル層50, 50は、自然酸化膜が除去されたシリコン層30の表面に積層されており、シリコン層30の表面形状を荒らさない（維持する）ように積層形成されている。シリコン層30の表面形状を荒らさない積層の方法としては、例えば、真空蒸着、電子ビーム蒸着、低電力プラズマによるスパッタ法などがある。

【0054】

シリコン層30とメタル層50, 50の間はショットキー接合であり、しかも、メタル層50, 50の仕事関数が、真性シリコン(i-Si)のフェルミ準位 E_F よりも真性シリコン(i-Si)の価電子帯のエネルギー準位 E_V に近くなるため、シリコンと接続したときのホールに対するショットキーバリアが小さくなる。これにより、メタル層からチ

50

チャンネルシリコンの価電子帯へのホール注入が可能となる。

【0055】

また、シリコン層30表面の面粗度が1nm~15nm程度であること、自然酸化膜が除去されたシリコン層30表面の上にメタル層50, 50を製膜していること、水素化によりシリコン層30とメタル層50, 50のシリサイド化が抑制されていることにより、シリコン層30とメタル層50, 50の間のショットキー接合が安定する。このため、シリコン層30とメタル層50, 50の接合により形成される界面準位が、メタル層50, 50の仕事関数よりも低くなる。

【0056】

ゲート電極71及びソース／ドレイン電極70, 70は、金属または合金（シリサイドなど）を用いて形成できる。ゲート電極71及びソース／ドレイン電極70, 70は、同じ材料で形成してもよく、具体的には、通常、配線層に使用されるアルミニウム（Al）を使用することができる。ゲート電極71及びソース／ドレイン電極70, 70を同じ材料で形成する場合、これらを同じ工程で同時形成することができる。スパッタ法などによりゲート絶縁膜60は、二酸化シリコン（SiO₂）や窒化シリコン（SiN）を用いて形成できる。

【0057】

（2）第2の実施形態：

図4は、本実施形態に係る半導体装置300の断面構成の概略を示す図である。

【0058】

本実施形態に係る半導体装置200は、第一領域に形成されたP型のTFETと第二領域に形成されたN型のTFETとにより構成される相補型TFETの構成を有し、上述した第1の実施形態に係るpチャンネルポリシリコンTFETとしての半導体装置100と、シリコン層をチャンネル層とし、当該チャンネル層の真性シリコン（i-Si）にショットキー接合するメタル層がソース／ドレインを構成するNチャンネルポリシリコンTFETとしての半導体装置200と、を同じ基材10上に形成した構成である。

【0059】

すなわち、半導体装置100は、基材10と、基材10上に形成された真性半導体のシリコン層30（第一シリコン層）と、シリコン層30上に離間して形成された一対のメタル層50, 50（第一メタル層）と、一対のメタル層50, 50の間のシリコン層30上に、ゲート絶縁膜60を介して形成されたゲート電極71（第一ゲート電極）と、を備える。基材10とシリコン層30の間にはバッファ層20が設けられている。

【0060】

一方、半導体装置200は、基材10と、基材10上に形成された真性半導体のシリコン層130（第二シリコン層）と、シリコン層130上に離間して形成された一対のメタル層150, 150（第二メタル層）と、一対のメタル層150, 150の間のシリコン層130上に、ゲート絶縁膜160を介して形成されたゲート電極171（第二ゲート電極）と、を備える。基材10とシリコン層130の間には、半導体装置100のバッファ層20と同じバッファ層20が設けられている。

【0061】

このように、半導体装置200において、基材10及びシリコン層30、並びに、基材10とシリコン層30の間に形成されるバッファ層20は、上述した第1の実施形態に係る半導体装置100と同様の構成であるため詳細な説明は省略する。

【0062】

シリコン層130は、真性半導体である真性シリコン（i-Si）のポリシリコンで形成されている。シリコン層130のポリシリコンは、シリコン層30と同様に、基材10上のバッファ層20上に積層されたアモルファスシリコンをレーザーアニールによって結晶化して形成されたものである。シリコン層130の表面（基材10に対面しない側）も、自然酸化膜がエッチング等により除去された上でメタル層150, 150が積層されており、特にメタル層150, 150が積層されたメタル層50, 50との接合部につい

10

20

30

40

50

て自然酸化膜が除去されている。また、シリコン層 130 についても、シリコン層 30 と同様の BLDA 処理が為されている。また、シリコン層 130 についても、ネオンガススパッタリングで積層したアモルファスシリコンを用いて形成してもよい。

【0063】

シリコン層 130 の表面の面粗度は、例えば算術平均粗さで 1 nm ~ 10 nm 程度であり、特に、メタル層 150, 150 が積層された部位の面粗度を算術平均粗さで 1 nm ~ 10 nm 程度かそれ以下、としてある。

【0064】

メタル層 150, 150 は、仕事関数が 4.5 [eV] 未満の金属で形成されている。仕事関数が 4.5 [eV] 未満の金属の代表的なものとしては、チタン (Ti) や銀 (Ag)、錫 (Sn) が例示される。チタン (Ti) の仕事関数は 4.33 [eV]、銀 (Ag) の仕事関数は 4.26 [eV]、錫 (Sn) の仕事関数は 4.42 [eV] である。

【0065】

図 2 において、真空準位とチタン (Ti) のエネルギー準位 E_{Ti} との差分が、チタン (Ti) の仕事関数 (4.33 [eV]) である。

【0066】

同図から分かるように、メタル層 150, 150 を構成するチタン (Ti) のエネルギー準位 E_{Ti} は、真性シリコン (i-Si) のフェルミ準位 E_F と伝導帯のエネルギー準位 E_C との間に位置している。このように、仕事関数が真性シリコン (i-Si) のフェルミ準位 E_F よりも低い金属材料をソース／ドレインに用いることで金属から伝導帯への電子注入が可能となる。なお、このようにして作製された N 型の TFT の動作性能は、上述した背景技術に記載した特許文献 1 (本願の発明者の先行特許出願) に記載されている。

【0067】

また、メタル層 150, 150 についても、上述したメタル層 50, 50 と同様の表面変化を抑制する水素化処理を行うことで性能が向上する。

【0068】

また、メタル層 150, 150 は、自然酸化膜が除去されたシリコン層 130 の表面に積層されており、シリコン層 130 の表面形状を荒らさない (維持する) ように積層形成されている。シリコン層 130 の表面形状を荒らさない積層の方法としては、例えば、真空蒸着、電子ビーム蒸着、低電力プラズマにより Si 表面の損傷を抑えたスパッタ法などがある。

【0069】

シリコン層 130 とメタル層 150, 150 の間はショットキー接合であり、しかも、メタル層 150, 150 の仕事関数が、真性シリコン (i-Si) のフェルミ準位 E_F よりも真性シリコン (i-Si) の伝導帯のエネルギー準位 E_C に近くなるため、シリコンと接続したときの電子に対するショットキーバリアが小さくなる。これにより、メタル層からチャネルシリコンの伝導帯への電子注入が可能となる。

【0070】

また、シリコン層 130 表面の面粗度が 1 nm ~ 10 nm 程度であること、自然酸化膜が除去されたシリコン層 130 表面の上にメタル層 150, 150 を製膜していること、水素化によりシリコン層 130 とメタル層 150, 150 のシリサイド化が抑制されることにより、シリコン層 130 とメタル層 150, 150 の間のショットキー接合が安定する。このため、シリコン層 130 とメタル層 150, 150 の接合により形成される界面準位による影響が緩和される。すなわち、メタル層 150, 150 の仕事関数と、シリコン層 130 の電子親和力と、の差が、略 0.3 [eV] より小さくなる。

【0071】

ゲート電極 171 及びソース／ドレイン電極 170, 170 は、金属または合金を用いて形成できる。ソース／ドレイン電極 170 の一方と、ソース／ドレイン電極 70 の一方は、金属または合金の配線 180 により電氣的に接続される。ゲート電極 71、ソース／

10

20

30

40

50

ドレイン電極 70、70、ゲート電極 171、ソース／ドレイン電極 170、170 及び配線 180 は、同じ材料で形成してもよく、具体的には、通常、配線層に使用されるアルミニウム (Al) を使用することができる。ゲート電極 71、ソース／ドレイン電極 70、70、ゲート電極 171、ソース／ドレイン電極 170、170 及び配線 180 を同じ材料で形成する場合、これらを同じ工程で同時形成することができる。ゲート絶縁膜 160 は、二酸化シリコン (SiO_2) や窒化シリコン (SiN) を用いて形成できる。

【0072】

(3) 第 3 の実施形態：

図 5 は、本実施形態に係る半導体装置 500 の断面構成の概略を示す図である。本実施形態に係る半導体装置 500 は、第一領域に形成された P 型の TFT と第二領域に形成された N 型の TFT とにより構成される相補型 TFT に加えて第三領域に形成される薄膜光検出ダイオードを設けた構成であり、上述した第 2 の実施形態に係る相補型 TFT としての半導体装置 300 と、薄膜状に形成したシリコン層にショットキー接合する 2 種類のメタル層がアノード／カソードをそれぞれ構成する薄膜光検出ダイオードとしての半導体装置 400 と、を同じ基材 10 上に形成した構成である。

【0073】

すなわち、半導体装置 100 は、基材 10 と、基材 10 上に形成された真性半導体のシリコン層 30 と、シリコン層 30 上に離間して形成された一对のメタル層 50、50 と、一对のメタル層 50、50 の間のシリコン層 30 上に、ゲート絶縁膜 60 を介して形成されたゲート電極 71 と、を備える。基材 10 とシリコン層 30 の間にはバッファ層 20 が設けられている。

【0074】

一方、半導体装置 200 は、基材 10 と、基材 10 上に形成された真性半導体のシリコン層 130 と、シリコン層 130 上に離間して形成された一对のメタル層 150、150 と、一对のメタル層 150、150 の間のシリコン層 130 上に、ゲート絶縁膜 160 を介して形成されたゲート電極 171 と、を備える。基材 10 とシリコン層 130 の間には、半導体装置 100 のバッファ層 20 と同じバッファ層 20 が設けられている。

【0075】

他方、半導体装置 400 は、基材 10 と、基材 10 上に形成された薄膜状の真性半導体のシリコン層 230 (第三シリコン層) と、シリコン層 230 上に離間して形成された一对のメタル層 250、255 (第三メタル層、第四メタル層) と、を備える。シリコン層 230 は、シリコン層 30、130 と同じ材質、構造を有しており、メタル層 250 は半導体装置 100 のメタル層 50 と同じ金属材料で形成されており、メタル層 255 は半導体装置 200 のメタル層 150 と同じ金属材料で形成されている。

【0076】

メタル層 250 とシリコン層 230 の間の界面構造は、メタル層 50 とシリコン層 30 の間の界面構造と同様であり、メタル層 255 とシリコン層 230 の間の界面構造は、メタル層 150 とシリコン層 130 の間の界面構造と同様である。メタル層 250 には金属または合金を用いて形成されたアノード電極 270 が接続され、メタル層 255 には金属または合金を用いて形成されたカソード電極 271 が接続されている。

【0077】

基材 10 とシリコン層 130 の間には、半導体装置 100 のバッファ層 20 と同じバッファ層 20 が設けられている。また、特に半導体装置 400 の形成範囲において、基材 10 とバッファ層 20 との間に光反射性が良好な金属薄膜で形成された反射層 240 が設けられている。なお、図 5 には、相補型 TFT の形成領域についても、基材 10 とバッファ層 20 との間に反射層 240 を共通して設けた状態を示してある。

【0078】

このように、半導体装置 500 において、相補型 TFT としての半導体装置 300 は、反射層 240 を共通して設けた点を除くと上述した第 2 の実施形態に係る半導体装置 300 と同様の構成であるため詳細な説明は省略する。

【0079】

(4) 第4の実施形態：

次に、図6～図9を参照しつつ、上述した第3の実施形態に係る半導体装置500の製造方法について説明する。なお、上述した第1の実施形態に係る半導体装置100や第2の実施形態に係る半導体装置300の構成は、第3の実施形態に係る半導体装置500に含まれているため、その製造方法は別途に説明することはしないが、本実施形態の説明によって開示されるものである。

【0080】

まず、基材10を用意し、基材10上に反射層240及びバッファ層20を形成する(図6(a))。

10

【0081】

反射層240は、例えば、蒸着等の手法で、光反射性が良好な金属薄膜を基材10に積層して形成される。光反射性が良好な金属としては、チタン、モリブデン、クロム、タングステン、コバルト、ニッケル等がある。

【0082】

バッファ層20は、RFスパッタやCVD等の手法で厚さ約50nm程度の窒化シリコン層を基材10上に形成し、その窒化シリコン層の上に、RFスパッタやCVD等の手法で厚さ約100nmの二酸化シリコン層を積層して形成される。むろん、基材10とシリコン層30との間で各種パラメータ(結晶の格子定数、エネルギー準位、表面の物理的な凹凸の平坦等)について所望の緩衝機能を実現できれば、バッファ層20の材質は特に制限されない。

20

【0083】

次に、バッファ層20の上にアモルファスシリコン層30'を形成する(図6(b))。アモルファスシリコン層30'は、純度の高いシリコン単結晶のスパッタリングにより形成される。スパッタリングガスとしては、原子半径が比較的小さいネオン(Ne)ガスを用いることが好ましいが、アルゴン(Ar)ガス等の原子半径の大きいスパッタリングガスを用いることもできる。アモルファスシリコン層30'は、例えば約50nmの膜厚で形成する。なお、アモルファスシリコン層30'の形成には、CVD等の他の手法を用いても構わない。

【0084】

30

次に、アモルファスシリコン層30'をレーザーアニールによってポリシリコン層30"に結晶化する(図6(c))。本実施形態では、レーザーアニールとしてBLDAを用いて膜剥がれが生じない程度のレーザー出力でアニールを行う。スパッタ成膜されたアモルファスシリコンに膜剥がれが生じない程度のレーザー出力としては、スキンスピードが500mm/s、ビームスポットが $2.4 \times 600 \mu\text{m}$ の場合に6W以下程度である。BLDAでアニールすることにより、ELAでアニールする場合に比べて面荒れが抑制される。なお、青色半導体レーザー装置は、エキシマレーザー装置に比べて安定性、寿命、サイズ、コスト、メンテナンス面で有利である。

【0085】

40

アモルファスシリコン層30'に含まれるスパッタリングガスは、レーザーアニールによってアモルファスシリコン層30'が昇温すると放出される。ここで、アルゴンに比べて原子半径の小さいネオンは、アモルファスシリコン層30'を昇温すると無理なくガスとして放出される。このため、高レーザー出力でレーザーアニールを行ってもポリシリコン層30"が荒れにくく、アルゴンをスパッタリングガスとして用いた場合に比べて、ポリシリコン層30"の結晶性が良好となる。また、アルゴンをスパッタリングガスとして用いた場合に比べて、ポリシリコン層30"のシート抵抗値が向上する(低く抑えられる)。

【0086】

50

このように、ネオンガスを用いたスパッタリングで形成したアモルファスシリコン層30'をBLDAでレーザーアニールして形成したポリシリコン層30"は、その表面の面

粗度が非常に低く抑えられることとなり、例えば算術平均粗さで1nm~10nm程度である。

【0087】

次に、ポリシリコン層30''をエッチングして、半導体装置100を構成するシリコン層30、半導体装置200を構成するシリコン層130、及び、半導体装置400を構成するシリコン層230、を分離形成するパターニングを行う。具体的には、シリコン層30、130、230として残す部位の上にそれぞれレジスト膜R1を形成し(図6(d))、シリコン層30、130、230以外のポリシリコン層30''をエッチングにより除去する(図6(e))。その後、レジスト膜R1を除去することで、基材10上にシリコン層30、130、230がそれぞれ形成された状態となる(図6(f))。

10

【0088】

次に、シリコン層30、130、230(特に、次にメタル層150、150を形成するシリコン層130、メタル層255を形成するシリコン層230)の表面の自然酸化膜を除去する。この自然酸化膜の除去は、例えば、10mlのバッファードフッ酸(BHF)と10mlの純水の混合液に1秒程度浸漬し、その後、純水に1分程度浸漬することで行う。

【0089】

次に、シリコン層30、130、230の上にチタンのメタル層150'を形成する(図7(g))。このメタル層150'は、例えば、真空蒸着、電子ビーム蒸着、スパッタ製膜等で形成できる。特に、メタル層150'を真空蒸着で形成した真空蒸着層とした場合、他の成膜手法に比べてシリコン層30、130、230の表面に与えるダメージが少なく、シリコン層30、130、230の表面とメタル層150'の界面形状がより平坦・平滑に形成される。メタル層150'とシリコン層30、130、230の表面との間の接合はショットキー接合であり、この接合界面の形状をより平坦・平滑にすることによってショットキーバリアの形成に理想的な界面形状に近い形状が実現される。

20

【0090】

次に、水素化を行う。水素化は、シリコン層30、130、230を形成した後の何れかのタイミングで行えばよく、本実施形態では、メタル層150'を形成した後のタイミングで行っている。水素化は、具体的には、例えば窒素で4%に希釈した水素ガスをフローミングガスとして400℃以下の熱処理を行うことで、シリコン中のダングリングボンドを水素終端する。これにより、メタル層150'を構成するチタンとシリコン層30、130、230を構成するシリコンとのシリサイド反応が抑制され、各々安定のまま変化しなくなる。すなわち、メタル層150'とシリコン層30、130、230の表面との間のショットキー接合が安定する。また、メタル層150'の積層以降のプロセスで行う熱工程を、400℃以下(好ましくは300℃以下)に制限することにより、メタル層150'の表面の変化(酸化や反応)が抑制される。

30

【0091】

次に、メタル層150'をエッチングして、半導体装置200を構成するメタル層150、150、半導体装置400を構成するメタル層255、を互いに離間した状態に分離形成するパターニングを行う。具体的には、メタル層150、150、255として残す部位の上にそれぞれレジスト膜R2を形成し(図7(h))、メタル層150、150、255以外のメタル層150''をエッチングにより除去する(図7(i))。その後、レジスト膜R2を除去することで、シリコン層130上にメタル層150、150が、シリコン層230の上にメタル層255が、それぞれ形成された状態となる(図7(j))。

40

【0092】

次に、シリコン層30、130、230(特に、次にメタル層50、50を形成するシリコン層30、メタル層250を形成するシリコン層230)の表面の自然酸化膜を除去する。この自然酸化膜の除去は、例えば、10mlのバッファードフッ酸(BHF)と10mlの純水の混合液に1秒程度浸漬し、その後、純水に1分程度浸漬することで行う。

【0093】

50

次に、シリコン層 30, 130, 230 及びメタル層 150, 150, 255 の上に金 (Au) のメタル層 50' を形成する (図 7 (k))。このメタル層 50' は、例えば、真空蒸着、電子ビーム蒸着、スパッタ製膜等で形成できる。特に、メタル層 50' を真空蒸着で形成した場合、他の成膜手法に比べてシリコン層 30, 130, 230 の表面に与えるダメージが少なく、シリコン層 30, 130, 230 の表面とメタル層 50' の界面形状がより平坦・平滑に形成される。メタル層 50' とシリコン層 30, 130, 230 の表面との間の接合はショットキー接合であり、この接合界面の形状をより平坦・平滑にすることによってショットキーバリアの形成に理想的な界面形状に近い形状が実現される。

【0094】

次に、再度の水素化を行う。具体的には、例えば窒素で 4% に希釈した水素ガスをフォーミングガスとして 250℃ 以下の熱処理を行うことで、シリコン中のダングリングボンドを水素終端する。これにより、メタル層 50' を構成するチタンとシリコン層 30, 130, 230 を構成するシリコンとのシリサイド反応が抑制され、各々安定のまま変化しなくなる。すなわち、メタル層 50' とシリコン層 30, 130, 230 の表面との間のショットキー接合が安定する。また、メタル層 50' の積層以降のプロセスで行う熱工程を、250℃ 以下に制限することにより、メタル層 50' の表面の変化 (酸化や反応) が抑制される。

【0095】

次に、メタル層 50' をエッチングして、半導体装置 100 を構成するメタル層 50, 50、半導体装置 400 を構成するメタル層 250、を分離形成するパターニングを行う。具体的には、メタル層 50, 50, 250 として残す部位の上にそれぞれレジスト膜 R3 を形成し (図 8 (l))、メタル層 50, 50, 255 以外のメタル層 50' をエッチングにより除去する (図 8 (m))。その後、レジスト膜 R3 を除去することで、シリコン層 30 上にメタル層 50, 50 が、シリコン層 230 の上にメタル層 250 が、それぞれ形成された状態となる (図 8 (n))。

【0096】

次に、シリコン層 30, 130, 230 (特に、次にゲート絶縁膜を形成するシリコン層 30, 130) の表面の自然酸化膜を除去する。この自然酸化膜の除去は、例えば、10ml のバッファードフッ酸 (BHF) と 10ml の純水の混合液に 1 秒程度浸漬し、その後、純水に 1 分程度浸漬することで行う。

【0097】

次に、メタル層 50, 50, 150, 150, 250, 255 の上から絶縁層を積層形成する (図 8 (o))。絶縁層 60' は、RF スパッタや CVD 等の手法で厚さ約 100nm 程度の二酸化シリコンを積層して形成される。

【0098】

次に、絶縁層 60' をエッチングしてメタル層 50, 50, 150, 150, 250, 255 まで貫通するコンタクトホールを形成する。具体的には、メタル層 50, 50, 150, 150, 250, 255 へのコンタクトホールを形成する部位以外の上にレジスト膜 R4 を形成し (図 8 (p))、レジスト膜 R4 が形成されない部位の絶縁層 60' を、メタル層 50, 50, 150, 150, 250, 255 の表面が露出するまでエッチングする (図 9 (q))。その後、レジスト膜 R4 を除去することで、絶縁層 60' にメタル層 50, 50, 150, 150, 250, 255 まで貫通するコンタクトホールが形成された状態となる (図 9 (r))。これにより、ゲート絶縁膜 60, 160 が形成され、各半導体装置の電極や配線以外の表面を覆う絶縁膜が形成される。

【0099】

次に、ソース/ドレイン電極 70, 70、ソース/ドレイン電極 170, 170、及び、配線 180 を形成する。具体的には、真空蒸着、電子ビーム蒸着、スパッタ製膜等により、絶縁層 60' の表面に配線となる金属又は合金材料 70' を積層しつつ、コンタクトホールにも電極となる同じ金属又は合金材料を充填する (図 9 (s))。積層、充填する

10

20

30

40

50

金属材料としては、例えば、アルミニウム（A1）がある。その後、ソース／ドレイン電極70、70、ソース／ドレイン電極170、170、及び、配線180として残す部位以外の上にレジスト膜R5を形成し（図9（t））、ソース／ドレイン電極70、70、ソース／ドレイン電極170、170、及び、配線180以外の金属材料をエッチングにより除去する（図9（u））。その後、レジスト膜R5を除去することで、ソース／ドレイン電極70、70、ゲート電極71、ソース／ドレイン電極170、170、ゲート電極171、アノード電極270、カソード電極271、及び、配線180が各半導体装置100、200、400に形成された状態となる（図9（v））。

【0100】

以上説明した製造方法によれば、上述した第3の実施形態に係る半導体装置500を製造することができる。 10

【0101】

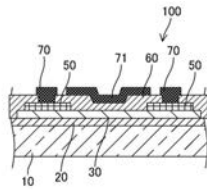
なお、本発明は上述した各実施形態に限られず、上述した各実施形態の中で開示した各構成を相互に置換したり組み合わせを変更したりした構成、公知技術並びに上述した各実施形態の中で開示した各構成を相互に置換したり組み合わせを変更したりした構成、等も含まれる。また、本発明の技術的範囲は上述した実施形態に限定されず、特許請求の範囲に記載された事項とその均等物まで及ぶものである。

【符号の説明】

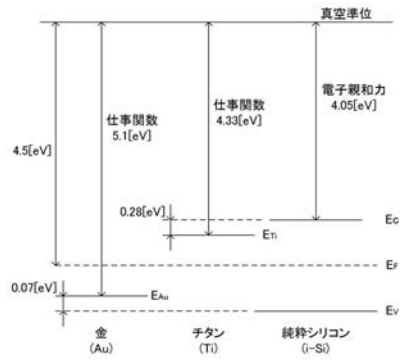
【0102】

10…基材、20…バッファ層、30…シリコン層、30'…アモルファスシリコン層、30''…ポリシリコン層、50…メタル層、50'…メタル層、60…ゲート絶縁膜、60'…絶縁層、70…ドレイン電極、70'…金属又は合金材料、71…ゲート電極、100…半導体装置、130…シリコン層、150…メタル層、150'…メタル層、160…ゲート絶縁膜、170…ドレイン電極、171…ゲート電極、180…配線、200…半導体装置、230…シリコン層、240…反射層、250…メタル層、255…メタル層、270…アノード電極、271…カソード電極、300…半導体装置、400…半導体装置、500…半導体装置、R1…レジスト膜、R2…レジスト膜、R3…レジスト膜、R4…レジスト膜、R5…レジスト膜 20

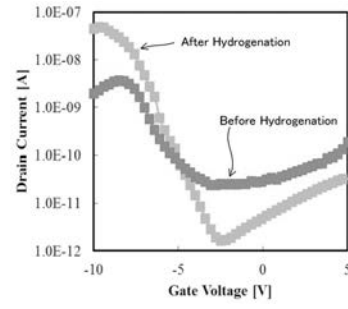
【図 1】



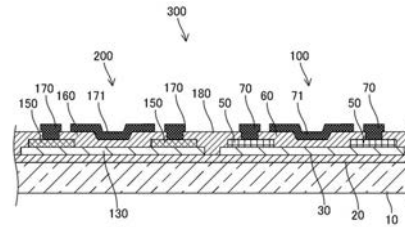
【図 2】



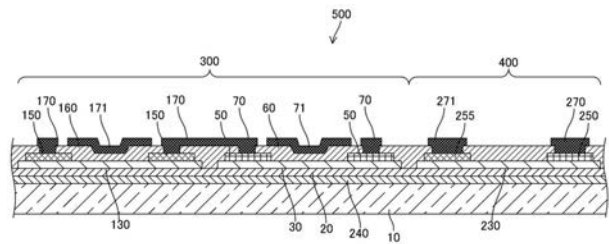
【図 3】



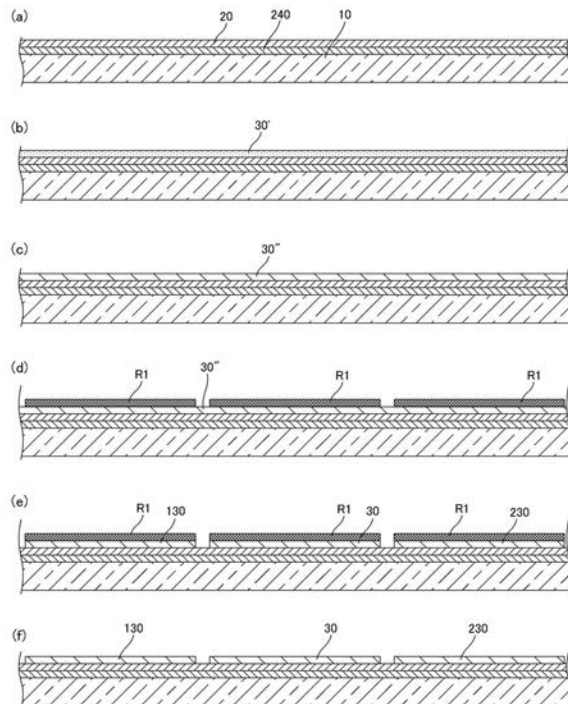
【図 4】



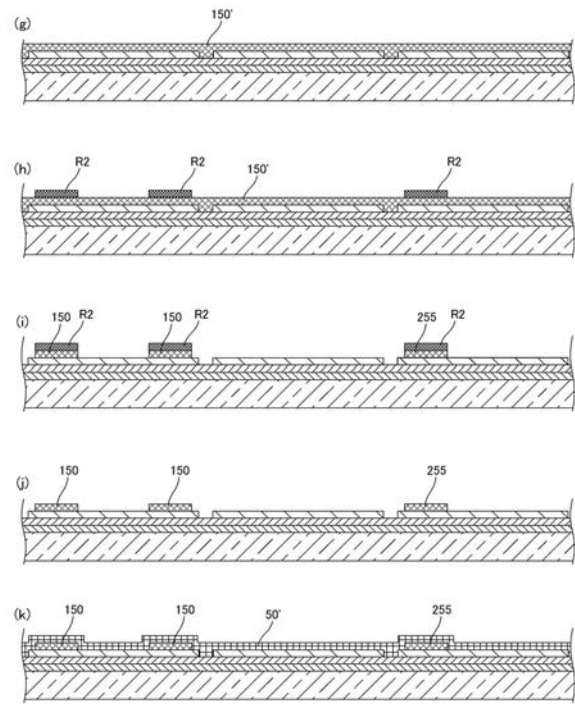
【図 5】



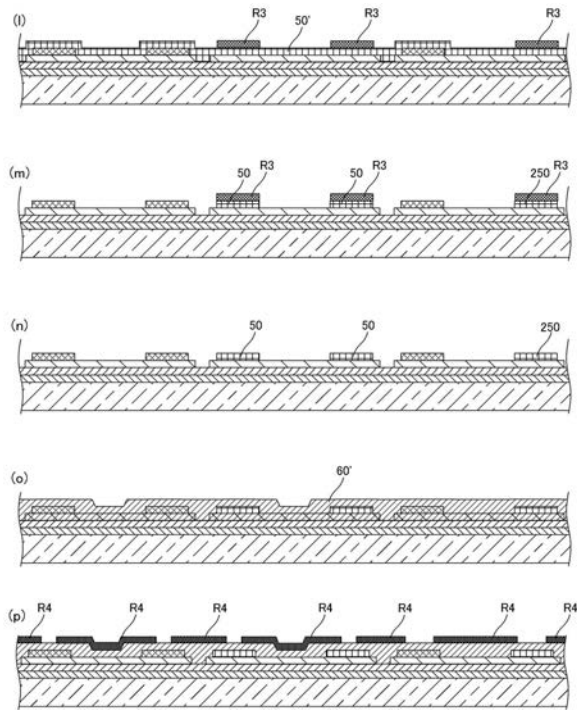
【図 6】



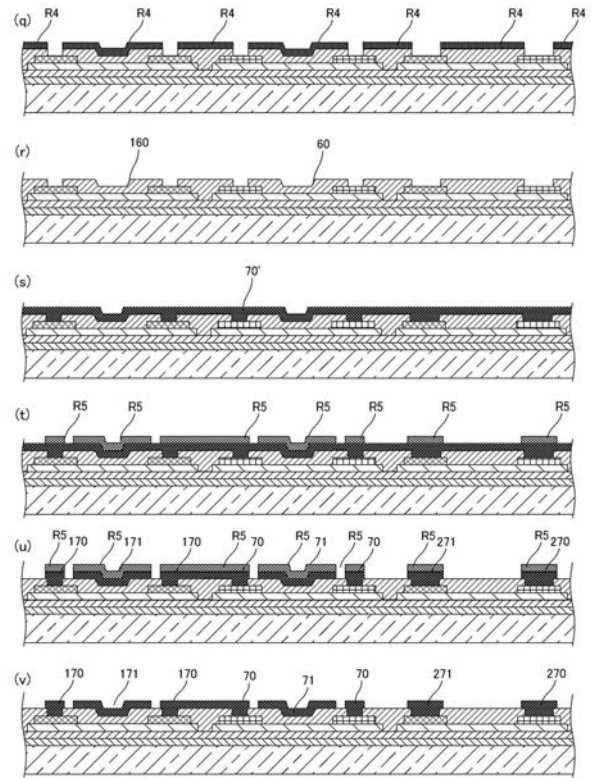
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
<i>H 0 1 L 21/336 (2006.01)</i>	H 0 1 L 29/78	6 1 8 A
<i>H 0 1 L 21/8234 (2006.01)</i>	H 0 1 L 29/78	6 2 7 G
<i>H 0 1 L 27/088 (2006.01)</i>	H 0 1 L 29/78	6 1 6 K
<i>H 0 1 L 27/08 (2006.01)</i>	H 0 1 L 29/78	6 2 7 E
<i>H 0 1 L 21/8238 (2006.01)</i>	H 0 1 L 29/78	6 1 3 A
<i>H 0 1 L 27/092 (2006.01)</i>	H 0 1 L 27/08	1 0 2 D
<i>H 0 1 L 27/06 (2006.01)</i>	H 0 1 L 27/08	3 3 1 E
	H 0 1 L 27/08	3 2 1 F
	H 0 1 L 27/06	1 0 2 A

(72)発明者 安次富 卓哉

沖縄県国頭郡宜野座村字漠那 1 7 8 0 番地

(72)発明者 コスワッタゲー・チャリット・ジャヤナダ

沖縄県中頭郡西原町字千原 5 9 番地 琉球大学千原寮 北辰棟 A-407号

(72)発明者 中尾 浩太

沖縄県中頭郡西原町字千原 5 9 番地 琉球大学千原寮 海邦棟 B-401号

Fターム(参考) 4M104 AA01 AA08 AA09 BB02 BB06 BB08 BB09 BB14 BB36 CC03
 CC05 DD16 DD23 DD34 DD35 DD37 DD42 GG09 GG14 HH17
 HH20
 5F048 AC03 AC10 BA16 BB08 BB09 BB11 BF02 BF06 BF07 BF16
 BF17
 5F110 AA16 BB01 BB04 CC01 DD13 DD14 DD17 EE03 EE05 FF02
 FF03 FF28 GG02 GG13 GG16 GG43 GG44 GG58 HK02 HK04
 HK17 HK32 HK33 HK42 HL03 HL05 HL22 HL23 NN71 NN78
 PP03 PP06 QQ24