

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月19日(19.12.2019)



(10) 国際公開番号

WO 2019/239887 A1

(51) 国際特許分類:

H04N 5/3745 (2011.01) H04N 5/355 (2011.01)
H01L 27/146 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2019/021197

(22) 国際出願日: 2019年5月29日(29.05.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-111597 2018年6月12日(12.06.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 榎原 雅樹 (SAKAKIBARA Masaki);
〒2430014 神奈川県厚木市旭町四丁目14
番1号 ソニーセミコンダクタソリューシ
ョンズ株式会社内 Kanagawa (JP).

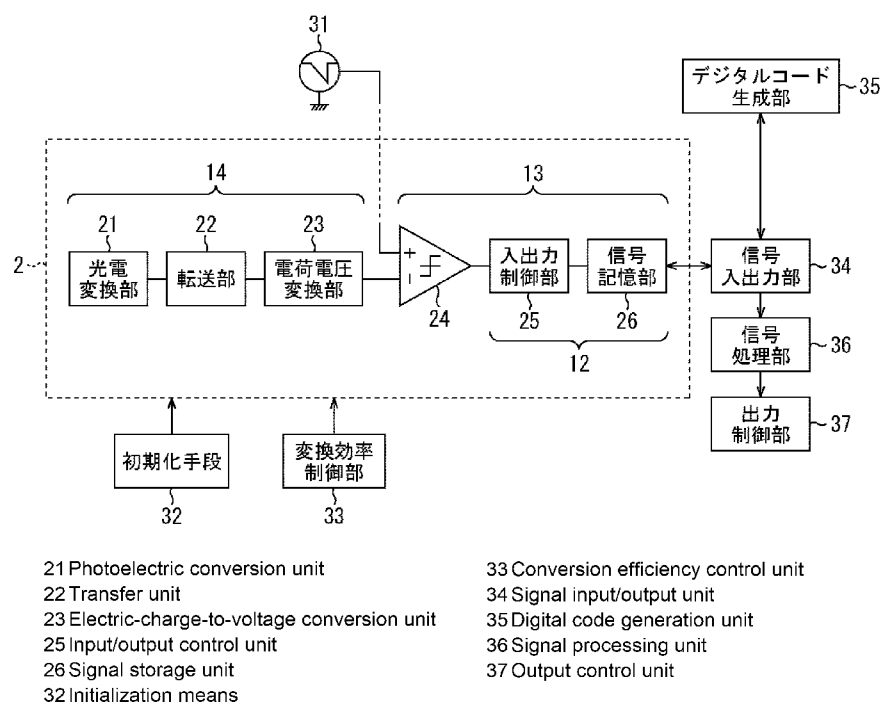
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et
al.); 〒1600023 東京都新宿区西新宿7丁
目5番25号 西新宿プライムスク
エア9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: IMAGING ELEMENT, CONTROL METHOD, AND ELECTRONIC APPARATUS

(54) 発明の名称: 撮像素子、制御方法、および電子機器

FIG. 2



(57) Abstract: The present disclosure pertains to an imaging element, a control method, and an electronic apparatus with which it is possible to improve noise characteristics at low illuminance. A pixel has a pixel circuit for outputting an analog pixel signal and a digital conversion circuit for converting the pixel signal to a digital quantity. The pixel circuit has: a photoelectric conversion unit for receiving light with which the pixel is irradiated, photoelectrically converting the received light, and generating an electric charge that corresponds to the luminous energy of the light; and an elec-

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

tric-charge-to-voltage conversion unit capable of switching the conversion efficiency during conversion of the electric charge generated by the photoelectric conversion unit to a voltage between a reference conversion efficiency that serves as a reference and a high conversion efficiency that is higher than the reference conversion efficiency. The present feature can be applied, for example, to a solid-state imaging device that performs AD conversion in a pixel.

(57) 要約: 本開示は、低照度におけるノイズ特性を改善することができるようにする撮像素子、制御方法、および電子機器に関する。画素は、アナログの画素信号を出力する画素回路と、画素信号をデジタル変換するデジタル変換回路とを有する。そして、画素回路は、画素に照射される光を受光して光電変換を行い、その光の光量に応じた電荷を発生する光電変換部と、光電変換部で発生した電荷を電圧に変換する際の変換効率を、基準となる基準変換効率と、前記基準変換効率よりも高い高変換効率とで切り替え可能な電荷電圧変換部とを有する。本技術は、例えば、画素内でAD変換を行う固体撮像装置に適用できる。

明 細 書

発明の名称：撮像素子、制御方法、および電子機器

技術分野

[0001] 本開示は、撮像素子、制御方法、および電子機器に関し、特に、低照度におけるノイズ特性を改善することができるようにした撮像素子、制御方法、および電子機器に関する。

背景技術

[0002] 近年、1画素ごとに1つのAD (Analog to Digital) 変換器を有し、画素ごとに並列的に画素信号をAD変換する構成の固体撮像素子が開発されている。また、固体撮像素子は、1画素ごとではなく、複数の画素ごとにAD変換器を有し、それらの画素が配置されているエリアごとにAD変換するような構成を採用してもよい。

[0003] また、特許文献1には、1画素ごと、または、複数の画素ごとに設けられるAD変換器における変換効率を切り替え可能とし、変換効率を低くすることで高照度側の信号を取得して広ダイナミックレンジを実現することができる固体撮像装置が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2017／018215号

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上述した特許文献1で開示されている固体撮像素子は、低照度側の信号に対する特段の対処について考慮されていない構成であった。そのため、AD変換器のノイズが、低照度におけるノイズ特性に与える影響が大きく、そのノイズ特性の改善が求められていた。

[0006] 本開示は、このような状況に鑑みてなされたものであり、低照度におけるノイズ特性を改善することができるようにするものである。

課題を解決するための手段

- [0007] 本開示の一側面の撮像素子は、アナログの画素信号を出力する画素回路と、1個の前記画素回路ごと、または、所定個数の前記画素回路が配置されるエリアごとに配置され、前記画素信号をデジタル変換するデジタル変換回路とを有する画素を備え、前記画素回路は、前記画素に照射される光を受光して光電変換を行い、その光の光量に応じた電荷を発生する光電変換部と、前記光電変換部で発生した電荷を電圧に変換する際の変換効率を、基準となる基準変換効率と、前記基準変換効率よりも高い高変換効率とで切り替え可能な電荷電圧変換部とを有する。
- [0008] 本開示の一側面の制御方法は、撮像素子における制御を行う制御部が、アナログの画素信号を出力する画素回路と、1個の前記画素回路ごと、または、所定個数の前記画素回路が配置されるエリアごとに配置され、前記画素信号をデジタル変換するデジタル変換回路とを有する画素から出力される前記画素信号を取得することと、前記画素信号に基づく画像の明るさに従って、前記画素回路が有する、前記画素に照射される光を受光して光電変換を行う光電変換部において光の光量に応じて発生した電荷を電圧に変換する際の変換効率を、基準となる基準変換効率と、前記基準変換効率よりも高い高変換効率とで切り替え可能な電荷電圧変換部における前記変換効率の切り替えを制御することを含む。
- [0009] 本開示の一側面の電子機器は、アナログの画素信号を出力する画素回路と、1個の前記画素回路ごと、または、所定個数の前記画素回路が配置されるエリアごとに配置され、前記画素信号をデジタル変換するデジタル変換回路とを有する画素を有し、前記画素回路は、前記画素に照射される光を受光して光電変換を行い、その光の光量に応じた電荷を発生する光電変換部と、前記光電変換部で発生した電荷を電圧に変換する際の変換効率を、基準となる基準変換効率と、前記基準変換効率よりも高い高変換効率とで切り替え可能な電荷電圧変換部とを有する撮像素子を備える。
- [0010] 本開示の一側面においては、画素回路からアナログの画素信号が出力され

、 1 個の画素回路ごと、または、所定個数の画素回路が配置されるエリアごとに配置されるデジタル変換回路により画素信号がデジタル変換される。また、光電変換部では、画素に照射される光を受光して光電変換が行われて、その光の光量に応じた電荷が発生し、電荷電圧変換部では、光電変換部で発生した電荷を電圧に変換する際の変換効率を、基準となる基準変換効率と、基準変換効率よりも高い高変換効率とで切り替え可能とされる。さらに、画素から出力される画素信号が取得され、その画素信号に基づく画像の明るさに従って、電荷電圧変換部における変換効率の切り替えが制御される。

発明の効果

[0011] 本開示の一側面によれば、低照度におけるノイズ特性を改善することができる。

[0012] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0013] [図1]本技術を適用した固体撮像素子の一実施の形態の構成例を示すブロック図である。

[図2]画素の構成例を示すブロック図である。

[図3]画素回路の第 1 の構成例を示す図である。

[図4]比較器の構成例を示す図である。

[図5]画素回路の第 2 の構成例を示す図である。

[図6]画素回路の第 3 の構成例を示す図である。

[図7]変換効率の制御方法を説明するフローチャートである。

[図8]変換効率を切り替える際に参照するヒストグラムの一例を示す図である。

[図9]感度の制御方法を説明するフローチャートである。

[図10]画素の回路構成例を示す図である。

[図11]信号入出力部の回路構成例を示す図である。

[図12]基準変換効率時における駆動波形の一例を示す図である。

[図13]低変換効率時における駆動波形の一例を示す図である。

[図14]高変換効率時における駆動波形の一例を示す図である。

[図15]撮像装置の構成例を示すブロック図である。

[図16]イメージセンサを使用する使用例を示す図である。

[図17]車両制御システムの概略的な構成の一例を示すブロック図である。

[図18]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0014] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0015] <固体撮像装置の構成例>

図1は、本技術を適用した固体撮像装置の一実施の形態の構成例を示すブロック図である。

[0016] 図1に示すように、固体撮像装置1は、例えば、シリコン(Si)などの半導体を用いた半導体基板に、2次元アレイ状に複数の画素2が配列された画素アレイ部4を有する。さらに、画素アレイ部4には、時刻コード発生部7で生成された時刻コードを各画素2に転送する時刻コード転送部3も設けられている。また、固体撮像装置1は、画素アレイ部4の周辺に、画素駆動回路5、DAC(D/A Converter)6、時刻コード発生部7、垂直駆動回路8、出力部9、およびタイミング生成回路10が形成されている。

[0017] 2次元アレイ状に配列された複数の画素2それぞれには、図1の右上に示すように、比較回路11およびデータ記憶部12を有するADC13と、受光素子(例えば、後述する図3のPD52)を有する画素回路14とが設けられている。例えば、画素2は、受光素子が受光した光量に応じた電荷信号が画素回路14から出力され、その電荷信号をADC13によって、アナログである画素信号SIGからデジタルの画素信号SIGに変換して出力する。

[0018] 画素駆動回路5は、画素2内の画素回路14を駆動する。DAC6は、時間経過に応じてレベル(電圧)が単調減少するスロープ信号である参照信号(基準電圧信号)REFを生成し、各画素2に供給する。

- [0019] 時刻コード発生部 7 は、各画素 2 が、アナログの画素信号SIGをデジタルの信号に変換（AD変換）する際に使用される時刻コードを生成し、対応する時刻コード転送部 3 に供給する。時刻コード発生部 7 は、画素アレイ部 4 に対して複数個設けられており、画素アレイ部 4 内には、時刻コード発生部 7 に対応する数だけ、時刻コード転送部 3 が設けられている。即ち、時刻コード発生部 7 と、そこで生成された時刻コードを転送する時刻コード転送部 3 は、1 対 1 に対応する。
- [0020] 垂直駆動回路 8 は、画素 2 内で生成されたデジタルの画素信号SIGを、タイミング生成回路 10 から供給されるタイミング信号に基づいて、所定の順番で出力部 9 に出力させる制御を行う。画素 2 から出力されたデジタルの画素信号SIGは、出力部 9 から固体撮像装置 1 の外部へ出力される。出力部 9 は、黒レベルを補正する黒レベル補正処理やCDS(Correlated Double Sampling ; 相関 2 重サンプリング)処理など、所定のデジタル信号処理を必要に応じて行い、その後、外部へ出力する。
- [0021] タイミング生成回路 10 は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、生成した各種のタイミング信号を、画素駆動回路 5、DAC 6、垂直駆動回路 8 などに供給する。
- [0022] 固体撮像装置 1 は、以上のように構成されている。なお、図 1 では、上述したように、固体撮像装置 1 を構成する全ての回路が、1 つの半導体基板上に形成されるように説明したが、例えば、固体撮像装置 1 を構成する回路を複数枚の半導体基板に分けて配置する構成とすることもできる。
- [0023] ここで、画素 2 の動作について説明する。
- [0024] 画素 2 では、受光素子が受光した光量に応じた電荷信号が、アナログの画素信号SIGとして画素回路 14 からADC 13 に出力され、ADC 13 においてデジタルの画素信号SIGにAD変換されて出力される。
- [0025] ADC 13 では、比較回路 11 が、DAC 6 から供給される参照信号REFと画素信号SIGを比較し、比較結果を表す比較結果信号として出力信号VCOを出力する。例えば、比較回路 11 は、参照信号REFと画素信号SIGが同一（の電圧）に

なったとき、出力信号VC0を反転させる。

[0026] データ記憶部12には、比較回路11から出力信号VC0が入力される他、垂直駆動回路8から、画素信号の書き込み動作であることを表すWR信号（以下では、書き込み制御信号WRともいう）、画素信号の読み出し動作であることを表すRD信号（以下では、読み出し制御信号RDともいう）、および、画素信号の読み出し動作中における画素2の読み出しタイミングを制御するWORD信号が供給される。また、データ記憶部12には、時刻コード転送部3を介して、時刻コード発生部7で生成された時刻コードも供給される。なお、ここでは、画素2の動作を分かり易くするために、垂直駆動回路8が制御信号を生成して画素アレイ部4へ供給すると説明しているが、全画素同時に駆動する制御信号を生成する回路（図示せず）が、例えば、水平部分に配置される構成としてもよい。即ち、制御信号が画素アレイ部4へ供給される構成であれば、制御信号を生成する回路の配置が制約されることはない。

[0027] 例えば、データ記憶部12は、WR信号及びRD信号に基づいて、時刻コードの書き込み動作と読み出し動作を制御するラッチ制御回路（例えば、後述する図2の入出力制御部25）と、時刻コードを記憶するラッチ記憶部（例えば、後述する図2の信号記憶部26）で構成される。

[0028] ラッチ制御回路は、時刻コードの書き込み動作においては、比較回路11からHi (High) の出力信号VC0が入力されている間、時刻コード転送部3から供給される、単位時間ごとに更新される時刻コードをラッチ記憶部に記憶させる。そして、参照信号REFと画素信号SIGが同一（の電圧）になり、比較回路11から供給される出力信号VC0がLo (Low) に反転されたとき、供給される時刻コードの書き込み（更新）を中止し、最後にラッチ記憶部に記憶された時刻コードをラッチ記憶部に保持させる。ラッチ記憶部に記憶された時刻コードは、画素信号SIGと参照信号REFが等しくなった時刻を表しており、画素信号SIGがその時刻の基準電圧であったことを示すデータ、即ち、デジタル化された光量値を表す。

[0029] 参照信号REFの掃引が終了し、画素アレイ部4内の全ての画素2のラッチ記

憶部に時刻コードが記憶された後、画素2の動作が、書き込み動作から読み出し動作に変更される。

[0030] ラッチ制御回路は、時刻コードの読み出し動作においては、読み出しタイミングを制御するWORD信号に基づいて、画素2が自分の読み出しタイミングとなったときに、ラッチ記憶部に記憶されている時刻コード（デジタルの画素信号SIG）を、時刻コード転送部3に出力する。時刻コード転送部3は、供給された時刻コードを、列方向（垂直方向）に順次転送し、出力部9に供給する。

[0031] 以下では、時刻コードの書き込み動作においてラッチ記憶部に書き込まれる時刻コードと区別するため、時刻コードの読み出し動作においてラッチ記憶部から読み出される出力信号VC0が反転したときの反転時刻コードである、画素信号SIGがその時刻の基準電圧であったことを示すデジタル化された画素データを、AD変換画素データとも称する。

[0032] <画素の構成例>

図2は、画素2の構成例を示すブロック図である。

[0033] 図2に示すように、画素2は、光電変換部21、転送部22、電荷電圧変換部23、比較器24、入出力制御部25、および信号記憶部26により構成される。例えば、光電変換部21、転送部22、および電荷電圧変換部23は、図1の画素回路14を構成する。同様に、比較器24、入出力制御部25、および信号記憶部26は、図1のADC13を構成しており、比較器24が比較回路11に対応し、入出力制御部25および信号記憶部26がデータ記憶部12に対応する。

[0034] また、画素2には、図1のDAC6と同様の参照信号REFを発生する参照信号発生部31が接続されている。さらに、画素2には、光電変換部21、電荷電圧変換部23、および比較器24を初期化（リセット）する初期化手段32、並びに、電荷電圧変換部23における変換効率の切り替えを制御する変換効率制御部33が接続されている。

[0035] また、信号記憶部26は、図1の時刻コード転送部3に対応する信号入出

力部 3 4 との間で信号を入出力する。信号入出力部 3 4 は、図 1 の時刻コード発生部 7 に対応するデジタルコード生成部 3 5 からデジタルの時刻コードが供給され、信号記憶部 2 6 から信号入出力部 3 4 に出力された信号は、図 1 の出力部 9 に対応する信号処理部 3 6 および出力制御部 3 7 を介して出力される。

[0036] なお、図 2 の画素 2 では、1 個の画素回路 1 4 に対して 1 個の ADC 1 3 が配置される構成例が示されているが、例えば、所定個数の画素回路 1 4 が配置されるエリアに対して 1 個の ADC 1 3 が配置されるような構成を採用してもよい。

[0037] <画素回路の第 1 の構成例>

図 3 を参照して、第 1 の構成例となる画素回路 1 4 の回路構成、および、画素回路 1 4 での変換効率の切り替えについて説明する。

[0038] 図 3 の A には、基準となる変換効率である基準変換効率時における画素回路 1 4 の回路構成が示されており、図 3 の B には、基準変換効率よりも高い変換効率である高変換効率時における画素回路 1 4 の回路構成が示されている。

[0039] 図 3 に示すように、画素回路 1 4 は、PD (Photodiode) 5 2、転送トランジスタ 5 3、FD (Floating Diffusion) 部 5 4、増幅トランジスタ 5 5、イネーブルトランジスタ 5 6、容量 5 7、切り替えスイッチ 5 8、およびトランジスタ 5 9 を備えて構成される。例えば、PD 5 2 は、図 2 の光電変換部 2 1 に対応し、転送トランジスタ 5 3 は、図 2 の転送部 2 2 に対応し、増幅トランジスタ 5 5、イネーブルトランジスタ 5 6、容量 5 7、切り替えスイッチ 5 8、およびトランジスタ 5 9 は、図 2 の電荷電圧変換部 2 3 に対応する。

[0040] PD 5 2 は、画素 2 に照射される光を受光して光電変換を行い、その光の光量に応じた電荷を発生して蓄積する。

[0041] 転送トランジスタ 5 3 は、ソース／ドレインの一方が PD 5 2 に接続されるとともに、ソース／ドレインの他方が FD 部 5 4 に接続されており、ゲー

ト電極に供給される転送信号TGに従って、FD部52で発生した電荷をFD部54に転送する。

[0042] FD部54は、転送トランジスタ53を介して転送されてくる電荷を一時的に蓄積する浮遊拡散領域である。

[0043] 増幅トランジスタ55は、ソース／ドレインの一方がイネーブルトランジスタ56に接続されるとともに、ソース／ドレインの他方がバイアス電圧に接続されており、ゲート電極に接続されているFD部54に蓄積されている電荷に応じた電圧を発生する。

[0044] イネーブルトランジスタ56は、ソース／ドレインの一方が出力端子Pix0utに接続されるとともに、ソース／ドレインの他方が増幅トランジスタ55に接続されており、増幅トランジスタ55の有効または無効を制御するイネーブル信号ENに従ってオン／オフする。

[0045] 容量57は、一方の端子がFD部54に接続されるとともに、他方の端子が出力端子Pix0utに接続されており、帰還容量を形成する。

[0046] 切り替えスイッチ58は、容量57と並列に、一方の端子がFD部54に接続されるとともに、他方の端子が出力端子Pix0utに接続されている。

[0047] トランジスタ59は、ソース／ドレインの一方が電源電圧に接続されるとともに、ソース／ドレインの一方が出力端子Pix0utに接続されており、ゲート電極にはバイアス電圧Vbpが供給される。

[0048] このように構成される画素回路14において、後述する図7のフローチャートを参照して説明するように、図2の変換効率制御部33によって切り替えスイッチ58のオン／オフが制御されることにより、基準変換効率および高変換効率で変換効率が切り替えられる。

[0049] 例えば、図3のAに示すように、基準変換効率時には、切り替えスイッチ58がオンに制御される。これにより、画素回路14はソースフォロワ読み出しとなる回路構成となって、基準変換効率で電荷が電圧に変換されたアナログの画素信号が、出力端子Pix0utから後段の比較器24（図4参照）へ読み出される。即ち、このとき、FD部54を初期化してリセットレベルの画

素信号をADC 1 3 が取得した後、トランジスタ (PMOS) 5 9 のバイアスもトランジスタ 5 9 がオフとなる電圧になる。この間、イネーブルトランジスタ 5 6 も、縦積みで接続され、F D 部 5 4 と直結する増幅トランジスタ 5 5 が無効となるように、L o w 電圧に設定される。

[0050] 一方、図 3 の B に示すように、高変換効率時には、切り替えスイッチ 5 8 がオフに制御される。これにより、画素回路 1 4 はソース接地読み出しとなる回路構成となって、高変換効率で電荷が電圧に変換されたアナログの画素信号が、出力端子 Pix0ut から後段の比較器 2 4 (図 4 参照) へ読み出される。即ち、このとき、トランジスタ (PMOS) 5 9 は定電流となるようにバイアスされる。そして、イネーブルトランジスタ 5 6 は、縦積みで接続され、F D 部 5 4 と直結する増幅トランジスタ 5 5 が、ソース接地のオペアンプとして動作するように、H i g h 電圧に設定される。なお、バイアス電圧 VbiasS は、画素信号を転送する観点からはなるべく高い電圧となるように、出力端子 Pix0ut の動作レンジの観点からはなるべく低い電圧となるように、適切なバランスとなるように決定される。

[0051] なお、画素回路 1 4 におけるリセットは、切り替えスイッチ 5 8 を利用してリセットを行うことができ、切り替えスイッチ 5 8 をオフにした直後の電圧がリセットレベルとして読み出される。その後、信号レベルが P D 5 2 から転送トランジスタ 5 3 を介して F D 部 5 4 に転送されて読み出される。

[0052] このように、画素回路 1 4 は、P D 5 2 で発生した電荷を電圧に変換する際の変換効率を切り替え可能に構成されており、例えば、低照度時には高変換効率とすることで、低照度でのノイズ特性を改善することができる。

[0053] <比較器の構成例>

図 4 には、ADC 1 3 の前段となる比較器 2 4 の回路構成が示されている。

[0054] 図 4 に示すように、比較器 2 4 は、容量 7 2、トランジスタ 7 3 および 7 4、定電流源 7 5、オートゼロスイッチ 7 6、並びに、トランジスタ 7 7 および 7 8 を備えて構成される。

[0055] 容量 7 2 は、一方の端子が画素回路 1 4 の出力端子 (Pix0ut) が接続され

るとともに、他方の端子がトランジスタ 73 のゲート電極に接続されており、画素回路 14 から出力されるアナログの画素信号の直流成分をカットする。

[0056] トランジスタ 73 には、容量 72 を介して画素回路 14 から出力される画素信号が供給される。トランジスタ 74 には、図 2 の参照信号発生部 31 から参照信号 REF が供給され、トランジスタ 74 は、図 3 の増幅トランジスタ 55 と差動対を構成する。

[0057] オートゼロスイッチ 76 は、容量 72 およびトランジスタ 73 の接続点と、トランジスタ 73 およびトランジスタ 77 の接続点との間に接続されており、動作点を揃えるのに利用される。トランジスタ 77 および 78 は、カレントミラーを構成する。そして、トランジスタ 73 とトランジスタ 77 との間に、ADC 13 の後段となる入出力制御部 25 が接続される。

[0058] このように構成される比較器 24 では、画素回路 14 からの入力に容量 72 を挿入することで、容量 72 が、画素回路 14 の出力のオフセットをオートゼロにて記憶することができる。なお、比較器 24 の回路設計で、この動作点を揃えることが可能であれば、容量 72 およびオートゼロスイッチ 76 は不要になるが、この動作点にバラツキが生じるという観点より、容量 72 およびオートゼロスイッチ 76 を有する構成とすることが好適である。

[0059] <画素回路の第 2 の構成例>

図 5 を参照して、第 2 の構成例となる画素回路 14 A の回路構成と、画素回路 14 A での変換効率の切り替えについて説明する。

[0060] 図 5 の A には、基準変換効率時における画素回路 14 A の回路構成が示されており、図 5 の B には、高変換効率時における画素回路 14 A の回路構成が示されており、図 5 の C には、低変換効率時における画素回路 14 A の回路構成が示されている。なお、図 5 に示す画素回路 14 A において、図 3 の画素回路 14 と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

[0061] 図 5 に示すように、画素回路 14 A は、PD 52、転送トランジスタ 53

、FD部54、増幅トランジスタ55、イネーブルトランジスタ56、容量57、切り替えスイッチ58、およびトランジスタ59を備える点で、図3の画素回路14と共通する。

[0062] そして、画素回路14Aは、切り替えスイッチ60、および容量61を、さらに備えて構成される。

[0063] 切り替えスイッチ60は、一方の端子がFD部54に接続されるとともに、他方の端子が容量61に接続されており、切り替えスイッチ58と同様に、図2の変換効率制御部33によってオン／オフが制御される。

[0064] 容量61は、一方の端子が切り替えスイッチ60に接続されるとともに、他方の端子が接地されている。

[0065] このように構成される画素回路14Aは、基準変換効率、高変換効率、および低変換効率の3段階で変換効率を切り替えることができる。

[0066] 即ち、図5のAに示すように、画素回路14Aは、切り替えスイッチ58をオンとし、かつ、切り替えスイッチ60をオフとすることで、容量61が切り離された状態、即ち、図3のAと同様の回路構成となり、基準変換効率に設定される。

[0067] 一方、図5のBに示すように、画素回路14Aは、切り替えスイッチ58および切り替えスイッチ60を共にオフとすることで、図3のBと同様の回路構成となり、高変換効率に設定される。

[0068] さらに、図5のCに示すように、画素回路14Aは、切り替えスイッチ58および切り替えスイッチ60を共にオンとすることで、容量61が接続されて低変換効率に設定される。

[0069] このように、画素回路14Aは、変換効率を低下させるための容量61の接続を切り替えることで、3通りの変換効率を実現することができる。

[0070] <画素回路の第3の構成例>

図6を参照して、第3の構成例となる画素回路14Bの回路構成と、画素回路14Bでの変換効率の切り替えについて説明する。なお、図6に示す画素回路14Bにおいて、図3の画素回路14および図5の画素回路14Aと

共通する構成については、同一の符号を付し、その詳細な説明は省略する。

[0071] 図6に示すように、画素回路14Bは、FD部54、増幅トランジスタ55、イネーブルトランジスタ56、容量57、切り替えスイッチ58、およびトランジスタ59を備える点で、図3の画素回路14と共通する。さらに、画素回路14Bは、切り替えスイッチ60、および容量61を備える点で、図5の画素回路14Aと共通する。

[0072] そして、画素回路14Bは、PD52aおよび52b、転送トランジスタ53aおよび53b、並びに、排出トランジスタ62aおよび62bを、さらに備えて構成される。

[0073] 例えば、PD52aとPD52bとは、それぞれ異なる感度となるように形成され、PD52aの感度が小さく、PD52bの感度が大きく形成される。例えば、PD52aとPD52bとは、受光面積であるサイズや、受光感度（例えば、オンチップマイクロレンズの大きさや、検出波長（カラーフィルタ）の特性の違い）などを異なるものとするすることで、異なる感度に設定することができる。

[0074] そして、画素回路14Bは、転送トランジスタ53aおよび53b、並びに、排出トランジスタ62aおよび62bに対する制御を行って、PD52aおよび52bのうち、画像の構築に使用するものを選択することで、感度を3段階に切り替えることができる。即ち、感度が小さなPD52aのみ使用、感度が大きなPD52bのみ使用、または、PD52aとPD52bとの両方を使用するように切り替えることができる。

[0075] 例えば、PD52aのみ使用する場合には、PD52bは、転送トランジスタ53bとは違う排出トランジスタ62bによりリセットし続けることになる。同様に、PD52bのみ使用する場合には、PD52aは、転送トランジスタ53aとは違う排出トランジスタ62aによりリセットし続けることになる。そして、PD52aとPD52bとの両方を使用する場合には、転送トランジスタ53aおよび53bを同時に駆動することになる。

[0076] このように、画素回路14Bは、感度が小さなPD52aのみ使用、感度

が大きなPD52bのみ使用、または、PD52aとPD52bとの両方を加算して使用するという３段階で感度の変更を実現することができる。

[0077] <変換効率の制御方法>

図7に示すフローチャートを参照して、固体撮像装置1における変換効率の制御方法について説明する。図7には、図3に示した画素回路14を備える固体撮像装置1で行われる処理が示されている。

[0078] 例えば、固体撮像装置1において撮像が始まると処理が開始され、ステップS11において、固体撮像装置1は、画素アレイ部4に配置されている全ての画素2でセンシングを行って、それぞれの画素2において光の受光量に応じた電荷が発生する。

[0079] ステップS12において、画素2は、現時点で設定されている変換効率で電荷を電圧に変換してAD変換した画素信号を出力し、変換効率制御部33は、画素信号を取得する。

[0080] ステップS13において、変換効率制御部33は、全ての画素2の画素信号のヒストグラムを算出する。そして、変換効率制御部33は、例えば、全ての画素信号のヒストグラムから欠陥を除き、飽和している画素信号の画素数と所定の閾値とを比較する。

[0081] ここで、図8には、変換効率制御部33により算出されるヒストグラムの一例が示されている。図8のAには、全ての画素2から出力される画素信号のうち、飽和している画素信号の画素数が閾値以上である場合のヒストグラムが示されている。この場合、変換効率制御部33は、これらの画素信号により構築される画像は明るすぎるという比較結果を取得する。

[0082] 一方、図8のBには、全ての画素2から出力される画素信号において、飽和している画素信号の画素数が少ない場合のヒストグラムが示されている。この場合、変換効率制御部33は、現時点で設定されている変換効率から高変換効率に切り替えたときの、飽和する画素信号の画素数を求める。そして、変換効率制御部33は、高変換効率に切り替え後においても、飽和する画素信号の画素数が存在しない程度に画素信号のレベルが小さい場合、これら

の画素信号により構築される画像は暗すぎるという比較結果を取得する。

[0083] ステップS 1 4において、変換効率制御部3 3は、ステップS 1 3での比較結果に従って、変換効率を切り替えるか否かを判定する。例えば、変換効率制御部3 3は、画像が明るすぎるという比較結果、または、画像が暗すぎるという比較結果である場合には、変換効率を切り替えると判定する。一方、変換効率制御部3 3は、画像が適切な明るさである（即ち、明るすぎでもなく、かつ、暗すぎでもない）という比較結果である場合には、変換効率を切り替えないと判定する。

[0084] ステップS 1 4において、変換効率制御部3 3が、変換効率を切り替えないと判定した場合、即ち、現時点で設定されている変換効率で画像が適切な明るさであるという比較結果である場合、処理はステップS 1 1に戻る。即ち、この場合、現時点で設定されている変換効率そのまま、以下、同様の処理が繰り返される。

[0085] 一方、ステップS 1 4において、変換効率制御部3 3が、変換効率を切り替えると判定した場合、処理はステップS 1 5に進む。

[0086] ステップS 1 5において、変換効率制御部3 3は、ステップS 1 3での比較結果に従って、即ち、画素信号に基づく画像の明るさに従って、電荷電圧変換部2 3に対して変換効率を切り替える制御を行う。

[0087] 例えば、変換効率制御部3 3は、図8のAに示したヒストグラムように、飽和している画素信号の画素数が閾値以上であって、画像が明るすぎるという比較結果である場合、変換効率を低くするように電荷電圧変換部2 3に対する制御を行う。これにより、図8のBに示したヒストグラムように、飽和している画素信号の画素数がほぼ0となって、固体撮像装置1は、適切な明るさの画像を取得することができる。

[0088] 一方、変換効率制御部3 3は、飽和している画素信号の画素数が少なく、高変換効率に切り替えたとしても飽和する画素信号の画素数が存在しない程度に画素信号のレベルが小さく、画像が暗すぎるという比較結果である場合、変換効率を高くするように電荷電圧変換部2 3に対する制御を行う。こ

のとき、変換効率制御部 33 は、全ての画素 2 に対して一斉に、電荷電圧変換部 23 を高変換効率に切り替えることができる。このように、電荷電圧変換部 23 を高変換効率にすることによってノイズ特性を改善することができ、通常では画像が暗くなるような低照度であっても、固体撮像装置 1 は、低ノイズの画像を取得することができる。

[0089] ステップ S 15 の処理後、処理はステップ S 11 に戻り、以下、新たに設定された変換効率で、同様の処理が繰り返される。

[0090] 以上のように、変換効率制御部 33 は、画像の明るさに従って電荷電圧変換部 23 の変換効率を適切に設定することができ、固体撮像装置 1 は、適切な明るさでノイズの少ない画像を取得することができる。

[0091] なお、図 6 に示した画素回路 14 A を備える固体撮像装置 1 においても、図 7 を参照して説明したのと同様に閾値に基づいた判定により、変換効率を 3 段階で切り替える制御を行うことができる。

[0092] <感度の制御方法>

図 9 に示すフローチャートを参照して、固体撮像装置 1 における感度の制御方法について説明する。図 9 には、図 6 に示した画素回路 14 B を備える固体撮像装置 1 で行われる処理が示されている。

[0093] ステップ S 21 乃至 S 23 において、図 7 のステップ S 11 乃至 S 13 と同様の処理が行われ、ステップ S 23 では、上述の図 8 に示したのと同様のヒストグラムを用いた比較が行われる。そして、ステップ S 24 において、変換効率制御部 33 は、画像の構築に使用する PD 52 を切り替えるか否かを判定する。

[0094] ステップ S 24 において、変換効率制御部 33 が、画像の構築に使用する PD 52 を切り替えないと判定した場合、処理はステップ S 21 に戻る。即ち、この場合、図 6 の PD 52 a および PD 52 b のうち、現時点で画像の構築に使用している方を継続して使用して、以下、同様の処理が繰り返される。

[0095] 一方、ステップ S 24 において、変換効率制御部 33 が、画像の構築に使

用するPD52を切り替えると判定した場合、処理はステップS25に進む。

[0096] ステップS25において、変換効率制御部33は、ステップS13での比較結果に従って、即ち、画素信号に基づく画像の明るさに従って、画像の構築に使用するPD52を切り替える制御を行う。

[0097] 例えば、変換効率制御部33は、切り替えスイッチ58および60を制御することによる変換効率の切り替えと同様に、ある一定以上の画素信号が出力される場合、感度の小さいPD52aを選択し、ある範囲に画素信号が収まる場合は、感度の高いPD52bを選択し、最も少ない画素信号の場合、PD52aおよび52bの両方を使い最大限の画素信号を取得するように切り替えを行う。

[0098] ステップS25の処理後、処理はステップS21に戻り、以下、新たに設定されたPD52を使用して、同様の処理が繰り返される。

[0099] 以上のように、変換効率制御部33は、画像の明るさに従って使用するPD52を切り替えて感度を適切に設定することができ、固体撮像装置1は、より適切な明るさでノイズの少ない画像を取得することができる。

[0100] <画素の回路構成>

図10は、画素2の詳細な回路構成の一例を示す図である。

[0101] 図10には、図5の画素回路14Aを備え、3段階で変換効率を切り替えることができる画素2の回路構成例が示されている。

[0102] 図10に示すように、画素2は、画素回路14AおよびADC13の間に、バイアス回路81を備えて構成され、バイアス回路81は、トランジスタ91乃至96が組み合わされて構成される。

[0103] 例えば、バイアス回路81は、1個の画素回路14Aごとに1つつ設けられる構成であってもよいし、4個の画素回路14Aでバイアス回路81を共有する構成としたり、それ以上の個数の画素回路14Aで供給する構成としてもよい。また、トランジスタ92のゲート電極に供給されるバイアス電圧ENPbiasや、トランジスタ93のソース電圧、トランジスタ96のドレイン

電圧は、全てのバイアス回路 8 1 で共通化することができる。

[0104] ADC 1 3 は、比較器 2 4（図 4 参照）、帯域制限部 8 2、トランジスタ 8 3 および 8 4、ポジティブフィードバック回路（PFB）8 5、入出力制御部 2 5、並びに、信号記憶部 2 6 により構成される。

[0105] 帯域制限部 8 2 は、容量 1 0 1 により構成され、比較器 2 4 から出力される出力信号に対する帯域制限を行う。そして、比較器 2 4 から出力され帯域制限部 8 2 により帯域制限された出力信号は、トランジスタ 8 3 で一旦受けられ、トランジスタ 8 3 と直列的に接続されるトランジスタ 8 4 を介してポジティブフィードバック回路 8 5 に入力される。

[0106] ポジティブフィードバック回路 8 5 は、トランジスタ 1 1 1 乃至 1 1 7 が組み合わされて構成され、トランジスタ 1 1 4 乃至 1 1 7 により NOR 回路が構成される。ポジティブフィードバック回路 8 5 は、出力を入力にフィードバックすることにより、比較器 2 4 から出力される出力信号に対する応答の高速化を図ることができる。

[0107] 入出力制御部 2 5 は、インバータ 1 2 1、NAND 回路 1 2 2、およびインバータ 1 2 3 が組み合わされて構成される。また、信号記憶部 2 6 は、複数の 1 ビットのラッチ 1 3 1 により構成され、それぞれのラッチ 1 3 1 は、スイッチ 1 3 2、並びに、インバータ 1 3 3 および 1 3 4 により構成されている。

[0108] <信号入出力部の回路構成>

図 1 1 は、信号入出力部 3 4 の詳細な回路構成の一例を示す図である。

[0109] 図 1 1 に示すように、信号入出力部 3 4 は、トランジスタ 1 4 1、トライステートインバータ 1 4 2、トライステートバッファ 1 4 3、FF 回路 1 4 4-1 乃至 1 4 4-N、バッファ回路 1 4 5-1 乃至 1 4 5-N、FF 回路 1 4 6-1 乃至 1 4 6-N、およびバッファ回路 1 4 7-1 乃至 1 4 7-N が接続されて構成されている。ここで、FF 回路およびバッファ回路は、信号記憶部 2 6 が有するラッチ 1 3 1 に対して 1 セットずつ設けられ、信号記憶部 2 6 に必要なビット数分に応じて複数セット備えた構成となる。

[0110] <駆動波形>

図12乃至図14を参照して、画素2を制御する駆動波形について説明する。

[0111] 図12には、画素回路14Aにおいて3段階に切り替えられる変換効率のうち、変換効率が中となる基準変換効率時の駆動波形が示されており、図13には、低変換効率時の駆動波形が示されており、図14には、高変換効率時の駆動波形が示されている。なお、図12乃至図14で共通となるタイミングT0乃至T11については後述し、先にタイミングa乃至dについて説明する。

[0112] 図12に示すように、基準変換効率時において、タイミングaで、転送トランジスタ53の先のFD部54は、切り替えスイッチ58に供給されるリセット信号RSTが”H”となり続けることによって、比較器24に入力される側と導通する。この部分の寄生容量である容量57が変換効率を決定する。

[0113] そして、初期化は、まずバイアス回路81を有効にするため、トランジスタ96に供給されるバイアス電圧Vbを定電流電圧まで引き上げ、トランジスタ93をON（この場合”ENNbias=H”）にする。また、1フレームで蓄積した暗電流を除去するため、切り替えスイッチ60の導通をON状態（FDG=H）とする。そして、トランジスタ（PMOS）59に接続される部分の電位は、イネーブルトランジスタ56の導通が切れていることからほぼGNDまで低下し、これにより電荷電圧変換部23は初期化される。なお、初期化後は、トランジスタ93の導通を切り、トランジスタ92をON電位（この場合”ENPbias=L”）とすることで、電荷電圧変換部23は浮遊状態となる。

[0114] その後、タイミングbで、トランジスタ96に供給されるバイアス電圧Vbは電流を流さない”L”となる。ここでは制御の一例が示されており、そのままでもよいし、差動構成のアンプの電位をHighとするため、バイアス電圧Vbは”L”とした後に、タイミングcで、トランジスタ93を再度ONとしてもよい。

- [0115] 最後に、タイミングdで、切り替えスイッチ60の導通をOFF状態（FDG=L）として、その後、基準変換効率の状態における画素2ごとに並列的なAD変換が行われる。
- [0116] 図13に示すように、低変換効率時では、図12と同様に基本的な初期化が行われ、最後の切り替えスイッチ60の導通をON状態（FDG=H）のままとするか、OFF状態（FDG=L）として接続を切るかどうか、図12と異なる制御となる。
- [0117] 図14に示すように、高変換効率時では、ソース接地アンプの容量Cgsを使用する。即ち、バイアス電圧Vbがトランジスタ96に供給されることによって一定電流が流され、バイアス回路81が有効化する。
- [0118] まず、タイミングaで、切り替えスイッチ58に供給されるリセット信号RSTとトランジスタ96に供給される初期化信号Riniを同時に駆動し、差動回路のようにして、初期化電圧Vriniが転送トランジスタ53の横のFD部54に設定される。そして、ゆっくりリセット信号RSTおよび初期化信号RiniをOFFすることで、動作点を初期化電圧Vriniとしつつ、チャージインジェクションとクロックフィードスルーを同量とすることができる。
- [0119] ここで、図14に示すような変換効率が高いこの制御の場合には、後に続くADC13の入力信号はリセットレベルの電圧が低く、信号レベルの電圧が高いという関係になる。そこで、この場合、比較器24に入力される信号は、図12および図13に示すようなりセットレベルが高い制御はなく、電圧を低く設定する。一方、信号レベルの制御は、図12および図13に示すのと同様に高い電位である。このように制御することで、同一の画素回路14Aで3種類の変換効率の切り替えを実現することができる。
- [0120] また、スロープ信号は低い電圧から高い電圧へ単調減少するようにしても同様の効果（同一回路で高ゲイン信号の取得）が得られるが、比較器24の出力電圧の極性が逆になり調整用の回路が必要となるため、上述したような手法の方がより好ましい。
- [0121] 以下では、図12乃至図14で共通となるタイミングT0乃至T11につ

いて説明する。

- [0122] まず、タイミングT 0において、露光制御として、排出トランジスタ（図示せず）に供給される0FG信号によりPD 5 2を初期化する。そして、0FG信号がONからOFFに切り替わったタイミングから、転送トランジスタ5 3に供給されるTG信号がONからOFFに切り替わるタイミングまでが露光（蓄積）期間となる。また、排出トランジスタが設けられない構成では、1 フレーム前でTG信号がONからOFFに切り替わったタイミングから、次にTG信号がONからOFFに切り替わるタイミングまでが露光（蓄積）期間となる。なお、図1 2乃至図1 4では、0FG信号は、ONである期間が短いパルスで図示されているが、ONである期間が長くてもよいし、ONである期間が2 回以上の複数のパルスで入力されてもよい。また、オーバーフローの抑制の観点から、0FG信号として、ONおよびOFFの2 値ではなく、中間電圧や中間パルスなどを用いてもよい。
- [0123] タイミングT 1において、トランジスタ7 4に供給されるREF信号の電位が、FD部5 4の初期電圧になるように設定され、FD部5 4が初期化される。このとき、REF信号の電位を上昇させることで、FD部5 4をソフトリセット（線形から飽和領域へ徐々に移行してkT/Cノイズを約1/2に低減）させることが可能になる。また、FD部5 4の動作範囲を高い電圧にすることができる結果、取り扱い最大電荷量の向上を図り、PD 5 2からFD部5 4への信号転送のマージンを拡大することができる。また、切り替えスイッチ6 0に供給されるFDG信号をONし続けたままとし、切り替えスイッチ5 8に供給されるRST信号により同様の制御を行うことで、切り替えスイッチ5 8と切り替えスイッチ6 0との間に接続されている容量5 7によって、変換効率を低下させることができる。もちろん、RST信号およびFDG信号は、固定電圧ではなく、それらを同時に制御してもよい。
- [0124] タイミングT 2において、トランジスタ1 1 1に供給されるINI信号、および、トランジスタ1 1 2に供給されるINI2信号により、比較器2 4の2 段目の浮遊部が初期化される。ここでは、INI信号およびINI2信号を分けて説明しているが、それらが同一の信号であってもよい。INI信号およびINI2信号を同

一とする場合には、配線を一本マージすることができ、レイアウト設計のマージンの拡大が可能となる。また、トランジスタ115および117に供給されるFORCEVC0信号を制御することで、比較器24の出力はReady状態となり、ラッチ131に信号の書き込みが可能な状態となる。

[0125] タイミングT3において、時刻コード発生部7において生成される時刻コードの入力、および、信号記憶部26に記憶されている時刻コードであるAD変換画素データの出力を行う信号入出力部34（リピータ）を制御し、トライステートバッファ143に供給されるWEN信号により、外部からラッチ131へ時刻コードの書き込みを行う。同時に、単調減少のスロープ信号であるREF信号をトランジスタ74に入力し、FD部54の電位と比較して反転したタイミングで、VC0信号が反転する。そして、このタイミングで、書き込み続けられていた時刻コードがラッチ131に記憶され、対応するラッチ131への書き込み動作を停止する。

[0126] このVC0信号は、比較器24の前段における電流が数nAでも動作するように、正帰還回路であるポジティブフィードバック回路85が構成されている。従って、比較器24の前段の出力を、2段目のトランジスタ83で一旦受けることで、高いPSRR（電源電圧変動除去比）を実現することができる。続いて、高電圧NMOSであるトランジスタ84へ接続することで、その先の浮遊部V2ndの電圧がゲート電位以上にならないように制御される。このゲート電位は、後段のロジック回路と同じ電源を使用可能であるが、別電圧を使用してもよい。また、浮遊部V2ndには、テスト信号、誤動作防止機能としてのFORCEVC0信号により制御されるNOR回路で正帰還が組まれており、高速遷移を可能としている。ここで、ラッチ131に書き込まれる時刻コードは、図11に示したように信号入出力部34がフリップフロップの多段接続で構成されていることより、場所により、1コードずつずれが生じた固定のオフセットとなる。しかしながら、後述するように、CDSの演算により信号レベルも同じオフセットが重畳することより、ラッチ131に書き込まれる時刻コードのオフセットはキャンセルされる。

[0127] タイミングT 4において、REF信号のスロープが任意の電圧まで低下したところで全画素2のリセットレベルのAD変換が終了する。なお、何らかの理由で反転しなかった比較器24に関しては、FORCEVC0信号にて強制的に反転され、後段の読み出し処理に影響を及ぼすことが回避される。例えば、何らかの反転しない理由とは、回路の故障や、PD52に強い光が当たって電位がスロープの終了時の電圧よりも下回ることなどの理由が挙げられる。そして、AD変換の終了とともにREF信号の電圧を低電位にすること、例えば、GNDにすることで、比較器24の定電流をゼロとすることができ、次にREF信号の電位が高くなり、比較器24に定電流が流れるまで消費電力を抑制することが可能となる。

[0128] タイミングT 5において、ラッチ131に記憶されたAD変換画素データ（デジタルデータ）を外部に読み出す。例えば、ラッチ131は面積的な理由から、加工可能な最小寸法に近いサイズで作成されるため、NMOSとPMOSの駆動力のバランスは取れていない。従って、ラッチ131の内部の信号が”H”か”L”かによって、また、読み出し先のLBL（Local Bit Line）が”H”か”L”かによって、読み出し能力（時間）が異なるものになってしまう。また、LBLのインピーダンス如何により、ラッチ131の信号読み出し時に、ラッチ131の信号そのものが変化してしまうことが懸念される。そのような懸念を防止するために、xPC信号で制御されるトランジスタ141と、ラッチ信号の読み出し時にラッチ131の外部のインピーダンスがラッチ131から見て高くなるように制御による工夫を行う。

[0129] ここで、トランジスタで相互コンダクタンス g_m が高いのはPMOSよりもNMOSであるので、LBLの”L”を”H”にPMOSで引き上げるよりも、LBLの”H”を”L”にNMOSで引き下げる方が高速に動作する。このことより、xPC信号により読み出す前に一旦電源にセットし、LBLを毎回”H”にプリセットする。そして、ラッチ131からの読み出しは、読み出し信号が”H”である場合はプリセット値と差がないので、PMOSの能力が低くても影響を受けることはなく、PMOSは駆動力が低い状態であってもよい。一方、ラッチ131からの読み出し信号

が”L”である場合、”H”にプリチャージされたLBLの電位の引き下げはNMOSが担うことになる。しかしながら、最小サイズのトランジスタでは十分な相互コンダクタンス g_m を確保できないことから、たいていはゲート幅 W を大きくしたりするが、これは面積コストが大きくなってしまう。

[0130] そこで、ラッチ131の出力に設けられているスイッチ132の抵抗を書き込み時よりも向上させることにより、ラッチ131の内部のインバータ133および134から見たLBLのインピーダンスを向上させる。具体的には、ラッチ131の出力に設けられているスイッチ132について、書き込み時には、ラッチ131を構成するNMOSとPMOSとの両方をONにする一方で、読み出し時には、NMOSのみをONにするような制御を行う。これにより、ラッチ131の内部に多数あるNMOSトランジスタのサイズを増大させることなく、高速でロバストな信号読み出しを可能とすることができる。そして、LBLへ読み出された信号は、REN信号のONとともに、AD変換クロックをLとした状態でフリップフロップへ読み出され、REN信号のOFF後にAD変換クロックを入力することで出力へと信号をバケツリレー式に転送する。また、CDSを行うために、一旦、固体撮像装置1の内部に設けられた図示しないSRAM (Static Random Access Memory) などのメモリへ一時書き込みを行う。

[0131] タイミングT6において、REF信号の電圧が高いレベルに戻され、転送トランジスタ53に供給されるTG信号をONとして、PD52の電荷をFD部54へ転送する。

[0132] タイミングT7からタイミングT10までにおいて、タイミングT2からタイミングT5までと同様の処理が行われ、信号レベルのAD変換が行われる。そして、タイミングT10において、信号レベルの出力時には一旦記憶したSRAMからリセットレベルを読み出して信号レベルと減算を行う。これにより、比較器24および信号入出力部34の固定パタンノイズ、並びに、画素2および比較器24のランダムノイズを含む一連の回路ノイズをキャンセル（相関2重サンプリング）することができる。

[0133] タイミングT11において、信号読み出し回路を介して、例えば、SLVS-EC

(Scalable Low Voltage Signaling with Embedded Clock) などの高速シリアルインタフェースを介して、固体撮像装置 1 の外部へ送信する処理が行われる。なお、この処理の前段に、信号圧縮などのデータ帯域を絞る処理を行ってもよい。

[0134] 以上のような制御方法により画素 2 が駆動され、出力信号の低ノイズ化および高速化を図ることができる。

[0135] なお、信号記憶部 26 は、リセットレベルのコードと、受光信号レベルのコードとの両方を記憶し、順次、または、2 つ以上の複数のリピータにより同時に、固体撮像装置 1 の外部へ出力する構成を採用することができる。また、比較回路 11 を備えた固体撮像装置 1 として、半導体ウェハが 2 層積層または 3 層積層された積層構造や、それ以上の積層された積層構造を採用してもよい。また、AD変換の分解能を可変とするため、REF信号のスロープは一定の傾きのまま、AD変換クロックによるコード遷移について、低照度時にはコード遷移を細かくし、高照度時になるにつれてコード遷移を粗くするように制御することで、回路の遷移回数を低減させて電力効率を向上させることも可能である。さらに、図示しないが、多画素、多回路になり、固体撮像装置 1 の内部で制御信号がセトリング不足となる場合、バッファを行うなど、適宜信号の駆動能力の向上を行って、設計行為の範疇である回路変更を図ってもよい。

[0136] <電子機器の構成例>

上述したような固体撮像装置 1 は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0137] 図 15 は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

[0138] 図 15 に示すように、撮像装置 201 は、光学系 202、撮像素子 203、信号処理回路 204、モニタ 205、およびメモリ 206 を備えて構成さ

れ、静止画像および動画像を撮像可能である。

[0139] 光学系202は、1枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子203に導き、撮像素子203の受光面（センサ部）に結像させる。

[0140] 撮像素子203としては、上述した固体撮像装置1が適用される。撮像素子203には、光学系202を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子203に蓄積された電子に応じた信号が信号処理回路204に供給される。

[0141] 信号処理回路204は、撮像素子203から出力された画素信号に対して各種の信号処理を施す。信号処理回路204が信号処理を施すことにより得られた画像（画像データ）は、モニタ205に供給されて表示されたり、メモリ206に供給されて記憶（記録）されたりする。

[0142] このように構成されている撮像装置201では、上述した固体撮像装置1を適用することで、例えば、低照度時でもノイズの少ない画像を撮像することができる。

[0143] <イメージセンサの使用例>

図16は、上述のイメージセンサ（固体撮像装置）を使用する使用例を示す図である。

[0144] 上述したイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0145] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

- ・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

- ・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

- ・肌を撮影する肌測定器や、頭皮を撮影するマイクروسコープ等の、美容の用に供される装置

- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

- ・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0146] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0147] 図17は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0148] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図17に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（interface）12053が図示されている。

[0149] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆

動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0150] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0151] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0152] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0153] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状

態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0154] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む ADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0155] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0156] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0157] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 17 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボード

ディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0158] 図18は、撮像部12031の設置位置の例を示す図である。

[0159] 図18では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0160] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0161] なお、図18には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0162] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0163] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0164] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0165] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパ

ターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0166] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 12031 等に適用され得る。撮像部 12031 等に本開示に係る技術を適用することにより、より低ノイズで高画質な撮像画像を得ることができるため、例えば、撮像画像を用いた画像認識処理を高精度に行うことができる。

[0167] <構成の組み合わせ例>

なお、本技術は以下のような構成も取ることができる。

(1)

アナログの画素信号を出力する画素回路と、

1 個の前記画素回路ごと、または、所定個数の前記画素回路が配置されるエリアごとに配置され、前記画素信号をデジタル変換するデジタル変換回路と

を有する画素を備え、

前記画素回路は、

前記画素に照射される光を受光して光電変換を行い、その光の光量に応じた電荷を発生する光電変換部と、

前記光電変換部で発生した電荷を電圧に変換する際の変換効率を、基準となる基準変換効率と、前記基準変換効率よりも高い高変換効率とで切り替え可能な電荷電圧変換部と

を有する

撮像素子。

(2)

前記画素から出力される前記画素信号を取得し、前記画素信号に基づく画像の明るさに従って、前記電荷電圧変換部における前記変換効率の切り替えを制御する制御部

をさらに備える上記(1)に記載の撮像素子。

(3)

前記制御部は、前記画像が所定の閾値より暗い場合、全ての前記画素に対して一斉に、前記光電変換部を高変換効率に切り替える

上記(2)に記載の撮像素子。

(4)

前記電荷電圧変換部は、前記基準変換効率を実現するソースフォロワ読み出しとなる回路構成と、前記高変換効率を実現するソース接地読み出しとなる回路構成とを切り替える切り替えスイッチを有し、

前記制御部は、前記切り替えスイッチに対する制御を行う

上記(2)または(3)に記載の撮像素子。

(5)

前記電荷電圧変換部は、前記基準変換効率、前記高変換効率、および、前記基準変換効率よりも低い低変換効率の3段階で前記変換効率が切り替えられる

上記(1)から(4)までのいずれかに記載の撮像素子。

(6)

前記画素回路は、それぞれ感度の異なる複数の前記光電変換部を有する

上記(1)から(5)までのいずれかに記載の撮像素子。

(7)

前記デジタル変換回路から出力される前記画素信号を取得し、前記画素信号に基づく画像の明るさに従って、複数の前記光電変換部のうちの、前記画像の構築に用いる光電変換部を切り替える制御部

をさらに備える上記(6)に記載の撮像素子。

(8)

前記画素回路は、複数の前記光電変換部として、受光面積が大きな第1の光電変換部と、受光面積が小さな第2の光電変換部とを有する

上記(7)に記載の撮像素子。

(9)

前記制御部は、前記第1の光電変換部の使用、前記第2の光電変換部の使用、または、前記第1の光電変換部と前記第2の光電変換部との両方の使用を切り替える

上記(8)に記載の撮像素子。

(10)

撮像素子における制御を行う制御部が、

アナログの画素信号を出力する画素回路と、1個の前記画素回路ごと、または、所定個数の前記画素回路が配置されるエリアごとに配置され、前記画素信号をデジタル変換するデジタル変換回路とを有する画素から出力される前記画素信号を取得することと、

前記画素信号に基づく画像の明るさに従って、前記画素回路が有する、前記画素に照射される光を受光して光電変換を行う光電変換部において光の光量に応じて発生した電荷を電圧に変換する際の変換効率を、基準となる基準変換効率と、前記基準変換効率よりも高い高変換効率とで切り替え可能な電荷電圧変換部における前記変換効率の切り替えを制御すること

を含む制御方法。

(11)

アナログの画素信号を出力する画素回路と、

1個の前記画素回路ごと、または、所定個数の前記画素回路が配置されるエリアごとに配置され、前記画素信号をデジタル変換するデジタル変換回路と

を有する画素を有し、

前記画素回路は、

前記画素に照射される光を受光して光電変換を行い、その光の光量に応じた電荷を発生する光電変換部と、

前記光電変換部で発生した電荷を電圧に変換する際の変換効率を、基準となる基準変換効率と、前記基準変換効率よりも高い高変換効率とで切り替え可能な電荷電圧変換部と

を有する

撮像素子を備える電子機器。

[0168] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

符号の説明

[0169] 1 固体撮像装置, 2 画素, 3 時刻コード転送部, 4 画素アレイ部, 5 画素駆動回路, 6 DAC, 7 時刻コード発生部, 8 垂直駆動回路, 9 出力部, 10 タイミング生成回路, 11 比較回路, 12 データ記憶部, 13 ADC, 14 画素回路, 21 光電変換部, 22 転送部, 23 電荷電圧変換部, 24 比較器, 25 入出力制御部, 26 信号記憶部, 31 参照信号発生部, 32 初期化手段, 33 変換効率制御部, 34 信号入出力部, 35 デジタルコード生成部, 36 信号処理部, 37 出力制御部

請求の範囲

- [請求項1] アナログの画素信号を出力する画素回路と、
 1 個の前記画素回路ごと、または、所定個数の前記画素回路が配置されるエリアごとに配置され、前記画素信号をデジタル変換するデジタル変換回路と
 を有する画素を備え、
 前記画素回路は、
 前記画素に照射される光を受光して光電変換を行い、その光の光量に応じた電荷を発生する光電変換部と、
 前記光電変換部で発生した電荷を電圧に変換する際の変換効率を、基準となる基準変換効率と、前記基準変換効率よりも高い高変換効率とで切り替え可能な電荷電圧変換部と
 を有する
 撮像素子。
- [請求項2] 前記画素から出力される前記画素信号を取得し、前記画素信号に基づく画像の明るさに従って、前記電荷電圧変換部における前記変換効率の切り替えを制御する制御部
 をさらに備える請求項 1 に記載の撮像素子。
- [請求項3] 前記制御部は、前記画像が所定の閾値より暗い場合、全ての前記画素に対して一斉に、前記光電変換部を高変換効率に切り替える
 請求項 2 に記載の撮像素子。
- [請求項4] 前記電荷電圧変換部は、前記基準変換効率を実現するソースフォロフ読み出しとなる回路構成と、前記高変換効率を実現するソース接地読み出しとなる回路構成とを切り替える切り替えスイッチを有し、
 前記制御部は、前記切り替えスイッチに対する制御を行う
 請求項 2 に記載の撮像素子。
- [請求項5] 前記電荷電圧変換部は、前記基準変換効率、前記高変換効率、および、前記基準変換効率よりも低い低変換効率の 3 段階で前記変換効率

が切り替えられる

請求項 1 に記載の撮像素子。

[請求項6] 前記画素回路は、それぞれ感度の異なる複数の前記光電変換部を有する

請求項 1 に記載の撮像素子。

[請求項7] 前記デジタル変換回路から出力される前記画素信号を取得し、前記画素信号に基づく画像の明るさに従って、複数の前記光電変換部のうちの、前記画像の構築に用いる光電変換部を切り替える制御部

をさらに備える請求項 6 に記載の撮像素子。

[請求項8] 前記画素回路は、複数の前記光電変換部として、受光面積が大きな第 1 の光電変換部と、受光面積が小さな第 2 の光電変換部とを有する請求項 7 に記載の撮像素子。

[請求項9] 前記制御部は、前記第 1 の光電変換部の使用、前記第 2 の光電変換部の使用、または、前記第 1 の光電変換部と前記第 2 の光電変換部との両方の使用を切り替える

請求項 8 に記載の撮像素子。

[請求項10] 撮像素子における制御を行う制御部が、

アナログの画素信号を出力する画素回路と、1 個の前記画素回路ごと、または、所定個数の前記画素回路が配置されるエリアごとに配置され、前記画素信号をデジタル変換するデジタル変換回路とを有する画素から出力される前記画素信号を取得することと、

前記画素信号に基づく画像の明るさに従って、前記画素回路が有する、前記画素に照射される光を受光して光電変換を行う光電変換部において光の光量に応じて発生した電荷を電圧に変換する際の変換効率を、基準となる基準変換効率と、前記基準変換効率よりも高い高変換効率とで切り替え可能な電荷電圧変換部における前記変換効率の切り替えを制御すること

を含む制御方法。

[請求項11]

アナログの画素信号を出力する画素回路と、

1個の前記画素回路ごと、または、所定個数の前記画素回路が配置されるエリアごとに配置され、前記画素信号をデジタル変換するデジタル変換回路と

を有する画素を有し、

前記画素回路は、

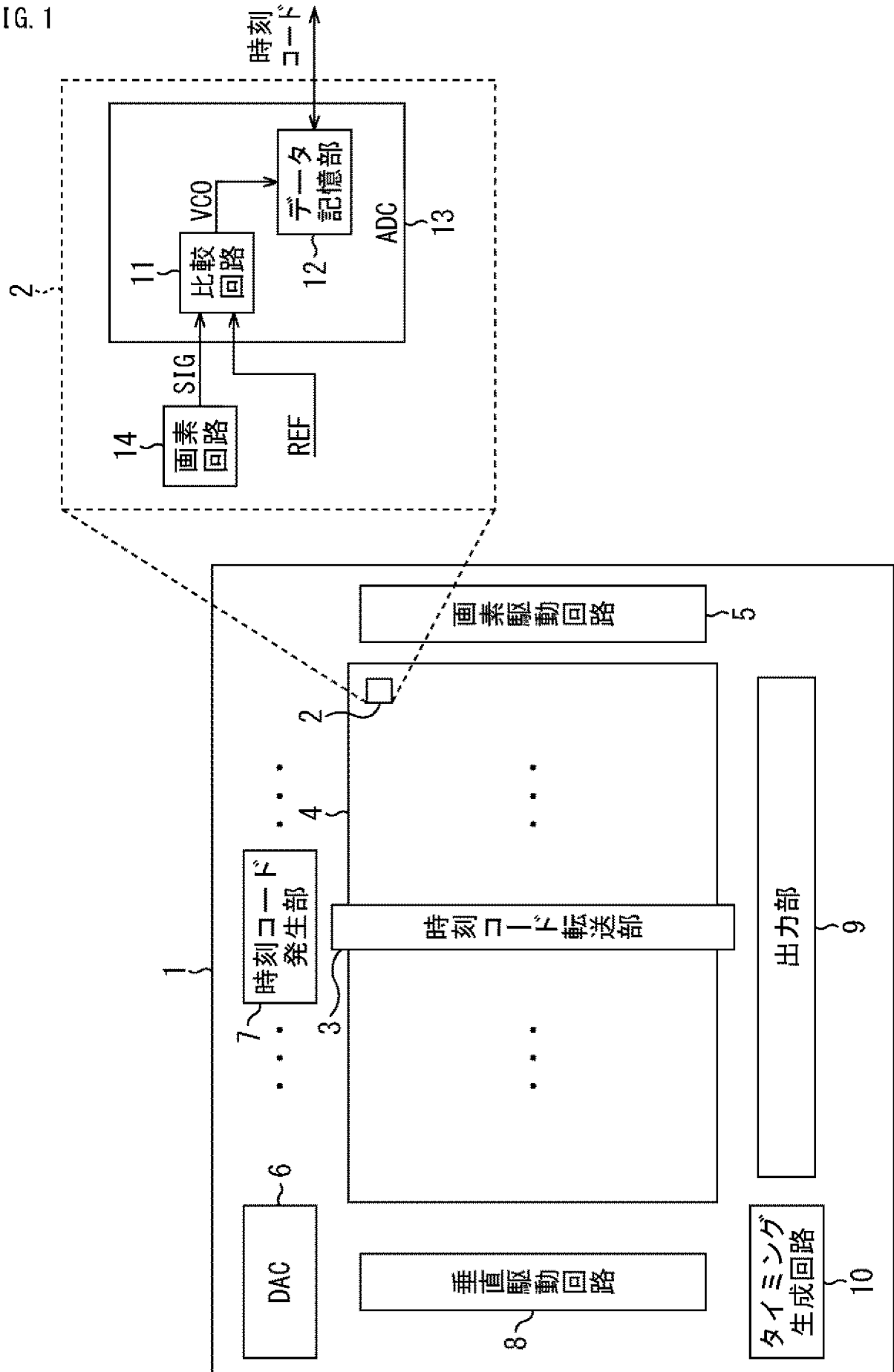
前記画素に照射される光を受光して光電変換を行い、その光の光量に応じた電荷を発生する光電変換部と、

前記光電変換部で発生した電荷を電圧に変換する際の変換効率を、基準となる基準変換効率と、前記基準変換効率よりも高い高変換効率とで切り替え可能な電荷電圧変換部と

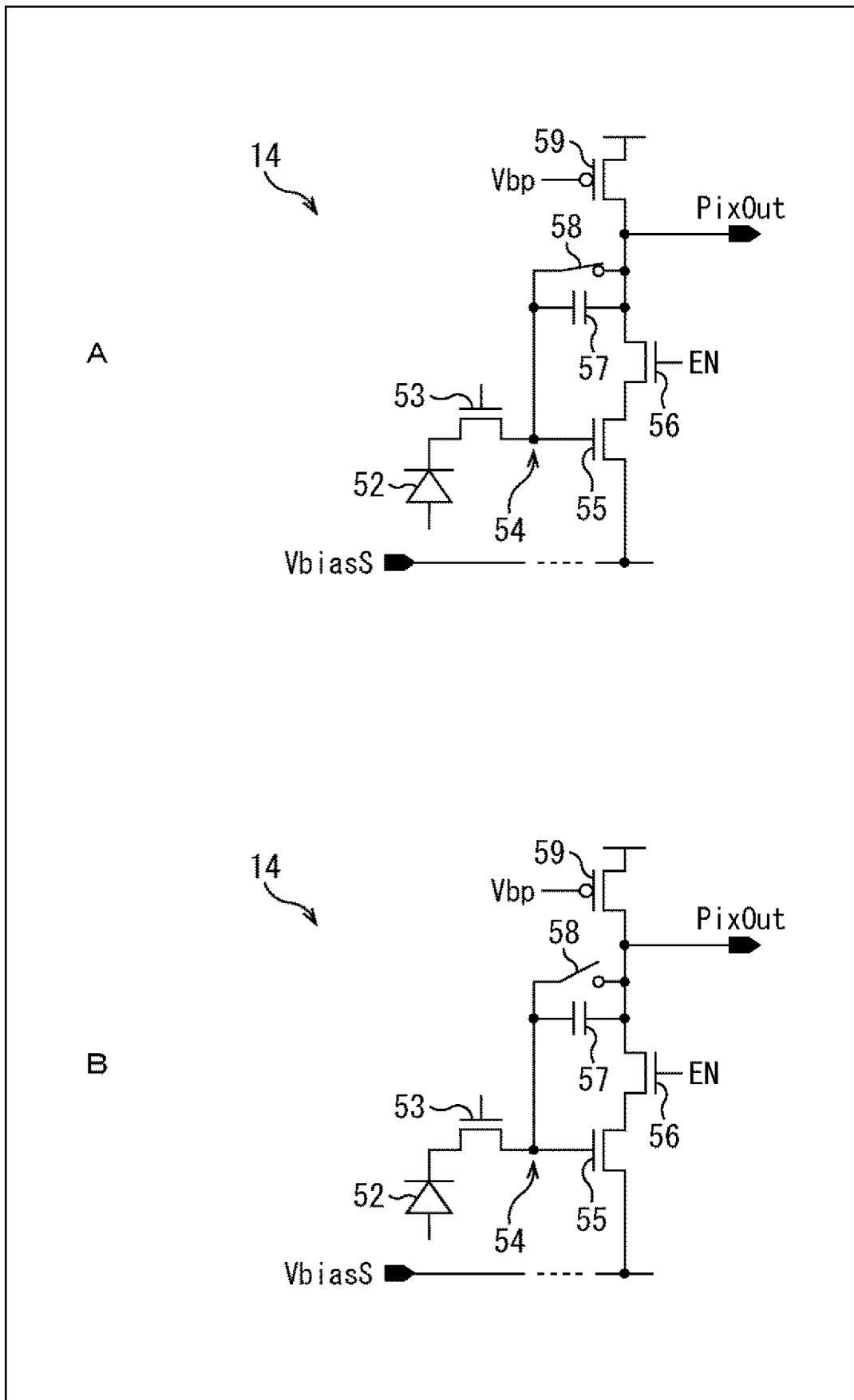
を有する

撮像素子を備える電子機器。

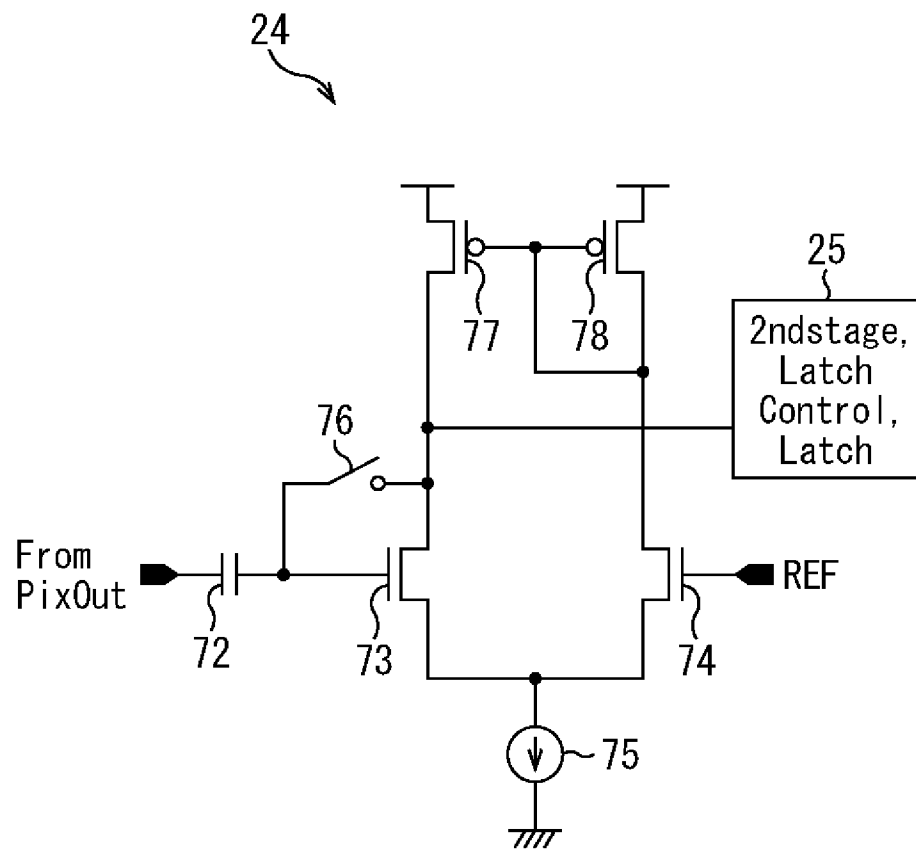
[図1]
FIG. 1



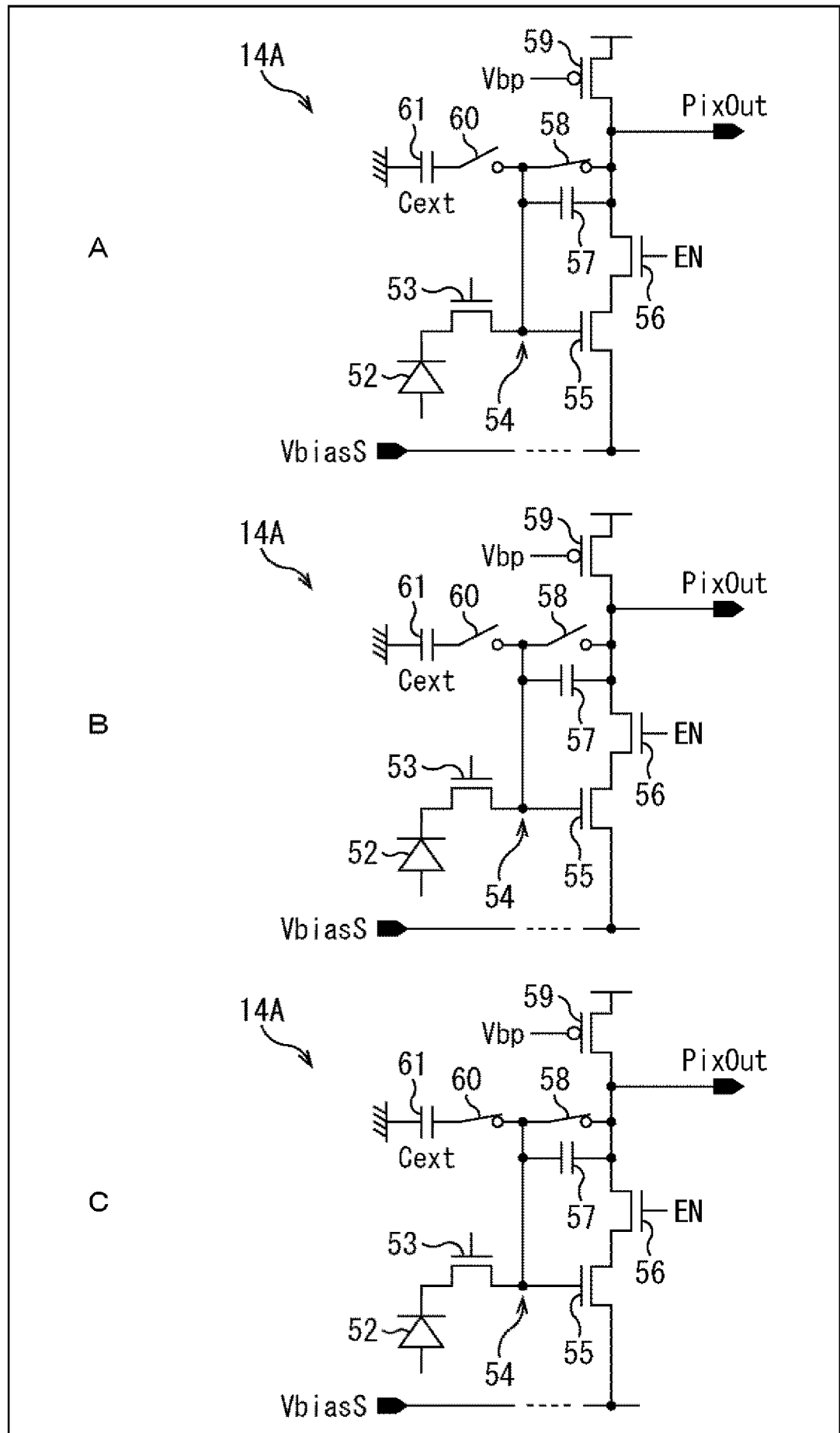
[図3]
FIG. 3



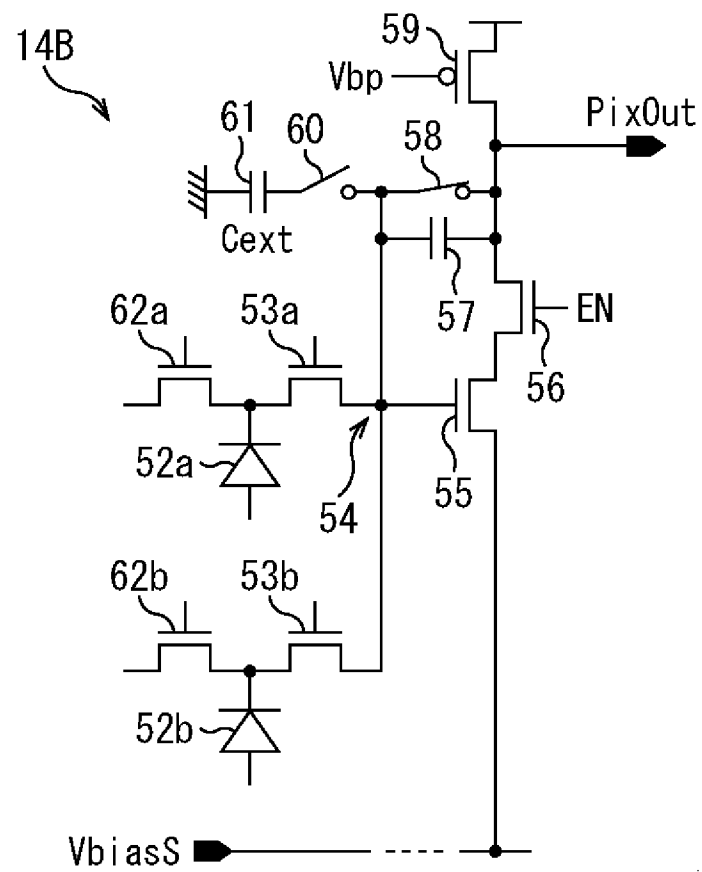
[図4]
FIG. 4



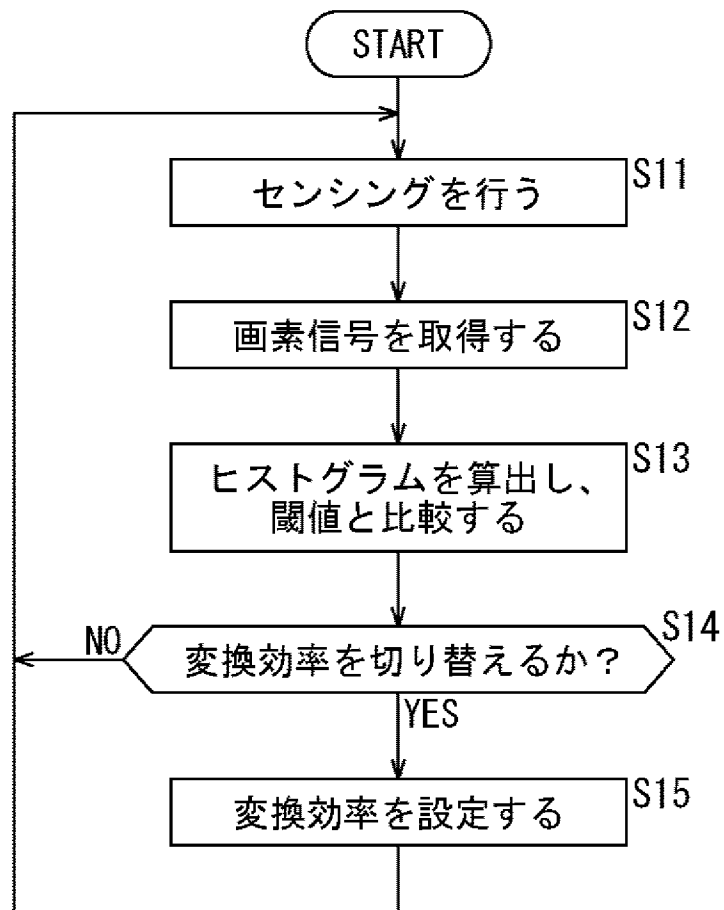
[図5]
FIG. 5



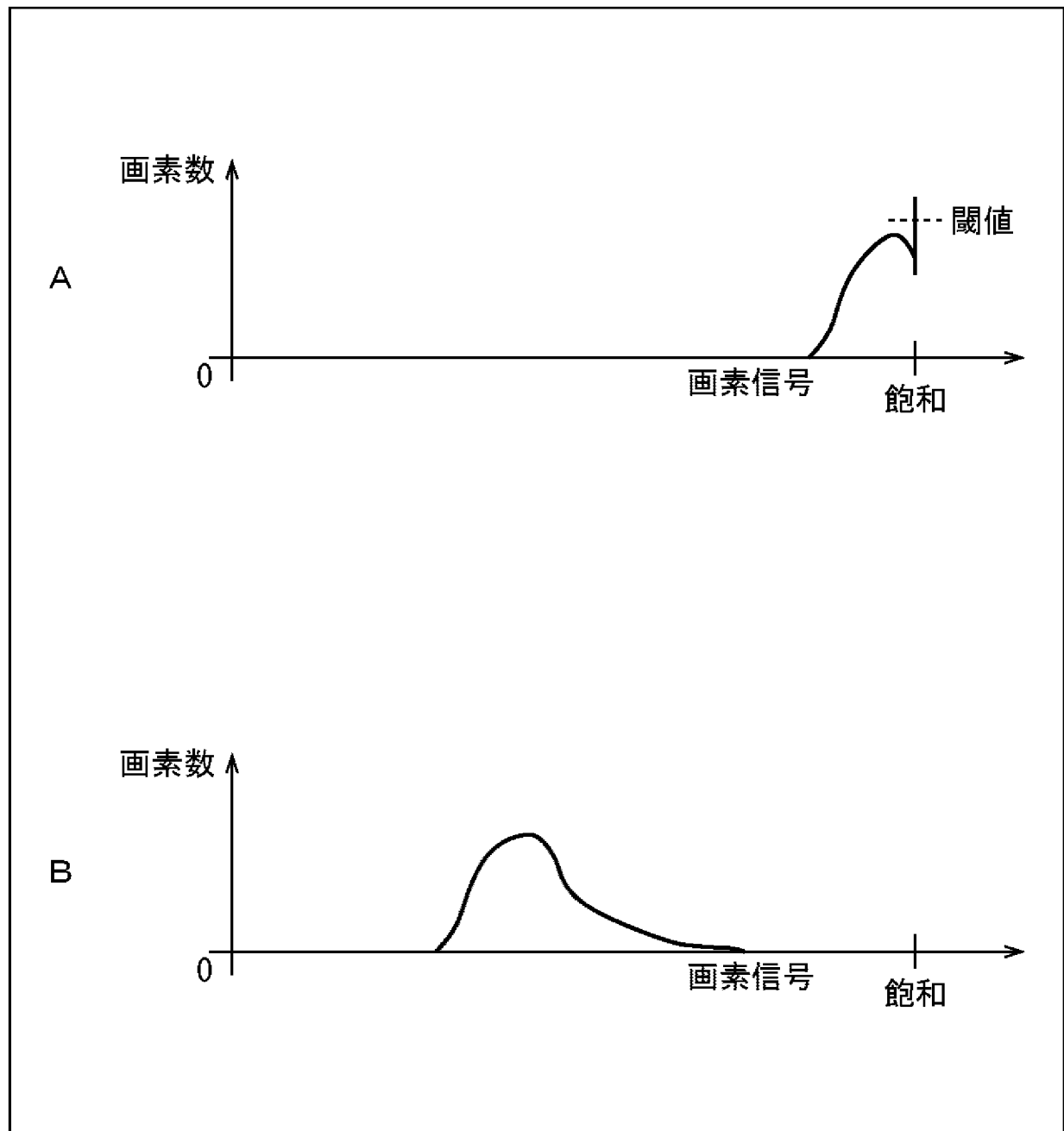
[図6]
FIG. 6



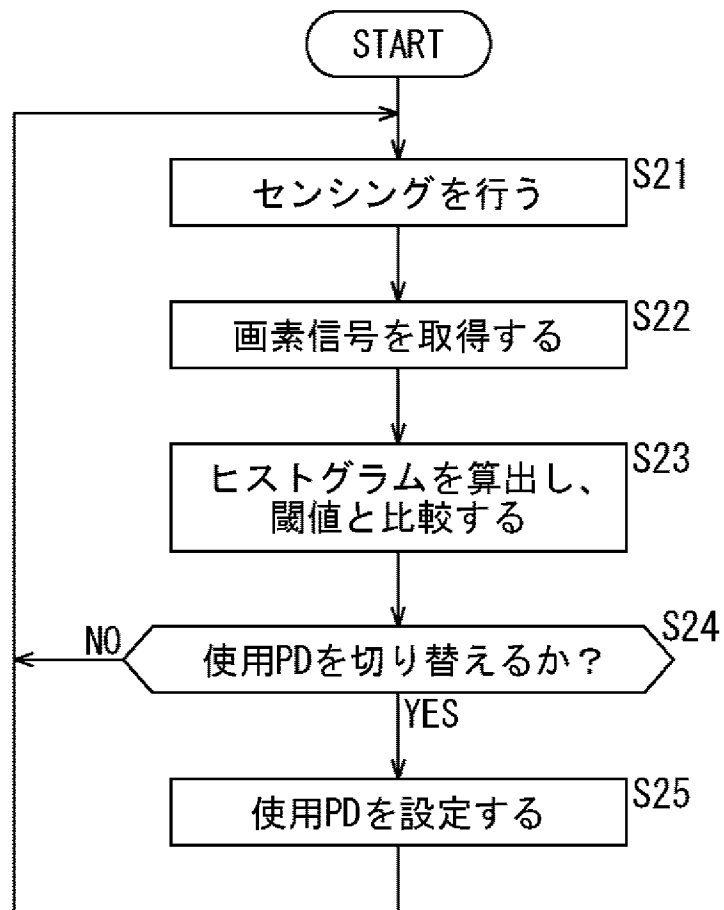
[図7]
FIG. 7



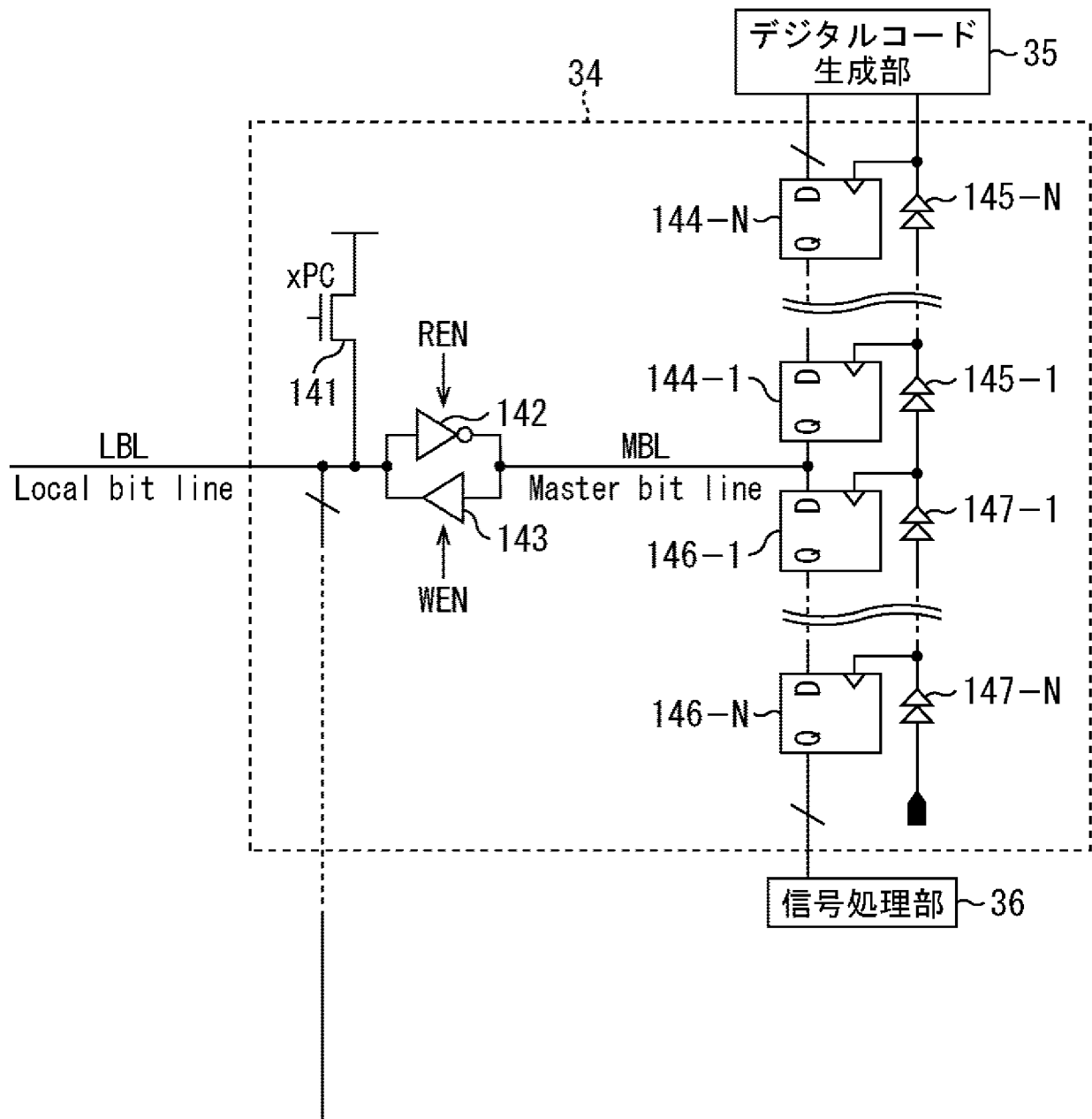
[図8]
FIG. 8



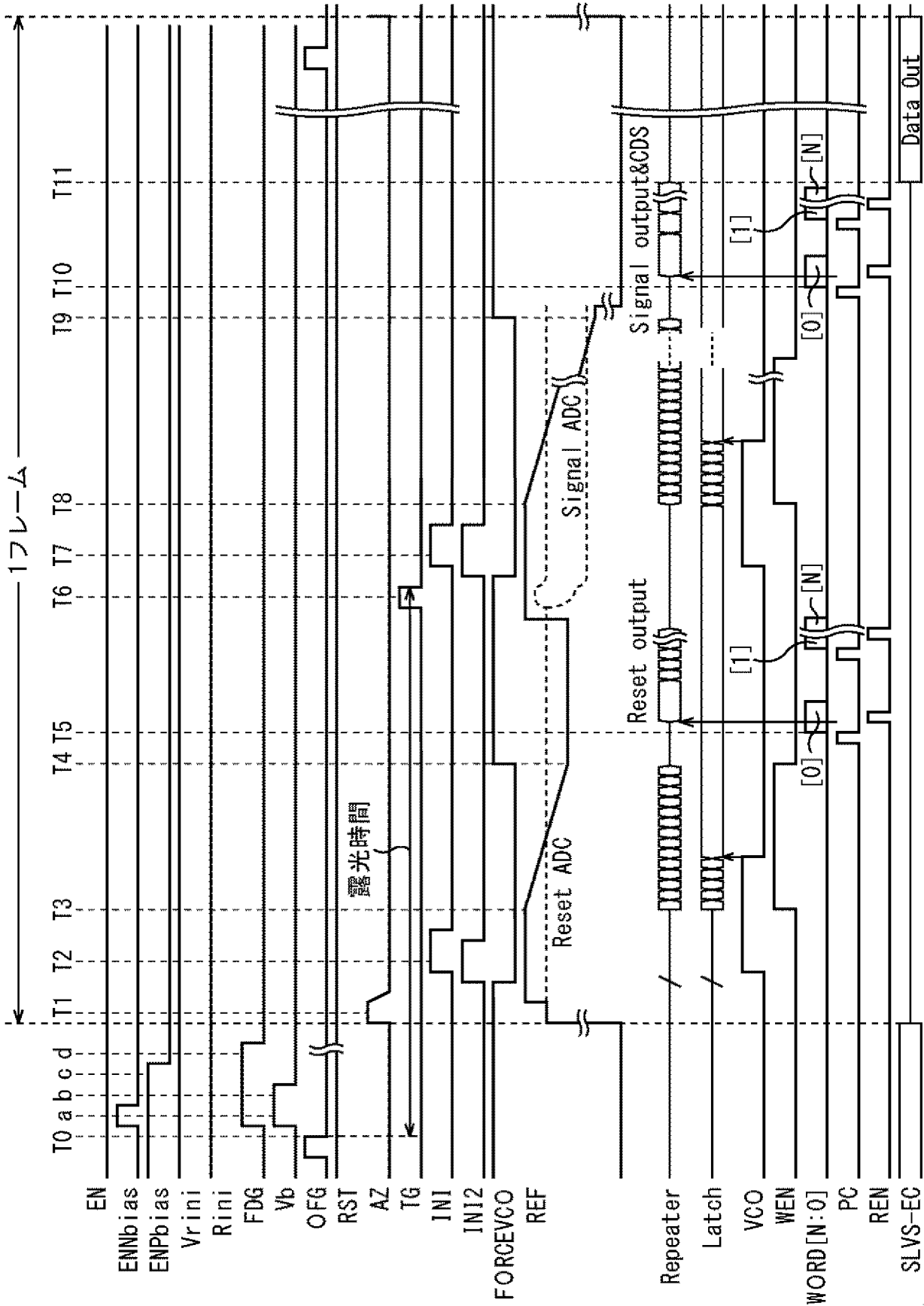
[図9]
FIG. 9



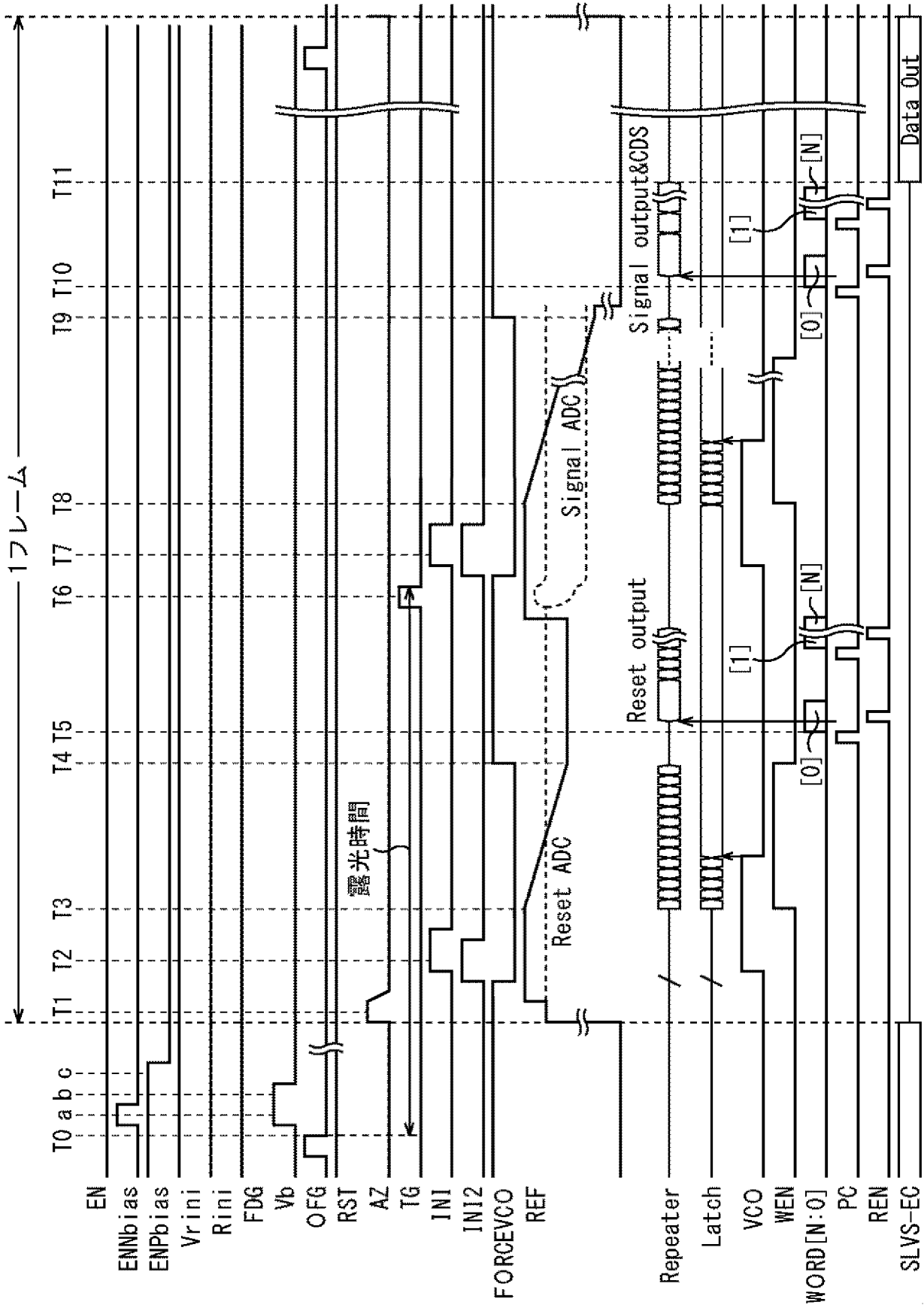
[図11]
FIG. 11



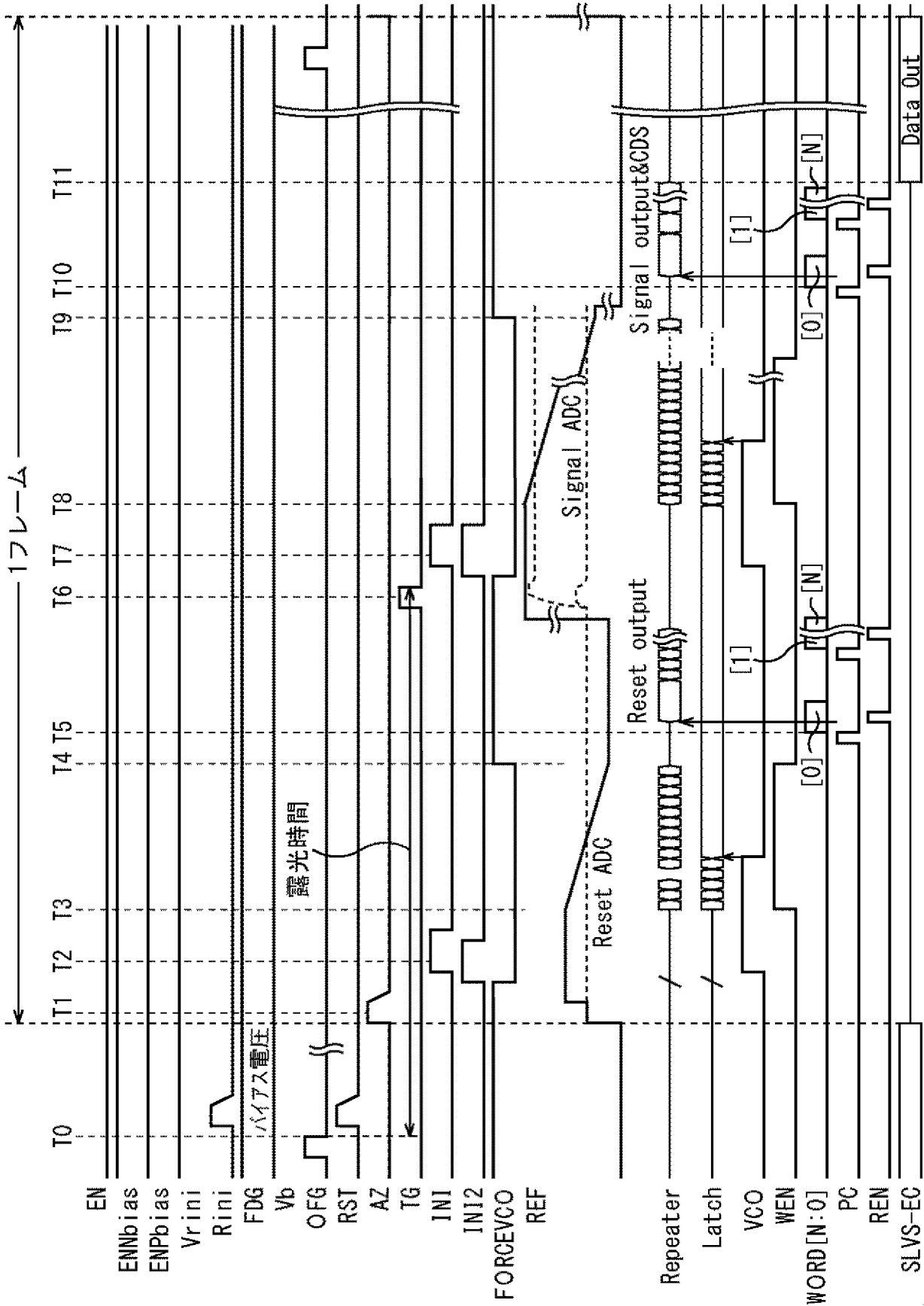
[図12]
FIG. 12



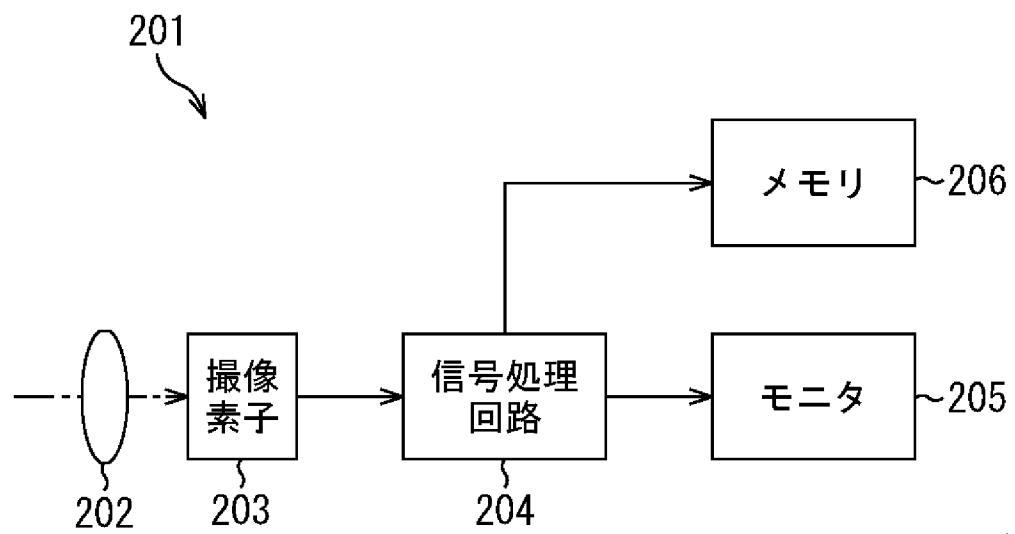
[図13]
FIG. 13



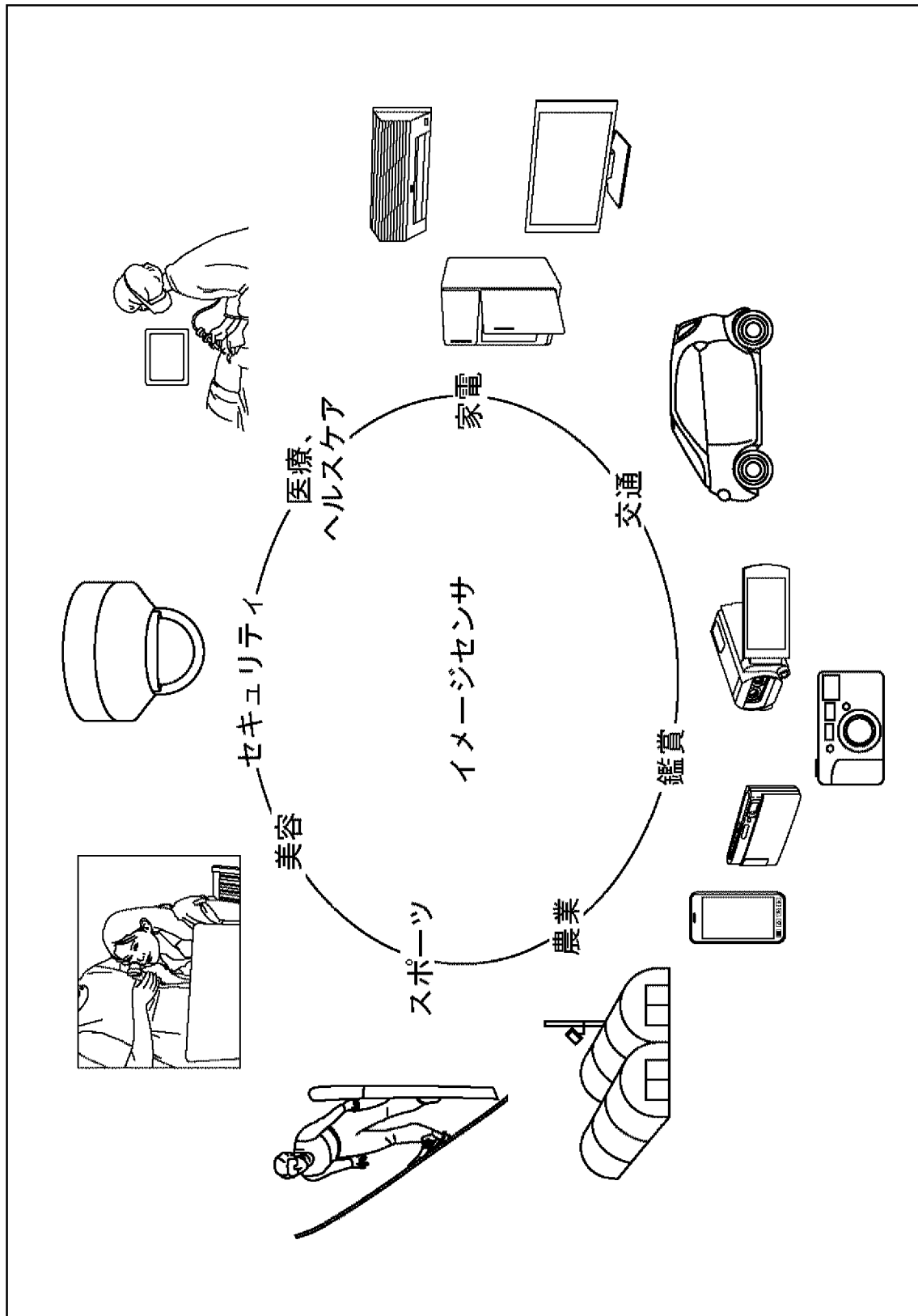
[図14]
FIG. 14



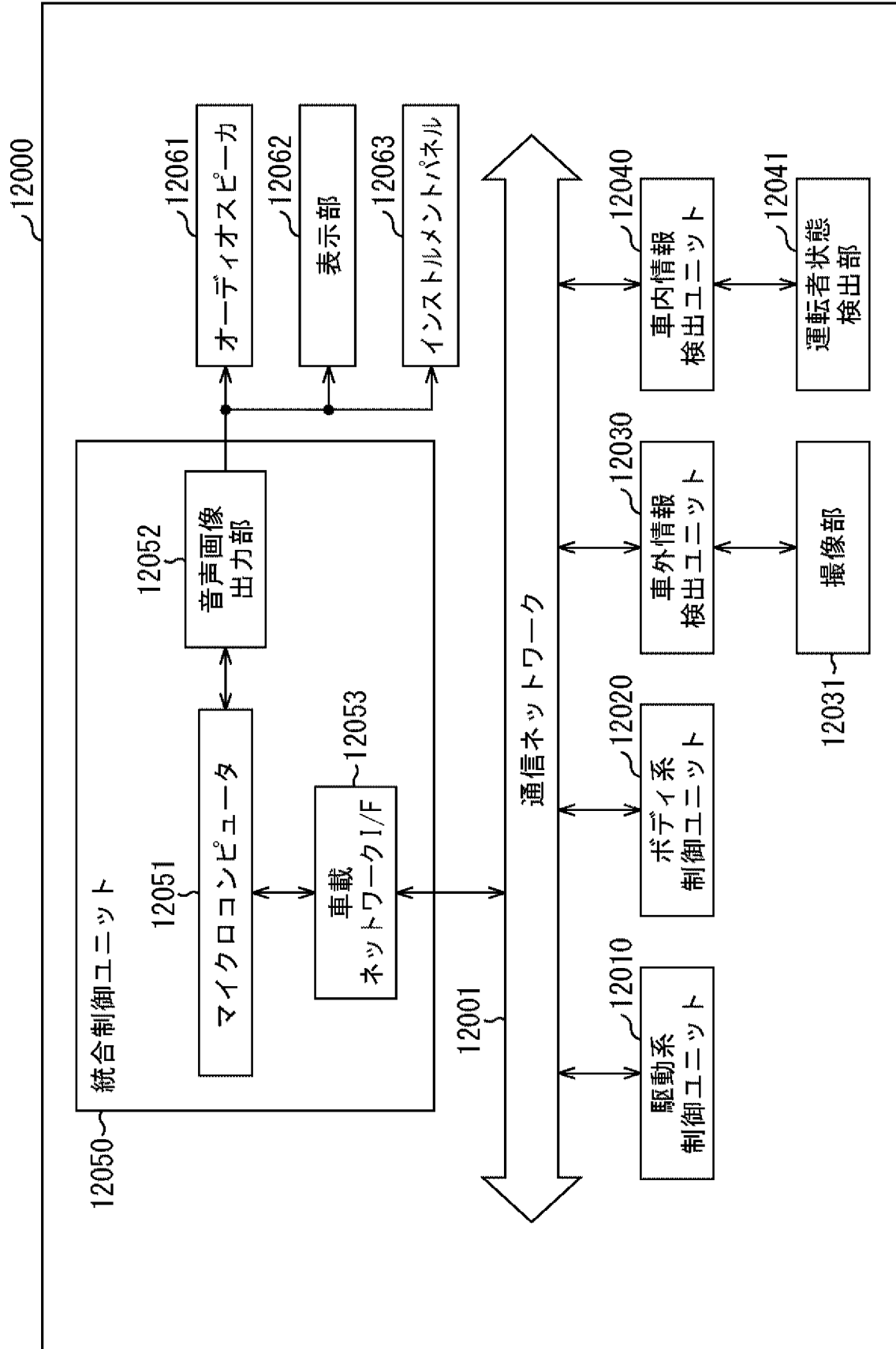
[図15]
FIG. 15



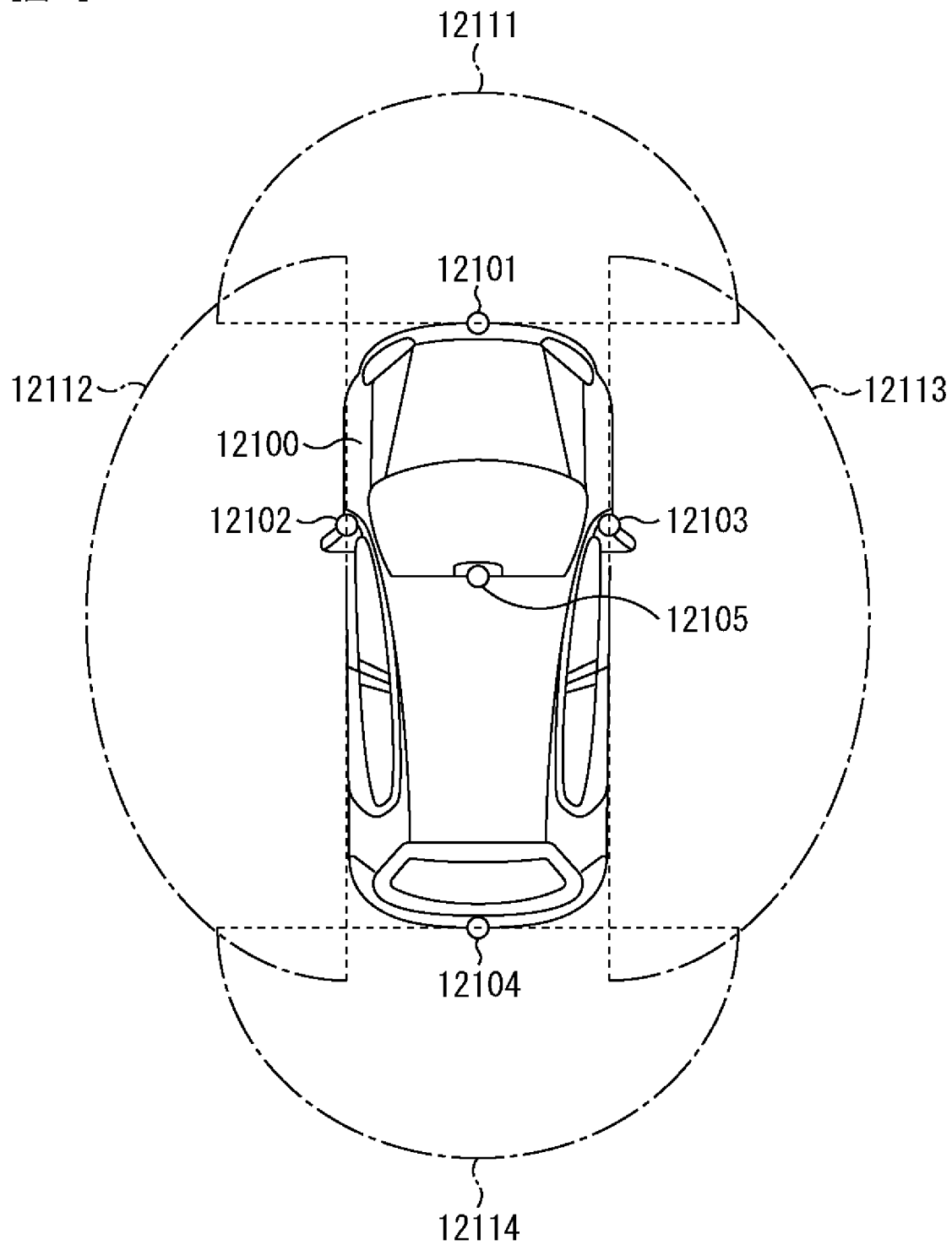
[図16]
FIG. 16



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/021197

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/3745 (2011.01) i, H01L27/146 (2006.01) i, H04N5/355 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/3745, H01L27/146, H04N5/355

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2017/203839 A1 (SONY CORP.) 30 November 2017, paragraphs [0018]-[0139], fig. 1, 2, 4, 9, 15 & EP 3468170 A1, paragraphs [0018]-[0139], fig. 1, 2, 4, 9, 15	1-6, 10, 11 7-9
Y	WO 2017/169724 A1 (SONY CORP.) 05 October 2017, paragraphs [0189]-[0192] & US 2019/0104273 A1, paragraphs [0240]-[0242]	1-6, 10, 11
Y	WO 2017/150240 A1 (SONY CORP.) 08 September 2017, paragraphs [0124]-[0128] & US 2019/0051680 A1, paragraphs [0151]-[0157]	1-6, 10, 11
Y	WO 2016/114153 A1 (SONY CORP.) 21 July 2016, paragraphs [0016]-[0190] & US 2017/0353683 A1, paragraphs [0041]-[0244]	4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 August 2019 (01.08.2019)

Date of mailing of the international search report
13 August 2019 (13.08.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/3745(2011.01)i, H01L27/146(2006.01)i, H04N5/355(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/3745, H01L27/146, H04N5/355

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2017/203839 A1（ソニー株式会社）2017.11.30, 段落 [0018]-[0139]、図 1, 2, 4, 9, 15 & EP 3468170 A1, 段落[0018]-[0139]、 図 1, 2, 4, 9, 15	1-6, 10, 11 7-9
Y	WO 2017/169724 A1（ソニー株式会社）2017.10.05, 段落 [0189]-[0192] & US 2019/0104273 A1, 段落[0240]-[0242]	1-6, 10, 11
Y	WO 2017/150240 A1（ソニー株式会社）2017.09.08, 段落 [0124]-[0128] & US 2019/0051680 A1, 段落[0151]-[0157]	1-6, 10, 11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

01.08.2019

国際調査報告の発送日

13.08.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

5 V

4228

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2016/114153 A1 (ソニー株式会社) 2016.07.21, 段落 [0016]-[0190] & US 2017/0353683 A1, 段落[0041]-[0244]	4