

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6289577号
(P6289577)

(45) 発行日 平成30年3月7日 (2018.3.7)

(24) 登録日 平成30年2月16日 (2018.2.16)

(51) Int. Cl.

F I

HO 2M 7/48 (2007.01)

HO 2M 7/48 M

HO 2M 3/28 (2006.01)

HO 2M 3/28 R

請求項の数 9 (全 17 頁)

(21) 出願番号	特願2016-202491 (P2016-202491)	(73) 特許権者	000005234
(22) 出願日	平成28年10月14日 (2016.10.14)		富士電機株式会社
(62) 分割の表示	特願2014-503280 (P2014-503280) の分割		神奈川県川崎市川崎区田辺新田1番1号
原出願日	平成24年3月5日 (2012.3.5)	(73) 特許権者	508296738
(65) 公開番号	特開2017-42040 (P2017-42040A)		富士電機機器制御株式会社
(43) 公開日	平成29年2月23日 (2017.2.23)		東京都中央区日本橋大伝馬町5番7号
審査請求日	平成28年10月14日 (2016.10.14)	(74) 代理人	100161562
			弁理士 阪本 朗
		(72) 発明者	藤田 美和子
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		(72) 発明者	皆見 崇之
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

直流電源の正ラインおよび負ラインによって供給される直流電圧を半導体スイッチング素子によってスイッチングして変換した電圧を出力する電力変換部とを備えた電力変換装置であって、

前記正ラインと負ライン間に接続された平滑コンデンサと、

前記平滑コンデンサと前記電力変換部との間における前記正ラインと負ライン間に接続され、前記電力変換部のスイッチング時に生ずるサージ電圧を抑制するスナバコンデンサとは異なる、伝導ノイズや放射ノイズを抑制するノイズ抑制コンデンサと、

を具備し、

前記ノイズ抑制コンデンサは、前記スナバコンデンサの静電容量よりも小さく、かつ、前記電力変換部に用いられるスイッチング素子の直流電圧印加時における主電極間の静電容量よりも大きな静電容量を有すること

を特徴とする電力変換装置。

【請求項2】

直流電源の正ラインおよび負ラインによって供給される直流電圧を半導体スイッチング素子によってスイッチングして変換した電圧を出力する電力変換部とを備えた電力変換装置であって、

前記正ラインと負ライン間に接続され、前記電力変換部のスイッチング時に生ずるサージ電圧を抑制するスナバコンデンサと、

前記スナバコンデンサと前記電力変換部との間における前記正ラインと負ライン間に接続され、前記スナバコンデンサとは異なる、伝導ノイズや放射ノイズを抑制するノイズ抑制コンデンサと、
を具備し、

前記ノイズ抑制コンデンサは、前記スナバコンデンサの静電容量よりも小さく、かつ、前記電力変換部に用いられるスイッチング素子の直流電圧印加時における主電極間の静電容量よりも大きな静電容量を有すること
を特徴とする電力変換装置。

【請求項 3】

前記ノイズ抑制コンデンサは、セラミックコンデンサで構成されていること
を特徴とする請求項 1 または 2 に記載の電力変換装置。

10

【請求項 4】

前記ノイズ抑制コンデンサは、複数のコンデンサを接続して構成されていること
を特徴とする請求項 1 乃至 3 のいずれか一項に記載の電力変換装置。

【請求項 5】

前記ノイズ抑制コンデンサは、複数のコンデンサが並列に接続され、前記電力変換部に近い位置に接続されるほど静電容量が小さな値であること
を特徴とする請求項 1 乃至 4 のいずれか一項に記載の電力変換装置。

【請求項 6】

前記ノイズ抑制コンデンサに、抵抗器を直列に接続、または抵抗器を並列に接続したこと
を特徴とする請求項 1 乃至 5 のいずれか一項に記載の電力変換装置。

20

【請求項 7】

前記電力変換部は、複数の半導体スイッチング素子をパッケージングした半導体モジュールを用いた電力変換装置であって、

前記電力変換部の最も近くに接続される前記ノイズ抑制コンデンサ、前記ノイズ抑制コンデンサに抵抗器を直列に接続した直列回路または前記ノイズ抑制コンデンサに、抵抗器を並列に接続した並列回路を前記半導体モジュール内に構成したこと
を特徴とする請求項 1 乃至 6 のいずれか一項に記載の電力変換装置。

【請求項 8】

30

前記電力変換部は、入力された直流電圧を交流電圧に変換して出力するインバータである請求項 1 乃至 7 のいずれか一項に記載の電力変換装置。

【請求項 9】

前記電力変換部は、入力された直流電圧をスイッチングして別の直流電圧に変換して出力する直流チョッパである請求項 1 乃至 7 のいずれか一項に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力変換装置に係り、特にこの電力変換装置によって生ずるサージ電圧および電磁ノイズの抑制技術に関する。

40

【背景技術】

【0002】

半導体スイッチング素子を用いて構成した電力変換装置は、スイッチング時に素子両端に発生する電圧サージが大きな問題となる。この電圧サージは、例えば半導体スイッチング素子が IGBT であれば、コレクタ - エミッタ間に生ずる（以降、この種の電圧サージをスイッチングサージと称する）。

【0003】

IGBT をスイッチングしたときに生ずるコレクタ - エミッタ間電圧 V_{ce} とコレクタ電流 I_c の関係は、例えば図 18 の模式図に示したようになる。この図からわかるように

50

電力変換装置においては、ターンオフ時のコレクタ - エミッタ間電圧 V_{ce} の跳ね上がり（スイッチングサージ）や、ターンオン時のコレクタ電流 I_c の跳ね上がりが生ずる。そしてこのスイッチングサージが半導体スイッチング素子の耐圧を超えると、素子破壊を招くこともあり、電力変換装置の信頼性に大きく関わることになる。

【0004】

また、スイッチング時に生ずる電圧、電流の急峻な変化や、これらの急激な変化に伴って生ずる共振現象は、高いレベルのノイズを発生させ、電源系統に伝導する伝導ノイズや、電力変換装置や装置に接続されたケーブル周囲の空間に伝搬する放射ノイズを生ずる。これらの伝導ノイズや放射ノイズは、周囲の機器を誤動作させないように低減することが求められている。例えば国際電機標準会議（IEC）には、伝導ノイズは $150\text{ kHz} \sim 30\text{ MHz}$ において、放射ノイズは $30\text{ MHz} \sim 1\text{ GHz}$ において、それぞれ規制値が定められている。

10

【0005】

図19に示した電力変換装置は、電動機駆動回路の要部を示す概略回路図である。この図に示す電動機駆動回路は、三相交流電源1から与えられる交流電圧を直流電圧に変換して出力するコンバータ2と、このコンバータ2から出力される直流電圧を安定化させる平滑コンデンサ C_{dc} が直流電源ラインの正ライン6および負ライン7との間に接続されている。さらに電動機駆動回路には、平滑コンデンサ C_{dc} によって安定化された直流電圧を受けて、任意の周波数の三相交流電圧を出力するインバータ3を備えている。そして、このインバータ3から出力される三相交流電圧が電動機Mに与えられて、所望の回転速度が得られるようになっている。

20

【0006】

詳しくは、コンバータ2は二つの整流用ダイオードを直列接続した直列回路（D1とD4、D2とD5およびD3とD6）が3組並列に接続されて三相交流電源1から与えられる交流電圧を直流電圧に変換する。またインバータ3は、二つのIGBTを直列に接続した直列回路（S1とS4、S2とS5およびS3とS6）を3組並列に接続して構成されている。このインバータは、例えば二つのスイッチング素子を直列に接続した、いわゆる2in1タイプや、六つのスイッチング素子をブリッジ接続した6in1タイプのパワーモジュール、または六つの整流ダイオードをブリッジ接続したコンバータ回路と六つのスイッチング素子をブリッジ接続したインバータ回路をパッケージングしたPIM（Power Integrated Modules）を用いて構成されることもある。またインバータ3は、図示しない制御回路によって例えばPWM制御される。

30

【0007】

ここで、図19において L_{p1} 、 L_{p2} 、 L_{p3} 、 L_{dcp} 、 L_{dcn} 、 L_{n1} 、 L_{n2} 、 L_{n3} は、コンバータとインバータの直流電源ラインを構成するプリントパターンやブスバーに存在する配線インダクタンスであって、スイッチングサージが生ずる主要因になる。これら配線インダクタンス L_{p1} 、 L_{p2} 、 L_{p3} 、 L_{dcp} 、 L_{dcn} 、 L_{n1} 、 L_{n2} 、 L_{n3} は、通常の回路図には記述されないものの、上述した電力変換装置等にあっては、その構造上存在するものである。

【0008】

そしてこの配線インダクタンスの値が大きいほど、スイッチングサージも大きくなる。これは図19の回路において各IGBT（S1～S6）がオフする際、配線インダクタンスに流れていた電流が導通経路を失うためである。

40

【0009】

このようなスイッチングサージを抑制するための一般的な対策方法には、スナバ回路を接続する方法がある。このスナバ回路は、配線インダクタンスに蓄えられたエネルギーを吸収してスイッチングサージを抑制する役割を担う。図20は、図19に示した電力変換回路において、直流電源ラインの正ライン6と負ライン7との間にスナバコンデンサ C_s を接続したものである。この図において配線インダクタンス L_{p1} 、 L_{n1} は、平滑コンデンサ C_{dc} とスナバコンデンサ C_s との間のプリントパターンやブスバーが有するもの

50

である。

【0010】

なお、スナバコンデンサ C_s には、自身のリード線が有するインダクタンスのほか、接続するプリントパターンやブスバーが有するインダクタンスをあわせた配線インダクタンス L_{sp} 、 L_{sn} が含まれている。

【0011】

あるいは、スイッチングサージを抑制するための別の一般的な対策方法としては、特に図示はしないが、ダイオードと抵抗とで構成した並列回路をコンデンサと直列に接続したスナバ回路をスイッチング素子と並列に接続するものもある。しかしながら、このようなスナバ回路を追加しても、伝導ノイズや放射ノイズは十分に低減することが困難な場合が多い。

10

【0012】

例えば、図18に示したスイッチング波形を参照すれば、IGBTがターンオフしたとき、素子破壊の原因となるのはスイッチングサージのピーク電圧である。その一方でスイッチングサージは、ピーク値の後、すぐには収束せずに共振して振動することもある。そしてこの共振現象はターンオン時の電流にも観測されることがある。

【0013】

このような共振現象は、素子破壊の原因にはならないものの、図21に示す様に周波数スペクトラムにおいて極大値を発生させるノイズが生ずる原因になり、大きな放射ノイズや伝導ノイズの発生をもたらす。また、この共振現象は、スイッチングサージ抑制のために追加したスナバ回路などの回路素子や、スイッチング素子自身の寄生容量、およびスイッチング素子周辺の配線インダクタンスなどによる共振が主要因となる。このような共振現象によって発生する高レベルの伝導ノイズや放射ノイズを低減する方法として、コンデンサおよび抵抗器を直列に接続した直列回路を配線インダクタンスを有する直流電源ラインと並列に接続する方法が試みられている(例えば、特許文献1を参照)。

20

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開2010-41790号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0015】

しかしながら、特許文献1に記載の電力変換装置においては、直流電源ラインに対して並行に接続したコンデンサにも寄生インダクタンスがあり、そのインダクタンス値は一般にコンデンサが並列接続される直流電源ラインのインダクタンス値よりも大きいと懸念される。このとき、コンデンサとコンデンサの寄生インダクタンスによる直列共振は、直流電源ラインとコンデンサの並列共振が発生すると期待する周波数よりも低い周波数において生ずる。するとコンデンサは、上記の並列共振周波数においては寄生インダクタンスとして振舞うため、想定したコンデンサと直流電源ラインの並列共振は発生しなくなる。このことから、上述した高レベルの伝導ノイズや放射ノイズを低減することが困難となる。

40

【0016】

本発明は、上述した問題を解決するべくなされたものであって、その目的は、半導体スイッチング素子を有する電力変換装置において、スイッチングサージの抑制とノイズ対策の両方を実現可能な電力変換装置を提供することにある。

【課題を解決するための手段】

【0017】

上述した課題を解決するべく本発明の電力変換装置は、直流電源の正ラインおよび負ラインによって供給される直流電圧を半導体スイッチング素子によってスイッチングして変換した電圧を出力する電力変換部とを備えた電力変換装置であって、前記正ラインと負ライン間に接続された平滑コンデンサと、前記平滑コンデンサと前記電力変換部との間にお

50

ける前記正ラインと負ライン間に接続され、前記電力変換部のスイッチング時に生ずるサージ電圧を抑制するスナバコンデンサとは異なる、伝導ノイズや放射ノイズを抑制するノイズ抑制コンデンサと、を具備し、前記ノイズ抑制コンデンサは、前記スナバコンデンサの静電容量よりも小さく、かつ、前記電力変換部に用いられるスイッチング素子の直流電圧印加時における主電極間の静電容量よりも大きな静電容量を有することを特徴とする。

【0018】

上述した電力変換装置には、電力変換部に半導体スイッチング素子としてIGBTが用いられる。そして、スナバコンデンサよりも静電容量が小さく、かつ、IGBTの主電極間（コレクターエミッタ間）における出力容量よりも大きな静電容量を有するノイズ抑制コンデンサとを備えることによって、直流電源ライン部と電力変換部に生じる直列共振に伴う伝導ノイズや放射ノイズ成分を低減する。

10

【0019】

なお、本発明の電力変換装置は、直流電源の正ラインおよび負ラインによって供給される直流電圧を半導体スイッチング素子によってスイッチングして変換した電圧を出力する電力変換部とを備えた電力変換装置であって、前記正ラインと負ライン間に接続され、前記電力変換部のスイッチング時に生ずるサージ電圧を抑制するスナバコンデンサと、前記スナバコンデンサと前記電力変換部との間における前記正ラインと負ライン間に接続され、前記スナバコンデンサとは異なる、伝導ノイズや放射ノイズを抑制するノイズ抑制コンデンサと、を具備し、前記ノイズ抑制コンデンサは、前記スナバコンデンサの静電容量よりも小さく、かつ、前記電力変換部に用いられるスイッチング素子の直流電圧印加時における主電極間の静電容量よりも大きな静電容量を有する構成としてもかまわない。

20

【0020】

また本発明の別の好ましい形態は、前記ノイズ抑制コンデンサに、抵抗器を直列に接続、または抵抗器を並列に接続したことを特徴とする。

【0021】

上述した電力変換装置は、ノイズ抑制コンデンサと直列に抵抗器を接続しているため、直列共振に伴うノイズを抵抗器で効果的に減衰させることができる。

【0022】

あるいは本発明における前記電力変換部は、複数の半導体スイッチング素子をパッケージングした半導体モジュールを用いた電力変換装置であって、前記電力変換部の最も近くに接続される前記ノイズ抑制コンデンサ、前記ノイズ抑制コンデンサに抵抗器を直列に接続した直列回路または前記ノイズ抑制コンデンサに、抵抗器を並列に接続した並列回路を前記半導体モジュール内に構成したことを特徴とする。

30

【0023】

上述した電力変換装置は、ノイズ抑制コンデンサやこのコンデンサと直列に接続される抵抗器を半導体モジュール内に構成することができ、これらノイズ抑制コンデンサや抵抗器を配線パターンやブスバーに接続することなくコンパクトで効果的にノイズを抑制することができる。

【0024】

また、前記電力変換部は、入力された直流電圧を交流電圧に変換して出力するインバータのほか、入力された直流電圧をスイッチングして別の直流電圧に変換して出力する直流チョッパなどで構成してもよい。

40

【発明の効果】

【0025】

本発明の電力変換装置は、直流電源ライン部と電力変換部に生じる直列共振に伴う伝導ノイズや放射ノイズ成分を、線間コンデンサのキャパシタンス成分と、スナバコンデンサの寄生インダクタンス成分や周辺の直流電源ラインのインダクタンス成分によって生じる並列共振によって低減する。また、本発明の電力変換装置は、スナバコンデンサや線間コンデンサを追加したことによって、直流電源ラインのインピーダンスが従来の電力変換装

50

置より小さくなり、スイッチングサージは悪化しない。

【0026】

このため本発明の電力変換装置は、スイッチングサージの抑制と放射ノイズや伝導ノイズの抑制を同時に実現することができ、実用上多大なる効果を奏する。

【図面の簡単な説明】

【0027】

【図1】本発明の実施例1に係る電力変換装置の構成を示す回路図。

【図2】本発明の電力変換装置と従来の電力変換装置とのノイズレベルの理論推定結果（相対値）の一例を示す図。

【図3】スナバコンデンサのみのノイズ周波数スペクトラム分布（電界強度）の実測結果を示す図。 10

【図4】スナバコンデンサとノイズ抑制コンデンサを接続したときのノイズ周波数スペクトラム分布（電界強度）の実測結果を示す図。

【図5】本発明の実施例1に係る電力変換装置の変形例を示す回路図。

【図6】本発明の実施例1に係る電力変換装置の別の変形例を示す回路図。

【図7】ノイズ抑制コンデンサを変形した実施例を示す要部回路図。

【図8】本発明の実施例2に係る電力変換装置の構成を示す回路図。

【図9】本発明の実施例3に係る電力変換装置の構成を示す回路図。

【図10】本発明の実施例4に係る電力変換装置の構成を示す回路図。

【図11】プリント配線基板に実装されたIGBTモジュール、ノイズ抑制コンデンサおよびスナバコンデンサの配置の一例を示す図。 20

【図12】IGBTモジュールに取り付けられたブスバーに接続したノイズ抑制コンデンサおよびスナバコンデンサの一取り付け例を示す斜視図。

【図13】ノイズ抑制コンデンサを2in1のIGBTモジュール内に取り付けた回路構成を示す回路図。

【図14】ノイズ抑制コンデンサを6in1のIGBTモジュール内に取り付けた回路構成を示す回路図。

【図15】ノイズ抑制コンデンサをPIMに適用した回路構成を示す回路図。

【図16】本発明の実施例8に係る電力変換装置を示す図。

【図17】本発明の実施例9に係る電力変換装置を示す図。 30

【図18】IGBTのスイッチング波形の一例を示す図。

【図19】従来の電力変換装置の構成を示す回路図。

【図20】図16に示す電力変換装置にスナバコンデンサを接続した構成を示す回路図。

【図21】従来の電力変換装置におけるノイズレベルの一例を示す図。

【発明を実施するための形態】

【0028】

以下、本発明の一実施形態に係る電力変換装置について添付図面を参照しながら説明する。なお、図1～図17は、本発明の実施形態を例示するものであって、これらの図面によって本発明が限定されるものではない。また、図20に示した従来の電力変換装置と同一構成要素については同符号を付与し、その説明を省略する。 40

【実施例1】

【0029】

図1は、本発明の実施例1に係る電力変換装置の構成を示す回路図である。この実施例1が図20に示した従来の電力変換装置と異なるところは、直流電源ラインの正ライン6と負ライン7の線間におけるスナバコンデンサCsとインバータ3との間に、伝導ノイズや放射ノイズを抑制するノイズ抑制コンデンサ（線間コンデンサ）C1を備えること、そしてこのノイズ抑制コンデンサC1の静電容量が、スナバコンデンサCsの静電容量よりも小さな値であり、かつ、インバータ3に用いられる半導体スイッチング素子（IGBT；S1～S6）の主電極間（コレクタ－エミッタ間）容量Coes（出力容量）よりも大きな値としたことにある。 50

【0030】

尚、スナバコンデンサ C_s には、フィルムコンデンサを用い、ノイズ抑制コンデンサ C_1 にはセラミックコンデンサを用いるとよい。

【0031】

ところで、従来の電力変換装置が発生する高レベルの伝導ノイズや放射ノイズの発生原因となる主な共振現象には、スナバコンデンサ C_s を含む直流電源ライン6, 7とインバータ3間に生じる直列共振(例えば図20においては、IGBT(S1)がスイッチングしたとき、配線インダクタンス L_{p2} , L_{p3} , L_{sp} , L_{sn} , L_{n2} , L_{n3} 、スナバコンデンサ C_s およびコレクタ-エミッタ間容量(出力容量) C_{oes} 間に発生する直列共振)がある。

10

【0032】

本発明では、スナバコンデンサ C_s とノイズ抑制コンデンサ C_1 を備えることにより、前述した直流電源ライン部と電力変換部に生じる直列共振に伴う伝導ノイズや放射ノイズ成分を低減することを特徴とする。すなわち本発明の電力変換装置は、ノイズ抑制コンデンサ C_1 のキャパシタンス成分と、スナバコンデンサ C_s の寄生(配線)インダクタンス成分(L_{sp} , L_{sn})や周辺の直流電源ラインのインダクタンス成分(L_{p2} , L_{n2})に生ずる新たな並列共振によってノイズ成分を低減するものである。

【0033】

また、本発明の電力変換装置は、スナバコンデンサ C_s やノイズ抑制コンデンサ C_1 を追加したことによって、直流電源ラインのインピーダンスが、従来の電力変換装置に対して小さくなる。したがって、スイッチングサージは悪化しない。

20

【0034】

より詳細に本発明の実施例1に係る電力変換装置の具体的な回路構成と対策効果を説明する前に従来の電力変換装置について図20を参照しながら説明する。

【0035】

例えばスナバコンデンサ C_s は、目的とする電圧抑制効果を得るため、数100nF程度の静電容量を有するフィルムコンデンサを用いる。スナバコンデンサと電力変換部間には、スナバコンデンサにおける数10nH程度の寄生インダクタンス成分(L_{sp} , L_{sn})、図示しないスイッチング素子を具備したパワーモジュール内の数10nH程度のインダクタンス成分、フィルムコンデンサの寸法や実装の関係上で生じる直流電源ライン中の数10nHのインダクタンス成分(L_{p2} , L_{p3} , L_{n2} , L_{n3})等の直列接続成分に相当する数10nH程度のインダクタンスを有する。

30

【0036】

また、スイッチング素子は、例えば数100pF程度の静電容量成分(出力容量 C_{oes})を有している。すると、上記の数10nH程度のインダクタンス成分とスイッチング素子の数100pF程度のコンデンサ成分によって数MHz帯の周波数帯域で直列共振が発生し、例えば図21の破線で示した領域に示すように特定の周波数でピークとなる高レベルのノイズが生じる。

【0037】

続いて本発明の電力変換装置の回路構成について図1を参照しながら説明する。図1に示した本発明の実施例1に係る電力変換装置は、図20に示した従来の電力変換装置におけるスナバコンデンサ C_s よりも静電容量が小さな値で、かつ、インバータ3を構成するIGBT(S1~S6)の出力容量 C_{oes} より静電容量が大きな値のノイズ抑制コンデンサ C_1 を追加している。

40

【0038】

このノイズ抑制コンデンサ C_1 の具体的な静電容量としては、出力容量 C_{oes} の例えば5倍程度の静電容量のセラミックコンデンサを用いる。するとノイズ抑制コンデンサ C_1 は、スナバコンデンサ C_s の寄生インダクタンス L_{sp} , L_{sn} と、スナバコンデンサ C_s とノイズ抑制コンデンサ C_1 間の直流電源ライン6, 7のインダクタンス L_{p2} , L_{n2} の直列インダクタンス成分との間に並列共振が生じ、その並列共振周波数は数MHz

50

帯になる。したがって、本発明の実施例 1 に係る電力変換装置は、前述した直列共振に起因する高レベルのノイズをもたらすノイズ成分を低減することができる。

【0039】

このノイズ低減効果を理論的に算定した結果として、本発明の電力変換装置と従来の電力変換装置とのノイズレベルの理論推定結果（相対値）の一例を図 2 に示す。この図において、実線は本発明の電力変換装置におけるノイズ周波数スペクトラムであり、破線は従来の電力変換装置におけるノイズ周波数スペクトラムである。図 3 には、スナバコンデンサ C_s のみのときのノイズ周波数スペクトラムを、図 4 には、スナバコンデンサ C_s と並列にノイズ抑制コンデンサ C_1 を接続したときのノイズ低減効果を実機で検証した実測結果をそれぞれ示す。これらの図から、本発明によって高いノイズ低減効果が得られることを確認することができる。

10

【0040】

尚、上述した実施形態は、スイッチング素子として IGBT を用いた電力変換装置について説明したが、この IGBT に代えて MOSFET のような自己消弧デバイスを用いて構成しても勿論かまわない。また、インバータ 3 を構成する半導体スイッチング素子を二つのスイッチング素子を直列に接続した 2 in 1 タイプや、六つのスイッチング素子をブリッジ接続した 6 in 1 などのパワーモジュールを用いたもの、六つの整流ダイオードをブリッジ接続したコンバータ回路と六つのスイッチング素子をブリッジ接続したインバータ回路をパッケージングした PIM でも本発明の電力変換装置には適用可能である。

【0041】

20

また、回路図上ではノイズ抑制コンデンサ C_1 やスナバコンデンサ C_s を一つの素子で示したが、複数のコンデンサを並列接続または直列接続して構成してもかまわない。

【0042】

あるいは本発明は、図 5 の変形例に示すようにスナバコンデンサ C_s を用いない電力変換装置や、図 6 の別の変形例に示すように平滑コンデンサ C_{dc} を用いない電力変換装置に適用することももちろん可能である。

【0043】

なお、本発明の電力変換装置におけるノイズ抑制コンデンサは、図 7 に示すように二つのコンデンサ C_{1a} , C_{1b} を直列に接続した直列回路を正ラインおよび負ライン間に接続するとともに、このコンデンサ C_{1a} , C_{1b} の接続点を接地してもよい。このとき、コンデンサ C_{1a} , C_{1b} の合成静電容量は、上述した条件を満たすようにすればよい。

30

【0044】

さらに、特に図示しないが例えば図 1 において、スイッチング素子 S_1 , S_4 からなるレグにおける直流ライン 6 , 7 のそれぞれの接続点直近にノイズ抑制コンデンサ C_1 を接続するようにしてもかまわない。

【0045】

要するに本発明の電力変換装置は、ノイズ抑制コンデンサの静電容量を電力変換部に近い位置に接続されるものほど静電容量を小さな値とし、かつ、静電容量の最も小さな値のノイズ抑制コンデンサの静電容量を電力変換部に用いられるスイッチング素子の直流電圧印加時における主電極間の静電容量よりも大きな値にすればよい。

40

【実施例 2】

【0046】

上述した図 1 に示した本発明の実施例 1 の回路構成においては、ノイズ抑制コンデンサ C_1 が有する寄生インダクタンス成分 (L_{1p} , L_{1n})、パワーモジュール内のインダクタンス成分 (図示せず) および直流電源ライン 6 , 7 のインダクタンス成分 (L_{p3} , L_{n3}) の各インダクタンス成分と、IGBT ($S_1 \sim S_6$) の出力容量 C_{oes} およびノイズ抑制コンデンサ C_1 の各キャパシタンス成分とで形成される直列回路において直列共振が発生する。この直列共振に伴い所望のノイズレベルを上回るノイズが発生することがある。

【0047】

50

この場合は、図 8 の本発明の実施例 2 を示す回路図に記載のとおり、ノイズ抑制コンデンサ C 1 と直列に抵抗器 R 1 を接続し、この直列回路をインバータ 3 に最も近い電源ライン 6 , 7 間に接続すると良い。このような回路構成にすることで、前述した直列共振に伴うノイズを効果的に低減することができる。また特に図示しないが、ノイズ抑制コンデンサ C 1 と並列に抵抗器 R 1 を接続しても、ノイズ低減効果を得ることができる。

【実施例 3】

【0048】

この実施例 3 が上述した実施例 1 および 2 と異なるところは、図 9 に示すようにスナバコンデンサ C s の静電容量より小さな値で、かつ、電力変換部を構成する IGBT (S 1 ~ S 6) の出力容量 C o e s よりも大きな静電容量を有するノイズ抑制コンデンサ C 1 と、このノイズ抑制コンデンサ C 1 よりも静電容量が小さな値で、かつ、IGBT (S 1 ~ S 6) の出力容量 C o e s よりも大きな静電容量を有する別のノイズ抑制コンデンサ C 2 を直流電源ライン 6 , 7 間に接続した点にある。すなわち、複数のノイズ抑制コンデンサ C 1 , C 2 を、電力変換部を構成するスイッチング素子に近づくほど静電容量が小さく、かつ、スナバコンデンサ C s に近づくほど静電容量を大きくして直流電源ライン 6 , 7 間に接続する回路構成にする。

【0049】

このようにすることで、実施例 1 で述べた並列共振に加え、ノイズ抑制コンデンサ C 1 が有する寄生インダクタンス (L 1 p , L 1 n) と、ノイズ抑制コンデンサ C 1 , C 2 間の直流電源ライン 6 , 7 のインダクタンス (L p 3 , L n 3) の直列インダクタンス成分と、ノイズ抑制コンデンサ C 2 との間に並列共振が発生し、より高いノイズ低減効果を得ることができる。

【0050】

尚、図 9 に示した本発明の実施例 3 に係る電力変換装置は、ノイズ抑制コンデンサ C 1 , C 2 の二つのコンデンサを並列に接続したが、より多くのコンデンサを並列接続してもかまわない。要は本発明の電力変換装置は、最適なノイズ抑制効果が得られるように並列接続するコンデンサの静電容量と個数を設定すれば良く、コンデンサの並列接続数は限定されるものではない。また、ノイズ抑制コンデンサには、セラミックコンデンサを適用する。

【実施例 4】

【0051】

図 10 を参照しながら本発明の実施例 4 に係る電力変換装置を説明する。

【0052】

この実施例 4 が上述した実施例 3 と異なるところは、実施例 2 で説明したようにノイズ抑制コンデンサ C 1 , C 2 と直列にそれぞれ抵抗器 R 1 , R 2 を接続した回路にした点にある。

【0053】

このような構成をとる本発明の実施例 4 に係る電力変換装置は、ノイズ抑制コンデンサ C 1 , C 2 を追加したことによって発生する直列共振に伴うノイズ成分を抵抗器 R 1 , R 2 で効果的に低減することができる。

【0054】

なお、この実施例 4 の変形例としては、特に図示しないが抵抗器 R 1 , R 2 をノイズ抑制コンデンサ C 1 , C 2 に並列に接続した回路構成としても構わない。

【実施例 5】

【0055】

次に本発明の電力変換装置を実現する実装例を説明する。図 11 は、本発明の実施例 5 を示す図であり、直流電源ライン 6 , 7 がプリント基板上に形成されたプリントパターンによる場合を示している。この図は、IGBT (S 1 ~ S 6) が一つのパワーモジュール 8 内にパッケージングされたものを基板の裏面に配置したものである。このパワーモジュールの直流端子 M 1 , M 2 をプリント基板に形成された直流電源ライン 6 , 7 のプリント

パターンにそれぞれ接続する。この直流電源ライン 6 , 7 上の直流端子 M 1 , M 2 の近傍にノイズ抑制コンデンサ C 1 を実装する。

【 0 0 5 6 】

このノイズ抑制コンデンサ C 1 の静電容量は、上述した実施例 1 ~ 4 で説明したようにスナバコンデンサ C s の静電容量よりも小さな値であり、かつ、半導体スイッチング素子 (I G B T ; S 1 ~ S 6) の主電極 (コレクタ - エミッタ) 間容量 C o e s (出力容量) より大きな値とする。

【 0 0 5 7 】

ノイズ抑制コンデンサ C 1 およびスナバコンデンサ C s を上述したように実装することによってノイズ成分を低減することができる。また、直流電源ラインのインピーダンスが、従来の電力変換装置に対して小さくなるため、スイッチングサージも悪化しない。

10

【 0 0 5 8 】

尚、特に図示しないが実施例 2 ~ 4 についても、本実施例 5 に従ってプリント基板上に実装すればよい。

【 実施例 6 】

【 0 0 5 9 】

図 1 2 は、直流電源ライン 6 , 7 がバー配線で構成された場合の実施例を示す図である。

【 0 0 6 0 】

この実施例 6 においても、直流電源ライン 6 , 7 を構成するバー配線 B 1 , B 2 のパワーモジュール 8 との接続箇所の近傍にノイズ抑制コンデンサ C 1 を、さらにこの接続箇所よりも離れた箇所にスナバコンデンサ C s を例えば螺子止め等でバー配線 B 1 , B 2 にそれぞれ実装する。

20

【 0 0 6 1 】

このノイズ抑制コンデンサ C 1 の静電容量は、上述した実施例 1 ~ 5 で説明したようにスナバコンデンサ C s の静電容量よりも小さな値であり、かつ、半導体スイッチング素子 (I G B T ; S 1 ~ S 6) の主電極 (コレクタ - エミッタ) 間容量 C o e s (出力容量) より大きな値とする。

【 0 0 6 2 】

この実施例 6 においても、上述したようにノイズ抑制コンデンサ C 1 およびスナバコンデンサ C s を実装することによってノイズ成分を低減することができる。また、直流電源ラインのインピーダンスが、従来の電力変換装置に対して小さくなるため、スイッチングサージも悪化しない。

30

【 0 0 6 3 】

尚、特に図示しないが実施例 2 ~ 4 についても、本実施例 6 に従ってバー配線 B 1 , B 2 に実装すればよい。

【 実施例 7 】

【 0 0 6 4 】

図 1 3 , 1 4 は、本発明の電力変換装置において、パワーモジュール 8 内に上述した実施例 1 におけるノイズ抑制コンデンサ C 1 を内蔵してパッケージングしたときの回路構成を示す図である。図 1 3 は、二つのスイッチング素子 (I G B T) を直列に接続した、いわゆる 2 i n 1 タイプに本発明を適用した回路構成を示している。同様に図 1 4 は、六つのスイッチング素子をブリッジ接続した、いわゆる 6 i n 1 タイプに本発明を適用した回路構成である。また、図 1 5 は、本発明を P I M に適用した回路構成である。この P I M 2 0 は、六つのダイオード (D 1 ~ D 6) で構成されるコンバータ 2 と、六つのスイッチング素子 (S 1 ~ S 6) およびノイズ抑制コンデンサ C 1 を備えたインバータ 3 とを一体パッケージ化したものである。

40

【 0 0 6 5 】

尚、特に図示しないが、この実施例 7 に従って、上述した実施例 2 ~ 4 の電力変換装置におけるノイズ抑制コンデンサをパワーモジュール内に内蔵してパッケージングしても構

50

わない。

【 0 0 6 6 】

このように本発明の実施例 7 に係る電力変換装置は、ノイズ抑制コンデンサやこのコンデンサと直列に接続される抵抗器を半導体モジュール内に内蔵しているので、これらノイズ抑制コンデンサや抵抗器を配線パターンやブスバーに接続することなくコンパクトで効果的にノイズを抑制することが容易に実現できる。

【実施例 8】

【 0 0 6 7 】

実施例 1 ~ 4 には、六つのダイオード D 1 ~ D 6 によってコンバータ 2 を構成した例を示したが、本発明の電力変換装置はこれ以外にも、例えば図 1 6 に示すように二つスイッチング素子 (S 1 1 と S 1 4 , S 1 2 と S 1 5 、 S 1 3 と S 1 6) をそれぞれ直列に接続した直列回路を 3 組並列に接続してコンバータ 9 を構成してもよい。そしてこのコンバータは、図示しない制御回路によって、例えば P W M 制御される (P W M コンバータ) 。

【 0 0 6 8 】

尚、上述した実施形態は、スイッチング素子として I G B T を用いた電力変換装置について説明したが、この I G B T に代えて M O S F E T のような自己消弧デバイスを用いて構成しても勿論かまわない。

【 0 0 6 9 】

要は本発明の電力変換装置は、前記直流電源ラインの正ラインと負ラインの線間にスナバコンデンサ C s と、スナバコンデンサ C s と電力変換部の間にノイズ抑制コンデンサ C 1 を設け、このノイズ抑制コンデンサ C 1 の静電容量を電力変換部に用いるスイッチング素子のコレクタ - エミッタ間容量 (出力容量) C o e s より大きな値で、かつスナバコンデンサ C s よりも小さな値とすればよく、コンバータやインバータの構成方法およびその制御方式によって限定されるものではない。また本発明は、これまで説明した 2 レベルに限らず 3 レベル等のマルチレベルであったり、三相に限らず単相であっても良い。さらにその適用対象は、直流ラインと電力変換部を具備していればコンバータインバータの以外による回路構成によるもの、例えばパワーコンディショナー等でも良い。

【実施例 9】

【 0 0 7 0 】

実施例 1 ~ 4 および実施例 8 には、コンバータ - インバータの構成例を示したが、本発明の電力変換装置はこれ以外にも、例えば、半導体スイッチング素子によって入力された直流電圧をスイッチングし、他の直流電圧に変換する D C - D C コンバータであっても良い。そこでここでは、本発明の別の実施形態に係る電力変換装置として、D C - D C コンバータについて図 1 7 を参照しながら説明する。

【 0 0 7 1 】

図 1 7 は、D C - D C コンバータの要部概略構成を示す回路図である。この図において、一次巻線 t 1 と二次巻線 t 2 を備えることで変圧器 T を形成し、一次巻線 t 1 はスイッチング素子 (M O S F E T) Q 1 ~ Q 4 で構成されるブリッジ回路 1 0 に接続される。ブリッジ回路は直流電源 V d c と正・負の直流電源ライン 6 , 7 で接続されており、スイッチング素子 Q 1 ~ Q 4 を交互にスイッチングさせることで、直流電圧を交流電圧に変換して変圧器 T に送る。一方、二次巻線 t 2 には、ブリッジ接続された整流用ダイオード (D 1 ~ D 4) と、この整流用ダイオードから出力される直流電圧を平滑する平滑コンデンサ C d c が接続され、図示しない負荷へ直流電力を供給するようになっている。概略的には、このように構成された D C - D C コンバータにおいても正および負の直流電源ライン 6 , 7 には、配線インダクタンス L p 1 , L p 2 , L p 3 , L n 1 , L n 2 , L n 3 が存在する。そこで上述した実施例と同様に、正ライン 6 と負ライン 7 の線間にスナバコンデンサ C s 、このスナバコンデンサ C s とブリッジ回路 1 0 の間にノイズ抑制コンデンサ C 1 を設ける。そして、コンデンサ C 1 の静電容量を、ブリッジ回路 1 0 に用いられる M O S F E T (Q 1 ~ Q 4) のドレイン - ソース間容量 (出力容量) C o d s より大きな値とし、かつ、スナバコンデンサ C s の静電容量よりも小さな値とする。このようにすること

で本発明の実施例 9 に係る電力変換装置は、スイッチングサージ抑制と放射ノイズおよび伝導ノイズの抑制を同時に実現することができる。

【 0 0 7 2 】

尚、特に図示しないが、この実施例 9 についても上述した実施例 2 ～ 8 が適用できることはいうまでもない。

【 0 0 7 3 】

このように本発明の電力変換装置は、スイッチングサージの抑制と放射ノイズおよび伝導ノイズの抑制とを同時に、しかも容易に実現することが可能であり実用上、極めて有用である。

【 0 0 7 4 】

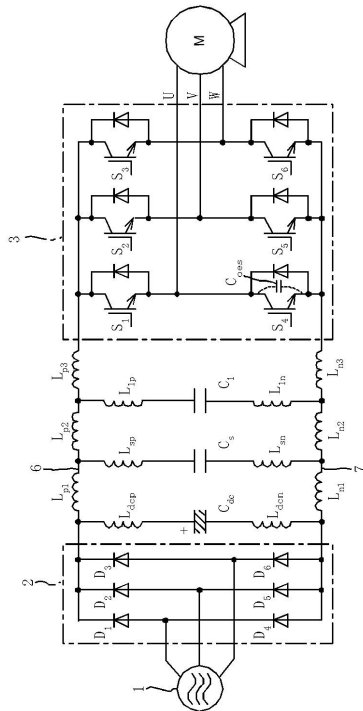
尚、本発明の電力変換装置は、上記した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加えてもかまわない。

【符号の説明】

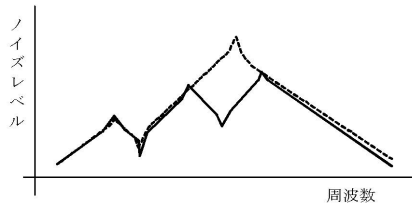
【 0 0 7 5 】

- 1 三相交流電源
- 2 コンバータ
- 3 インバータ
- 6, 7 直流電源ライン
- C 1, C 2 ノイズ抑制コンデンサ
- C d c 平滑コンデンサ
- C o e s 出力容量
- C s スナバコンデンサ

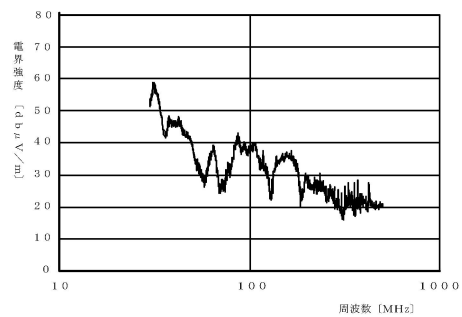
【図 1】



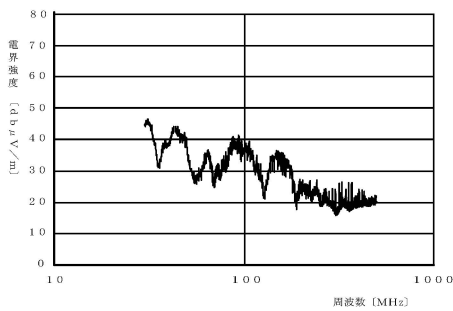
【図 2】



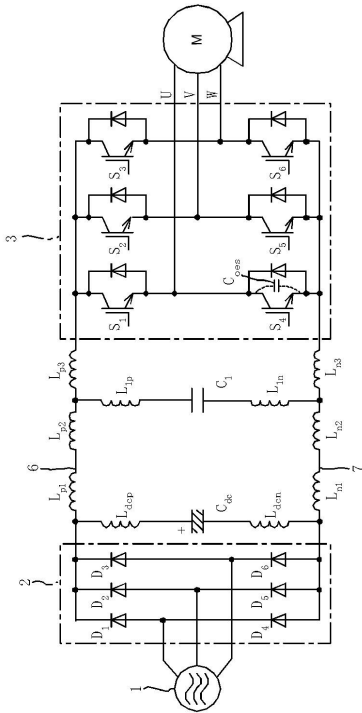
【図 3】



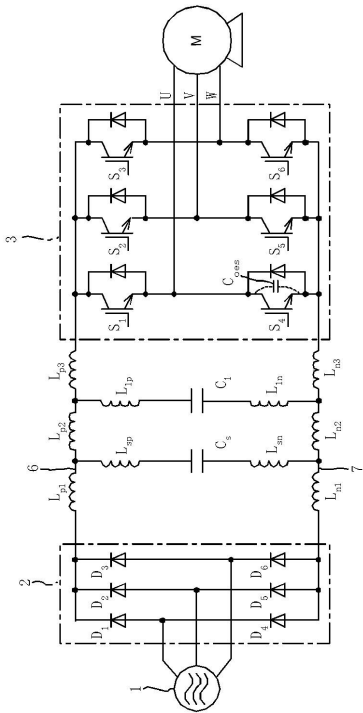
【図 4】



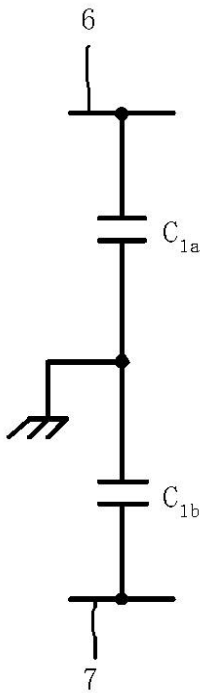
【図 5】



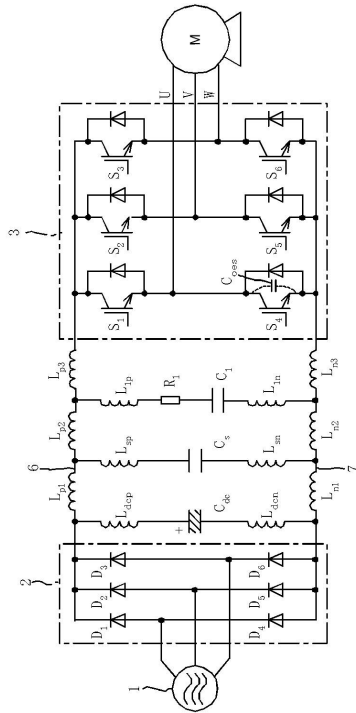
【図 6】



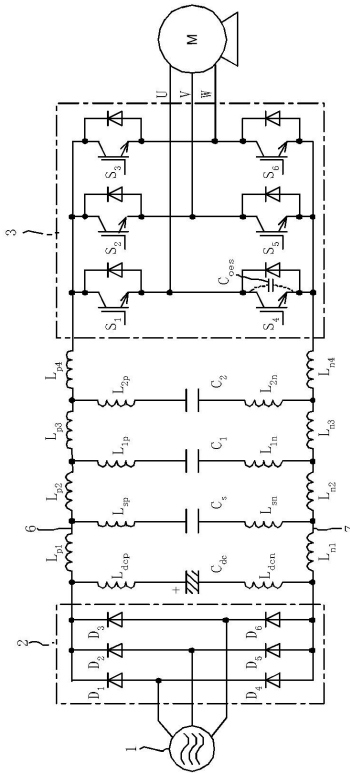
【図 7】



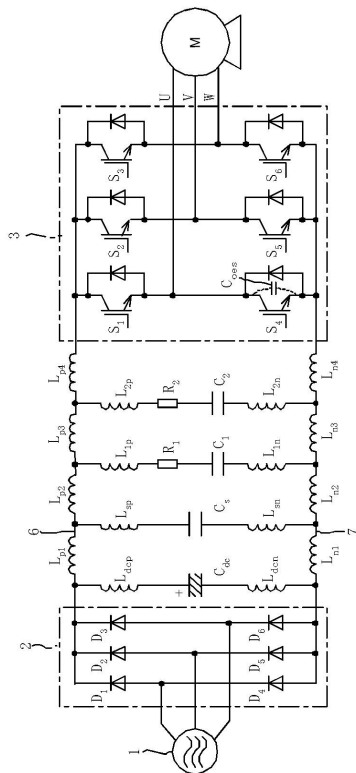
【図 8】



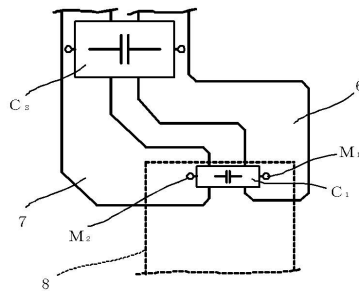
【図 9】



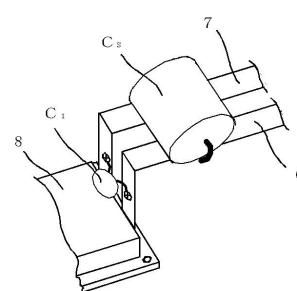
【図 10】



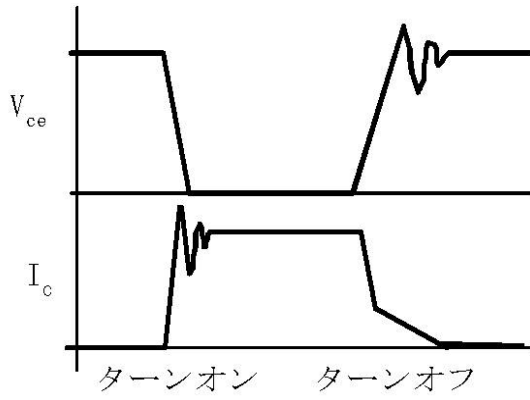
【図 11】



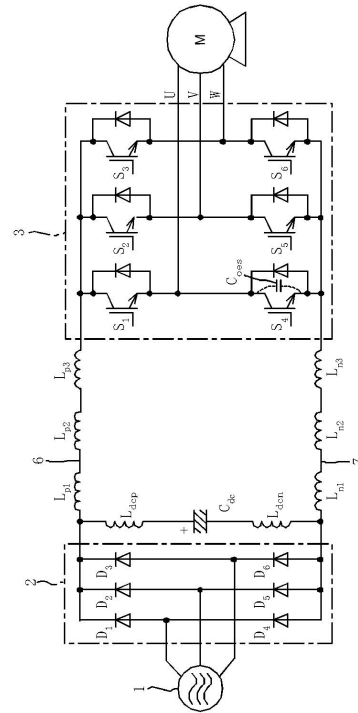
【図 12】



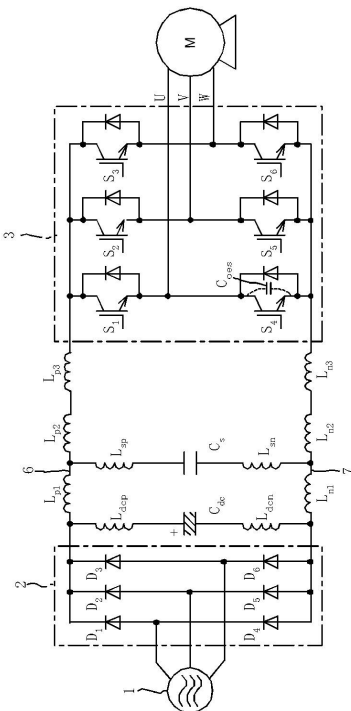
【図 18】



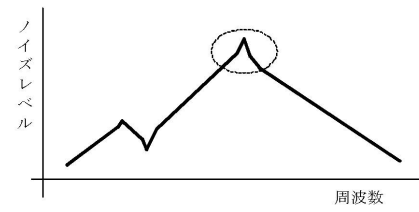
【図 19】



【図 20】



【図 21】



フロントページの続き

審査官 小原 正信

(56)参考文献 特開 2 0 0 4 - 2 5 4 3 5 5 (J P , A)
特開平 0 8 - 3 0 6 8 5 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 2 M 7 / 4 8
H 0 2 M 3 / 2 8