

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3955196号

(P3955196)

(45) 発行日 平成19年8月8日(2007.8.8)

(24) 登録日 平成19年5月11日(2007.5.11)

(51) Int. Cl.		F I		
HO 1 L	21/822	(2006.01)	HO 1 L	27/04 T
HO 1 L	27/04	(2006.01)	GO 1 R	31/28 G
GO 1 R	31/28	(2006.01)		

請求項の数 3 (全 19 頁)

(21) 出願番号	特願2001-269216 (P2001-269216)	(73) 特許権者	000005223
(22) 出願日	平成13年9月5日(2001.9.5)		富士通株式会社
(65) 公開番号	特開2003-78020 (P2003-78020A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成15年3月14日(2003.3.14)	(74) 代理人	100077517
審査請求日	平成16年11月5日(2004.11.5)		弁理士 石田 敬
		(74) 代理人	100092624
			弁理士 鶴田 準一
		(74) 代理人	100100871
			弁理士 土屋 繁
		(74) 代理人	100082898
			弁理士 西山 雅也
		(74) 代理人	100081330
			弁理士 樋口 外治

最終頁に続く

(54) 【発明の名称】 試験回路および半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

差動信号を出力する出力回路と、
 前記出力回路の前記差動信号の出力ノード対に対して並列に接続されて、前記出力ノード対の接続検証を、差動試験信号で試験する試験回路と、を備え、
 前記試験回路は、
 前記出力ノード対の接続検証を行うための試験データを発生する試験データ発生回路と

前記試験データ発生回路からの試験データが入力され、前記出力ノード対に前記差動試験信号を出力する試験用出力バッファと、を備えることを特徴とする半導体集積回路装置

10

【請求項2】

差動信号が入力される入力回路と、
 前記入力回路の前記差動信号の入力ノード対に対して並列に接続されて、前記入力ノード対の接続検証を、前記入力ノード対に与えられた差動試験データで試験する試験回路と、を備え、
 該試験回路は、
 前記入力ノード対の接続検証を行うための検証用データを処理する検証用データ処理回路と、

前記入力ノード対に入力された前記差動試験データが入力され、試験データ処理回路に

20

、前記検証用データを出力する試験用入力バッファと、を備えることを特徴とする半導体集積回路装置。

【請求項3】

請求項2に記載の半導体集積回路装置において、

前記試験用入力バッファが、前記差動試験データをシングルエンドの検証用データに変換することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はLSI (Large Scale Integration Circuit)間、或いは、装置間において高速に信号の送信および受信を行う信号伝送システムのテスト技術に関し、特に、ノードの接続検証を実施する試験回路および半導体集積回路装置に関する。 10

【0002】

近年、LSIの高速動作に伴って、LSI間や複数のLSIで構成した装置間の信号伝送として、大容量の信号伝送を高速に行うことが必要とされている。例えば、ネットワークインフラ向けのソリューションでは、ギガビットの高速伝送が要求されるようになり、「ギガビットSERDES (Serializer and Deserializer)」といったデバイスが注目されるようになって来ている。しかしながら、このような極めて高速のLSI間等においては、一般的なバウンダリスキャンレジスタを用いたJTAG (Joint Test Action Group) 試験が困難であり、ノードの接続検証を実施する有効な試験回路および半導体集積回路装置の提供が要望されている。 20

【0003】

【従来の技術】

近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上し、それに伴って各LSI (LSIチップ)間、或いは、複数のLSIで構成した装置間においても、高速な信号の送信および受信を行うことが必要となって来ている。

【0004】

従来、例えば、数十MHz程度の比較的低速なデータ転送には、TTL等のシングルエンド方式(1本の信号線でデータを伝送する方式)が使用されていた。しかしながら、このシングルエンド方式は、外来ノイズを受けやすいことや伝送距離が短いといった欠点があり、さらに、EMI (Electro Magnetic Interface: 電磁輻射ノイズ)が発生しやすいことが問題となっていた。 30

【0005】

このように、シングルエンド方式は上記のような問題を抱えているため、高速伝送に対応した送受信端子には、PCML (Pseudo-Current Mode Logic)方式やLVDS (Low Voltage Differential Signaling)方式といった差動信号(相補信号)を使用するものの適用が主流となって来ている。これらの方式は、2本の信号線を使用して小振幅の差動信号でデータを伝送するもので、シングルエンド方式に比べて、EMIを約5分の1に低減し、また、2本の差動信号線間でノイズを打ち消すことができるため、数十mの距離を伝送することができ、さらに、小振幅であるため、クロストークを抑制することも可能である 40

【0006】

ところで、高速伝送を実現する送受信回路(出力回路および入力回路)を組み込んだシステムを考えた時、そのテスト方法についても注目しなければならない。一般に、プリント基板内部での各信号の接続状況を確認するには、JTAG (Joint Test Action Group) 試験(バウンダリスキャンテスト)が行われている。すなわち、電子部品の軽薄短小化やパッケージ技術の進歩により、JTAGによるインサーキットテストが標準の技術として確立されている。

【0007】

ここで、バウンダリスキャン (Boundary Scan) とは、ターゲットとなる半導体集積回路 50

装置（LSI）とデータの遣り取りをするためのアーキテクチャであり、LSIの内部にバウンダリスキャン用のメカニズムを組み込むようになっている。すなわち、LSI内部のコアと各ピンとの間にテストプローブと等価な働きをするバウンダリスキャンセルを設け、これを結合してシフトレジスタを構成し、このシフトレジスタを制御してテスト（ボードテスト等）を行うようになっている。

【0008】

しかしながら、現状では、送受信回路を組み込んだシステムにおいて、PCML方式やLVDS方式といった差動端子を考慮したJTAG試験の事例がなく、BSR（Boundary Scan Register：バウンダリスキャンレジスタ）の挿入やテスト方法についての技術が確立されていない状況にある。送信側におけるBSRなどの試験回路は送信回路（出力回路）の10 入力段に接続され、試験回路から出力回路を通して試験用のデータが送信される。一方、受信側における試験回路は受信回路（入力回路）の出力段に接続され、入力回路を通して試験用データを受け取るようになっている。

【0009】

【発明が解決しようとする課題】

上述したように、LSIチップの動作試験、或いは、パッケージやパッケージを搭載するボードの接続試験（ボードテスト）を行うためには、バウンダリスキャンなどによる試験が必要となる。この場合、送受信回路を組み込んだシステムと外部回路との接続確認の際に、シングルエンド端子と差動端子とに分けてテストを行うことは非効率的である。

【0010】

シングルエンド端子と同様に差動端子もJTAG試験が可能となれば、1つのフローの中でテストが可能となり、テストの時間短縮や効率化につながる。この場合、試験用データが出力回路から送信側端子へ出力される必要があり、一方、入力回路では受信端子から入力される試験データを受信する必要がある。

【0011】

しかしながら、高速で動作するシリアル-パラレル変換などの信号処理回路と送信回路（出力回路）或いは受信回路（入力回路）とが接続されている場合、送信或いは入力回路と信号処理回路との間にBSR（バウンダリスキャンレジスタ）などの試験回路を挿入することは性能の低下を招く要因になる。また、差動出力および差動入力の場合、従来のBSRを端子に付けることは不可能である。

【0012】

本発明は、上述した従来の試験回路に鑑み、ノードの接続検証を実施する有効な試験回路および半導体集積回路装置の提供を目的とする。

【0013】

【課題を解決するための手段】

本発明の第1の形態によれば、差動信号を出力する出力回路と、前記出力回路の前記差動信号の出力ノード対に対して並列に接続されて、前記出力ノード対の接続検証を、差動試験信号で試験する試験回路と、を備え、前記試験回路は、前記出力ノード対の接続検証を行うための試験データを発生する試験データ発生回路と、前記試験データ発生回路からの試験データが入力され、前記出力ノード対に前記差動試験信号を出力する試験用出力バッファと、を備えることを特徴とする半導体集積回路装置が提供される。

【0014】

本発明の第2の形態によれば、差動信号が入力される入力回路と、前記入力回路の前記差動信号の入力ノード対に対して並列に接続されて、前記入力ノード対の接続検証を、前記入力ノード対に与えられた差動試験データで試験する試験回路と、を備え、該試験回路は、前記入力ノード対の接続検証を行うための検証用データを処理する検証用データ処理回路と、前記入力ノード対に入力された前記差動試験データが入力され、試験データ処理回路に、前記検証用データを出力する試験用入力バッファと、を備えることを特徴とする半導体集積回路装置が提供される。

【0015】

10

20

30

40

50

本発明によれば、送信側においては、試験データを発生する試験データ発生回路と、この試験データ発生回路の出力試験データを差動出力信号に変換する回路の出力（例えば、差動出力）を、本来のデータ出力回路と並列に出力端子に接続する。また、受信側においては、例えば、差動信号として送られてくる試験データを受信する入力回路（受信回路）と受信した試験データを処理する試験データ処理回路を、本来のデータを受信する入力回路と並列に受信端子に接続する。

【0016】

さらに、差動入力端子においては、BSRが受信データ（差動信号）を受け取ることができるように入力用BSRのデータ入力部分に差動センスアンプを搭載する。また、高速データ転送の性能低下を防ぐために、差動入力端子とBSRの間にパスゲートを挿入する。差動出力端子においては、BSRから送信されるデータ（シングルエンド信号）によって、出力回路（送信回路）内部を制御し、差動出力端子から送信データに相応した差動信号を出力させる。

10

【0017】

すなわち、本発明では、高速で動作するシリアル-パラレル変換などの信号処理回路と出力或いは入力回路が接続されている場合、出力或いは入力回路と信号処理回路の間に試験回路を挿入することは性能の低下を招く要因となるため、本来のデータ入力回路（受信回路）と並列に差動信号を受信データとして取り込むことのできる試験回路を設ける。これにより、本来のデータ入力回路に試験回路を挿入する必要がなくなり、高速データの受信における性能の低下を防ぐことが可能となる。

20

【0018】

さらに、試験回路と差動入力端子の間に、例えば、パスゲートを設けることにより、高速データ転送時の試験回路と入力回路の干渉を防いで性能低下を防止することが可能となる。同様に、本来のデータ出力回路と並列に試験回路および試験用のデータ出力回路を設けることにより、本来のデータ出力回路に試験回路を挿入する必要がなくなり、高速データの送信における性能低下を防止することが可能となる。

【0019】

なお、差動出力端子にパスゲートを介して試験回路を接続することも可能であるが、このような差動出力端子にパスゲートを介して直接試験回路を接続する手法では、駆動能力を上げるためにトランジスタのサイズが大きくなると共に、負荷も大きくなり、高速データ転送の性能の低下を防ぐことはできない。すなわち、ギガビットの高速動作を要求されるような出力回路の場合には、対応が困難になる恐れがある。そこで、送信側においては、試験回路から送信するデータ（シングル信号）を利用して、出力回路内部の制御を行うことによって、試験回路の送信データに相応した差動信号を外部に出力させ、これにより、高速データ転送の性能低下を防ぐことが可能となる。

30

【0020】**【発明の実施の形態】**

以下、本発明に係る試験回路および半導体集積回路装置の実施例を、添付図面を参照して詳述する。

【0021】

図1は本発明に係る試験回路が適用される半導体集積回路装置の一例を示すブロック図である。図1において、参照符号1はコア（コアロジック）、2は差動の入力回路部（受信回路マクロ）、3は差動の出力回路部（送信回路マクロ）、4はシングルエンド端子部、そして、5はテスト制御回路を示している。

40

【0022】

入力回路部2は、差動の入力信号AI0～AI18が入力されるBSR（バウンダリスキャンレジスタ）付きの入力回路（受信回路）20-0～20-18を備え、その端子RX-TDI（入力回路用TDI）はテスト制御回路5に接続され、そして、その端子RX-TDO（入力回路用TDO）はシングルエンド端子部4において入力信号AI19が入力されるBSR40-19に接続される。なお、BSR付きの入力回路20-0～20-1

50

8 はマニュアルで挿入され、B S R 付きの入力回路 2 0 - 0 ~ 2 0 - 1 8 の各実施例は、
図面 (図 6 ~ 図 1 0) を参照して後に詳述する。

【 0 0 2 3 】

出力回路部 3 は、差動の出力信号 X O 0 ~ X O 1 8 を出力する B S R 付きの出力回路 (送信回路) 3 1 - 0 ~ 3 1 - 1 8 を備え、その端子 T X - T D O (出力回路用 T D O) はテスト制御回路 5 に接続され、そして、その端子 T X - T D I (出力回路用 T D I) はシングルエンド端子部 4 において出力信号 X O 1 9 を出力する B S R 4 1 - 1 9 に接続される。なお、B S R 付きの出力回路 3 1 - 0 ~ 3 1 - 1 8 はマニュアルで挿入され、B S R 付きの出力回路 3 1 - 0 ~ 3 1 - 1 8 の各実施例は、図面 (図 2 ~ 図 5 および図 1 1 ~ 図 1 4) を参照して後に詳述する。

10

【 0 0 2 4 】

シングルエンド端子部 4 は、シングルエンドの入力信号 A I 1 9 , A I 2 0 , ... が入力される B S R 4 0 - 1 9 , 4 0 - 2 0 , ...、および、シングルエンドの出力信号 X O 1 9 , X O 2 0 , ... を出力する B S R 4 1 - 1 9 , 4 1 - 2 0 , ... を備える。ここで、シングルエンド端子部 4 における B S R は、例えば、従来の J T A G デバイスと同様に自動で挿入される。

【 0 0 2 5 】

テスト制御回路 (T A P コントローラ) 5 には、端子 T D I , T M S , T C K , T R S T および T D O が接続されている。すなわち、半導体集積回路装置 (L S I) は、従来の J T A G デバイスのように、T A P (Test Access Port) と呼ばれる T D I、T D O、T M S、T C K および T R S T の 5 つの端子、並びに、テストモード用の端子 T E S T - M O D E を備え、そこからデバイスに組み込まれたテスト制御回路 5 にアクセスし、また、テストデータの入出力を行うようになっている。

20

【 0 0 2 6 】

端子 T D I (Test Data Input) は、シリアルのテストデータ入力端子であり、この端子 T D I からデータまたは命令を入力し、入力されたのが命令であれば命令レジスタに転送され、また、入力されたのがデータであればデータレジスタに転送される。

【 0 0 2 7 】

端子 T D O (Test Data Output) は、端子 T D I から入力されたデータをバイパスし、或いは、命令レジスタまたはデータレジスタの値を取り出すためのシリアルのテストデータ出力端子である。端子 T M S (Test Mode Select) および端子 T C K (Test Clock) は、J T A G デバイスに内蔵されたテスト制御回路 5 を制御するための信号で、データレジスタや命令レジスタ、および、マルチプレクサ等を制御することによりパウンダリスキャンアーキテクチャを実現する。

30

【 0 0 2 8 】

なお、端子 T R S T (Test Reset) は、テスト制御回路 5 を初期化するための信号であり、これはオプションとして設定してもよい。

【 0 0 2 9 】

このように、図 1 に示す半導体集積回路装置は、差動入力端子および差動出力端子に B S R を搭載した送受信回路マクロを提供することによって、システムレベルでの J T A G 試験が可能となる。ここで、シングルエンドの信号 (シングル信号) の場合、B S R の挿入方法はテスト合成ツール等による自動挿入が一般的になっているが、差動端子については、このようなツールを用いての自動挿入はできない。そこで、各差動の送信端子および各差動の受信端子は、B S R をマニュアルで挿入しなければならないが、これをマクロとして提供し、自動挿入されたシングルエンド端子の B S R チェーンの中に組み込むことによって、単一のテスト制御回路による J T A G 試験が可能となる。なお、上記の J T A G 試験 (パウンダリスキャンテスト) は、ボード上の結線だけでなく、例えば、ケーブルを介した回路基板間や筐体間における接続の確認を行うことも可能である。

40

【 0 0 3 0 】

図 2 は本発明に係る試験回路の第 1 実施例を示すブロック図であり、出力回路 (送信回路

50

)の例を示すものである。図2(図2~図5)において、参照符号31は出力回路(図1における各BSR付き出力回路31-0~31-18に対応)、310はデータ出力回路、そして、320は試験データ出力回路を示している。なお、X0、/X0は差動出力端子(図1における各X00~X018に対応)を示している。

【0031】

図2に示されるように、出力回路31は、信号処理回路(出力信号処理回路)311およびデータ用出力バッファ312を有するデータ出力回路310と、このデータ出力回路310に並列に接続され、試験データ発生回路321および試験用出力バッファ322を有する試験データ出力回路320とを備えている。

【0032】

半導体集積回路装置から出力されるデータは、信号処理回路311から差動のデータ用出力バッファ312を介して差動出力端子X0、/X0に出力され、また、試験データは、試験データ発生回路321および試験用出力バッファ322を介して差動出力端子X0、/X0に出力される。

【0033】

すなわち、第1実施例において、試験用出力バッファ322は、データ用出力バッファ312の出力ノード(差動出力端子X0、/X0)に対して並列に接続されるようになっている。

【0034】

図3は本発明に係る試験回路の第2実施例を示すブロック図である。図2と図3との比較から明らかなように、本第2実施例では、差動の試験用出力バッファ322が、2つのバッファ3221、3222およびインバータ3223で構成されている。

【0035】

すなわち、試験データ発生回路321の出力データに対して正および負論理を発生し、正および負の2つの出力バッファを用いて差動の試験データを出力するように構成してもよい。なお、試験データ発生回路321をスキャン可能なレジスタ(スキャンレジスタ)で構成すれば、半導体集積回路装置(LSIチップ)の外部端子におけるバンダリスキャンを行うこともできる。

【0036】

図4は本発明に係る試験回路の第3実施例を示すブロック図である。図2と図4との比較から明らかなように、本第3実施例では、差動の試験用出力バッファ322と出力ノードX0、/X0との間にそれぞれESD(Electrostatic Discharge)保護素子331、332が挿入されている。

【0037】

このように、本第3実施例では、試験用出力バッファ322および出力ノードX0、/X0の間にESD保護素子331、332を設けることにより、試験回路における耐ESD特性を向上させるようになっている。

【0038】

図5は本発明に係る試験回路の第4実施例を示すブロック図である。

【0039】

図5に示されるように、本第4実施例では、データ出力回路310における信号処理回路313がnビットの平行データをシリアルデータに変換するマルチプレクサ(n:1MUX)の機能を備え、また、試験データ出力回路320における試験データ発生回路323もデータ出力回路310と同様のシーケンスで試験データを発生するようになっている。

【0040】

ここで、試験データ発生回路323(321)をスキャン可能なレジスタで構成すれば、データ出力回路310をバイパスしてバンダリスキャンが可能となる。また、データ出力回路310とは独立に試験データ発生回路323(321)に試験用クロックを供給すれば、データ出力回路310とは独立に試験を行うこともできる。

10

20

30

40

50

【0041】

図6は本発明に係る試験回路の第5実施例を示すブロック図であり、入力回路（受信回路）の例を示すものである。図6（図6～図9）において、参照符号20は入力回路（図1における各BSR付き入力回路20-0～20-18に対応）、210はデータ入力回路、そして、220は試験データ入力回路を示している。なお、AI、/AIは差動入力端子（図1における各AI0～AI18に対応）を示している。

【0042】

図6に示されるように、入力回路20は、信号処理回路（入力信号処理回路）211およびデータ用入力バッファ212を有するデータ入力回路210と、このデータ入力回路210に並列に接続され、試験データ処理回路221および試験用入力バッファ222を有する試験データ入力回路220とを備えている。

10

【0043】

半導体集積回路装置の差動入力端子AI、/AIから入力されたデータは、データ用入力バッファ212を介して信号処理回路211に入力され、また、試験データは、試験用入力バッファ222を介して試験データ処理回路221に入力される。

【0044】

すなわち、本第5実施例において、試験用入力バッファ222は、データ用入力バッファ212の入力ノード（差動入力端子AI、/AI）に対して並列に接続されるようになっている。

【0045】

図7は本発明に係る試験回路の第6実施例を示すブロック図である。図6と図7との比較から明らかなように、本第6実施例では、差動の試験用入力バッファ222における一方の入力（正入力）をデータ用入力バッファ212の正入力に接続し、試験用入力バッファ222における他方の入力（負入力）を基準電圧Vrefに接続して、差動の試験データを受信するようになっている。なお、試験データ処理回路221をスキャンレジスタで構成すれば、半導体集積回路装置（LSIチップ）の外部端子におけるバンダリスキャンを行うこともできる。

20

【0046】

図8は本発明に係る試験回路の第7実施例を示すブロック図である。図6と図8との比較から明らかなように、本第7実施例では、差動の入力ノードAI、/AIと試験用入力バッファ222との間にそれぞれESD保護素子231、232が挿入されている。

30

【0047】

このように、本第7実施例では、入力ノードAI、/AIと試験用入力バッファ222との間にESD保護素子231、232を設けることにより、試験回路における耐ESD特性を向上させるようになっている。

【0048】

図9は本発明に係る試験回路の第8実施例を示すブロック図である。

【0049】

図9に示されるように、本第8実施例では、データ入力回路210における信号処理回路213がシリアルデータをnビットの平行データに変換するデマルチプレクサ（1:n DEMUX）の機能を備え、また、試験データ入力回路220における試験データ処理回路223もデータ入力回路210と同様のシーケンスで試験データを処理するようになっている。

40

【0050】

ここで、試験データ処理回路223（221）をスキャン可能なレジスタで構成すれば、データ入力回路210をバイパスしてバンダリスキャンが可能となる。また、データ入力回路210とは独立に試験データ処理回路223（221）に試験用クロックを供給すれば、データ入力回路210とは独立に試験を行うこともできる。

【0051】

図10は本発明に係る試験回路の第9実施例を示すブロック回路図であり、差動入力対応

50

のバウンダリスキャンレジスタ（試験データ入力回路）220を示すものである。図10において、参照符号224は差動センスアンプ（試験用入力バッファ）、225は試験データ処理回路、そして、240はパスゲート回路を示している。

【0052】

図10に示されるように、本第9実施例において、試験データ入力回路220は、差動センスアンプ224で構成されるデータ用入力バッファ（212）、並びに、マルチプレクサ2251およびフリップフロップ2252で構成される試験データ処理回路225を備え、各差動入力端子A I、/A Iと差動センスアンプ224の各入力との間にテストモード信号TEST-MODEにより制御されるパスゲート回路240が挿入されている。なお、参照符号B S R I、/B S R Iは差動のバウンダリスキャンレジスタ入力信号（入力端子：Boundary Scan Register Input）を示している。また、データ入力回路210は、データ用入力バッファ212、および、デマルチプレクサ機能を有する信号処理回路213を備えて構成されている。

10

【0053】

パスゲート回路240は、2つのpチャンネル型MOSトランジスタ（pMOSトランジスタ）241、242およびインバータ243で構成され、テストモード信号TEST-MODEに応じてpMOSトランジスタ（パスゲート）241および242のオン/オフ制御を行うようになっている。

【0054】

本第9実施例において、差動センスアンプ（試験用入力バッファ）224は、テストモード信号TEST-MODE（バウンダリスキャンテスト信号B S T E S T）により制御されるようになっている。また、試験データ入力回路220には、テストデータ入力信号（T D I）、シフトデータレジスタ信号（Shift Data Register：S D R）およびキャプチャデータレジスタ信号（Capture Data Register：C D R）も入力され、テストデータ出力信号（T D O）を出力するようになっている。

20

【0055】

本第9実施例において、試験データ入力回路220は、外部回路との結線チェックに限定した試験回路とするために、試験データ入力回路220が内部と完全に分離した形で、その構成もシンプルなものとなっている。

【0056】

図11は本発明に係る試験回路の第10実施例を示すブロック回路図であり、差動出力対応のバウンダリスキャンレジスタ（試験データ出力回路）320を示すものである。図11において、参照符号324はセンスアンプ（試験用出力バッファ）、また、325は試験データ発生回路を示している。

30

【0057】

本第10実施例は、差動出力信号を出力可能とするために、試験データ出力回路320に対して差動信号を出力するセンスアンプ（試験用出力バッファ）324を設けるようになっている。

【0058】

試験データ発生回路325は、インバータ3251、ラッチ3252、および、フリップフロップ3253を備えて構成され、また、データ出力回路310は、マルチプレクサ機能を有する信号処理回路313、データ用出力バッファ314、および、インバータ315を備えて構成される。

40

【0059】

ここで、試験用出力バッファ324にはテストモード信号TEST-MODEが供給され、また、データ用出力バッファ314にはインバータ315によりレベル反転されたテストモード信号TEST-MODEが供給され、それぞれテストモード信号TEST-MODEに従って一方のバッファのみがアクティブとなるように制御される。すなわち、試験データ出力回路320からの試験データとデータ出力回路（ドライバ）310からのデータとの衝突が起きないように、テストモード信号TEST-MODEにより、試験用出力

50

バッファ 3 2 4 およびデータ用出力バッファ 3 1 4 の一方のみがオンするように制御される。

【 0 0 6 0 】

本第 1 0 実施例において、試験データ発生回路 3 2 5 には、テストデータ入力信号 (T D I)、キャプチャデータレジスタ信号 (C D R) およびアップデートデータレジスタ信号 (Update Data Register : U D R) も入力され、テストデータ出力信号 (T D O) を出力するようになっている。

【 0 0 6 1 】

本第 1 0 実施例において、試験データ出力回路 3 2 0 は、外部回路との結線チェックに限定した試験回路とするために、試験データ出力回路 3 2 0 が内部と完全に分離した形で、その構成もシンプルなものとなっている。

10

【 0 0 6 2 】

図 1 2 は本発明に係る試験回路の第 1 1 実施例を示すブロック回路図である。図 1 2 において、参照符号 3 1 4 0 はドライバ (データ用出力バッファ)、また、3 1 6 0 は終端抵抗部を示している。

【 0 0 6 3 】

上述した第 1 0 実施例のような手法は、出力信号の駆動能力を上げるためにサイズの大きなトランジスタを使用する必要があり、そのために負荷が大きくなって高速データ転送の性能が低下する恐れがある。そこで、本第 1 1 実施例では、試験データ出力回路 3 2 0 からの信号としてシングルエンドの信号 S S を利用して、データ出力回路 3 1 0 の内部 (ドライバおよび終端抵抗部) の制御を行うことにより、バウンダリスキャンレジスタ B S R の送信データ (試験データ出力回路 3 2 0 の出力信号 S S) に対応した差動信号を外部に出力させるようになっている。すなわち、本第 1 1 実施例では、負荷の影響を受けないため、高速データ転送の性能低下を防ぐことができる。

20

【 0 0 6 4 】

図 1 2 に示されるように、本第 1 1 実施例において、試験データ発生回路 3 2 6 (試験データ出力回路 3 2 0) は、インバータ 3 2 6 1、ラッチ 3 2 6 2、および、フリップフロップ 3 2 6 3 を備えて構成され、また、データ出力回路 3 1 0 は、マルチプレクサ機能を有する信号処理回路 3 1 3、ドライバ (データ用出力バッファ) 3 1 4 0、および、終端抵抗部 3 1 6 0 を備えて構成される。

30

【 0 0 6 5 】

ラッチ 3 2 6 2 のシングルエンドの出力信号は、ドライバ 3 1 4 0 に供給されて該ドライバを制御する。なお、差動の出力端子 X O および / X O には、それぞれ終端抵抗 3 1 6 1 および 3 1 6 2 が設けられている。

【 0 0 6 6 】

図 1 3 は本発明に係る試験回路の第 1 2 実施例を示すブロック回路図であり、図 1 2 に示す第 1 1 実施例の具体的な構成の一例を示すものである。

【 0 0 6 7 】

図 1 3 に示されるように、本第 1 2 実施例において、ドライバ 3 1 4 0 は、セクタ 3 1 4 1、3 1 4 2、インバータ 3 1 4 3、オアゲート 3 1 4 4 ~ 3 1 4 6、および、出力トランジスタ (n M O S トランジスタ) 3 1 4 0 a、3 1 4 0 b を備えて構成されている。ここで、参照符号 P D X はパワーダウン信号であり、通常時には高レベル『 H 』でパワーダウン時には低レベル『 L 』となる。なお、テストモード信号 T E S T - M O D E は、通常時には低レベル『 L 』でテストモード時には高レベル『 H 』となる。

40

【 0 0 6 8 】

図 1 3 に示されるように、本第 1 2 実施例において、終端抵抗 3 1 6 1 は並列接続された p M O S トランジスタ 3 1 6 1 1 および 3 1 6 1 2 で構成され、また、終端抵抗 3 1 6 2 は並列接続された p M O S トランジスタ 3 1 6 2 1 および 3 1 6 2 2 で構成される。トランジスタ 3 1 6 1 1 のゲートには、セクタ 3 1 4 1 の出力が供給され、また、トランジスタ 3 1 6 2 1 のゲートには、セクタ 3 1 4 2 の出力が供給されている。ここで、セレ

50

クタ3141および3142の一方の入力(0入力)には、パワーダウン信号PDXが供給され、また、セクタ3141の他方の入力(1入力)には、試験データ出力回路320(試験データ発生回路326)のシングルエンドの出力信号SSが供給され、そして、セクタ3142の他方の入力(1入力)には、インバータ3143でレベル反転された試験データ出力回路320の出力信号SSが供給されている。なお、セクタ3141および3142は、テストモード信号TEST-MODEにより制御されるようになっている。

【0069】

すなわち、テストモード信号TEST-MODEが低レベル『L』のとき(通常時)、トランジスタ31611および31621のゲートには、パワーダウン信号PDXが供給され、これらトランジスタ31611および31621は、通常時には両方共にオフでパワーダウン時には両方共にオンする。そして、テスト時(JTAG試験時)には、テストモード信号TEST-MODEが高レベル『H』となり、トランジスタ31611および31621のゲートには、それぞれ信号SSおよび/SSが供給され、これらトランジスタ31611および31621は、試験データ出力回路320(試験データ発生回路326)のシングルエンドの出力信号SSに応じて一方がオンで他方がオフする。

【0070】

出力トランジスタ3140aのゲートには、オアゲート3145の出力が供給され、また、出力トランジスタ3140bのゲートには、オアゲート3146の出力が供給される。オアゲート3145には、例えば、プリドライバの正論理の出力信号DATAおよびオアゲート3144の出力が供給され、また、オアゲート3146には、例えば、プリドライバの負論理の出力信号/ DATAおよびオアゲート3144の出力が供給される。そして、オアゲート3144には、テストモード信号TEST-MODEがその正論理入力に供給され、また、パワーダウン信号PDXがその負論理入力に供給される。従って、テストモード時(テストモード信号TEST-MODEが高レベル『H』)には、出力トランジスタ3140aおよび3140bは共にオン固定となる。なお、出力トランジスタ3140aおよび3140bは、パワーダウン時(パワーダウン信号PDXが低レベル『L』)にも共にオン固定となる。

【0071】

このように、本第12実施例は、試験データ出力回路320の出力信号(バウンダリスキャンレジスタBSRの送信データ)SSによって、終端抵抗(pMOSトランジスタ)3161, 3162を制御し、差動出力端子XO, /XOの電位差を調整する。これにより、本第12実施例では、負荷の影響を受けずに高速データ転送の性能低下を防ぐことができる。

【0072】

図14は本発明に係る試験回路の第13実施例を示すブロック回路図であり、図12に示す第11実施例の具体的な構成の他の例を示すものである。

【0073】

図14に示されるように、本第13実施例において、ドライバ3140は、セクタ3141, 3142、インバータ3143、出力トランジスタ(nMOSトランジスタ)3140a, 3140b、オアゲート3151, 3152、アンドゲート3153~3156、および、nMOSトランジスタ3157, 3158を備えて構成されている。

【0074】

本第13実施例においては、上述した第12実施例でテストモード時(テストモード信号TEST-MODEが高レベル『H』)にオン固定となる出力トランジスタ3140aおよび3140bは、テストモード時にオフ固定となるようにされている。さらに、本第13実施例では、差動出力端子XOおよび/XOに対してnMOSトランジスタ3157および3158が設けられ、これらのトランジスタ3157および3158が、それぞれ終端抵抗部3160のpMOSトランジスタ31611および31621がオフの場合にオンするように制御され、差動出力端子XO, /XOの電位差を調整するようになっている

10

20

30

40

50

。このように、本第13実施例においても、負荷の影響を受けずに高速データ転送の性能低下を防ぐことが可能になる。

【0075】

(付記1) 信号を出力する出力回路を有する装置に内蔵され、該装置の接続ノードの検証を行う試験回路であって、前記出力回路の出力ノードの接続検証を行うための試験データを発生する試験データ発生回路と、前記出力ノードに対して並列に接続され、前記試験データ発生回路からの試験データを受け取って該出力ノードに出力する試験用出力バッファと、を備えることを特徴とする試験回路。

10

【0076】

(付記2) 付記1に記載の試験回路において、前記出力回路は差動信号を出力し、且つ、前記試験用出力バッファは該差動の出力ノードに対して前記試験データを出力することを特徴とする試験回路。

【0077】

(付記3) 付記2に記載の試験回路において、前記出力ノードの接続検証を、差動の信号状態で試験を実施することを特徴とする試験回路。

【0078】

(付記4) 付記1に記載の試験回路において、さらに、前記出力ノードと前記試験用出力バッファとの間に接続されたESD保護素子を備えることを特徴とする試験回路。

20

【0079】

(付記5) 付記1に記載の試験回路において、前記出力回路がパラレルデータをシリアルデータに変換する機能を有する場合、前記試験データ発生回路もパラレルデータをシリアルデータに変換する機能を有することを特徴とする試験回路。

【0080】

(付記6) 付記1に記載の試験回路において、前記試験データ発生回路を、スキャン可能なレジスタ機能を有する回路で構成することを特徴とする試験回路。

【0081】

(付記7) 付記1に記載の試験回路において、前記試験データ発生回路に対して前記出力回路の動作クロックとは異なる試験用クロックを供給することを特徴とする試験回路。

30

【0082】

(付記8) 付記1に記載の試験回路において、前記試験データ発生回路は、前記出力ノードの接続検証に固定した試験データを出力することを特徴とする試験回路。

【0083】

(付記9) 付記1に記載の試験回路において、前記出力回路の出力には終端抵抗が設けられていることを特徴とする試験回路。

【0084】

(付記10) 付記1に記載の試験回路において、前記試験用出力バッファは、前記出力回路を直接制御することを特徴とする試験回路。

【0085】

(付記11) 付記1に記載の試験回路において、さらに、信号が入力される入力回路の入力ノードに対して並列に接続され、該入力ノードに入力された試験データを受け取る試験用入力バッファを備えることを特徴とする試験回路。

40

【0086】

(付記12) 付記11に記載の試験回路において、さらに、前記入力ノードと前記試験用入力バッファとの間に接続されたESD保護素子を備えることを特徴とする試験回路。

【0087】

(付記13) 付記11に記載の試験回路において、前記入力回路は差動信号を受け取り、且つ、前記試験用入力バッファは該差動の入力ノードに入力された試験データを受け取ることを特徴とする試験回路。

50

【 0 0 8 8 】

(付記 1 4) 付記 1 3 に記載の試験回路において、さらに、前記差動の入力ノードに入力された試験データをシングルエンド信号に変換する回路と、該試験データを処理する試験データ処理回路と、を備えることを特徴とする試験回路。

【 0 0 8 9 】

(付記 1 5) 付記 1 4 に記載の試験回路において、前記入力回路がシリアルデータをパラレルデータに変換する機能を有する場合、前記試験データ処理回路もシリアルデータをパラレルデータに変換する機能を有することを特徴とする試験回路。

【 0 0 9 0 】

(付記 1 6) 付記 1 4 に記載の試験回路において、前記試験データ処理回路を、スキャン可能なレジスタ機能を有する回路で構成することを特徴とする試験回路。 10

【 0 0 9 1 】

(付記 1 7) 付記 1 6 に記載の試験回路において、前記レジスタ機能を有する回路は、試験用端子を備えていることを特徴とする試験回路。

【 0 0 9 2 】

(付記 1 8) 付記 1 4 に記載の試験回路において、前記試験データ処理回路に対して前記入力回路の動作クロックとは異なる試験用クロックを供給することを特徴とする試験回路。

【 0 0 9 3 】

(付記 1 9) 付記 1 4 に記載の試験回路において、前記試験データ処理回路は、前記入力ノードの接続検証に固定した試験データを処理することを特徴とする試験回路。 20

【 0 0 9 4 】

(付記 2 0) 付記 1 ~ 1 9 のいずれか 1 項に記載の試験回路において、シングルエンド端子と差動端子が混在する装置の J T A G 試験を実行することを特徴とする試験回路。

【 0 0 9 5 】

(付記 2 1) 信号を送信する出力回路、および、ノードの接続検証を行う試験回路を有する半導体集積回路装置であって、該試験回路は、前記出力回路の出力ノードの接続検証を行うための試験データを発生する試験データ発生回路と、

前記出力ノードに対して並列に接続され、前記試験データ発生回路からの試験データを受け取って該出力ノードに出力する試験用出力バッファと、を備えることを特徴とする半導体集積回路装置。 30

【 0 0 9 6 】

(付記 2 2) 付記 2 1 に記載の半導体集積回路装置において、前記出力回路は差動信号を出力し、且つ、前記試験用出力バッファは該差動の出力ノードに対して前記試験データを出力することを特徴とする半導体集積回路装置。

【 0 0 9 7 】

(付記 2 3) 付記 2 2 に記載の半導体集積回路装置において、前記試験回路は、前記出力ノードの接続検証を差動の信号状態で試験を実施することを特徴とする半導体集積回路装置。 40

【 0 0 9 8 】

(付記 2 4) 付記 2 1 に記載の半導体集積回路装置において、前記試験回路は、さらに、前記出力ノードと前記試験用出力バッファとの間に接続された E S D 保護素子を備えることを特徴とする半導体集積回路装置。

【 0 0 9 9 】

(付記 2 5) 付記 2 1 に記載の半導体集積回路装置において、前記出力回路がパラレルデータをシリアルデータに変換する機能を有する場合、前記試験データ発生回路もパラレルデータをシリアルデータに変換する機能を有することを特徴とする半導体集積回路装置。

【 0 1 0 0 】

(付記 26) 付記 21 に記載の半導体集積回路装置において、前記試験データ発生回路を、スキャン可能なレジスタ機能を有する回路で構成することを特徴とする半導体集積回路装置。

【0101】

(付記 27) 付記 21 に記載の半導体集積回路装置において、前記試験データ発生回路に対して前記出力回路の動作クロックとは異なる試験用クロックを供給することを特徴とする半導体集積回路装置。

【0102】

(付記 28) 付記 21 に記載の半導体集積回路装置において、前記試験データ発生回路は、前記出力ノードの接続検証に固定した試験データを出力することを特徴とする半導体集積回路装置。

10

【0103】

(付記 29) 付記 21 に記載の半導体集積回路装置において、前記出力回路の出力には終端抵抗が設けられていることを特徴とする半導体集積回路装置。

【0104】

(付記 30) 付記 21 に記載の半導体集積回路装置において、前記試験用出力バッファは、前記出力回路を直接制御することを特徴とする半導体集積回路装置。

【0105】

(付記 31) 付記 21 に記載の半導体集積回路装置において、さらに、信号が入力される入力回路と、該入力回路の入力ノードに対して並列に接続され、該入力ノードに入力された試験データを受け取る試験用入力バッファと、を備えることを特徴とする半導体集積回路装置。

20

【0106】

(付記 32) 付記 31 に記載の半導体集積回路装置において、前記試験回路は、さらに、前記入力ノードと前記試験用入力バッファとの間に接続された ESD 保護素子を備えることを特徴とする半導体集積回路装置。

【0107】

(付記 33) 付記 31 に記載の半導体集積回路装置において、前記入力回路は差動信号を受け取り、且つ、前記試験用入力バッファは該差動の入力ノードに入力された試験データを受け取ることを特徴とする半導体集積回路装置。

30

【0108】

(付記 34) 付記 33 に記載の半導体集積回路装置において、前記試験回路は、さらに、前記差動の入力ノードに入力された試験データをシングルエンド信号に変換する回路と、該試験データを処理する試験データ処理回路と、を備えることを特徴とする半導体集積回路装置。

【0109】

(付記 35) 付記 34 に記載の半導体集積回路装置において、前記入力回路がシリアルデータをパラレルデータに変換する機能を有する場合、前記試験データ処理回路もシリアルデータをパラレルデータに変換する機能を有することを特徴とする半導体集積回路装置。

40

【0110】

(付記 36) 付記 34 に記載の半導体集積回路装置において、前記試験データ処理回路を、スキャン可能なレジスタ機能を有する回路で構成することを特徴とする半導体集積回路装置。

【0111】

(付記 37) 付記 36 に記載の半導体集積回路装置において、前記レジスタ機能を有する回路は、試験用端子を備えていることを特徴とする半導体集積回路装置。

【0112】

(付記 38) 付記 34 に記載の半導体集積回路装置において、前記試験データ処理回路に対して前記入力回路の動作クロックとは異なる試験用クロックを供給することを特徴と

50

する半導体集積回路装置。

【0113】

(付記39) 付記34に記載の半導体集積回路装置において、前記試験データ処理回路は、前記入力ノードの接続検証に固定した試験データを処理することを特徴とする半導体集積回路装置。

【0114】

(付記40) 付記21～39のいずれか1項に記載の半導体集積回路装置において、シングルエンド端子と差動端子が混在する該半導体集積回路装置のJTAG試験を実行することを特徴とする半導体集積回路装置。

【0115】

【発明の効果】

以上、詳述したように、本発明によれば、高速の差動信号を扱うLSI間等においても、ノードの接続検証を実施する有効な試験回路および半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る試験回路が適用される半導体集積回路装置の一例を示すブロック図である。

【図2】本発明に係る試験回路の第1実施例を示すブロック図である。

【図3】本発明に係る試験回路の第2実施例を示すブロック図である。

【図4】本発明に係る試験回路の第3実施例を示すブロック図である。

【図5】本発明に係る試験回路の第4実施例を示すブロック図である。

【図6】本発明に係る試験回路の第5実施例を示すブロック図である。

【図7】本発明に係る試験回路の第6実施例を示すブロック図である。

【図8】本発明に係る試験回路の第7実施例を示すブロック図である。

【図9】本発明に係る試験回路の第8実施例を示すブロック図である。

【図10】本発明に係る試験回路の第9実施例を示すブロック回路図である。

【図11】本発明に係る試験回路の第10実施例を示すブロック回路図である。

【図12】本発明に係る試験回路の第11実施例を示すブロック回路図である。

【図13】本発明に係る試験回路の第12実施例を示すブロック回路図である。

【図14】本発明に係る試験回路の第13実施例を示すブロック回路図である。

【符号の説明】

1 ... コア (コアロジック)

2 ... 入力回路部 (受信回路マクロ)

3 ... 出力回路部 (送信回路マクロ)

4 ... シングルエンド端子部

5 ... テスト制御回路 (TAPコントローラ)

20 - 0 ~ 20 - 18, 20 ... 入力回路 (BSR付きの入力回路)

31 - 0 ~ 31 - 18, 31 ... 出力回路 (BSR付きの出力回路)

210 ... データ入力回路

211 ... 信号処理回路 (入力信号処理回路)

212 ... データ用入力バッファ

213 ... 信号処理回路

220 ... 試験データ入力回路

221 ... 試験データ処理回路

222 ... 試験用入力バッファ

223 ... 試験データ処理回路

310 ... データ出力回路

311 ... 信号処理回路 (出力信号処理回路)

312 ... データ用出力バッファ

313 ... 信号処理回路

10

20

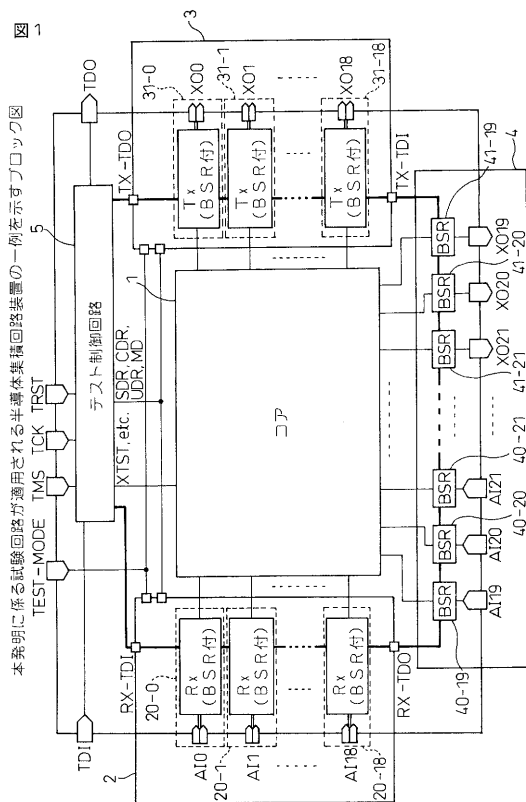
30

40

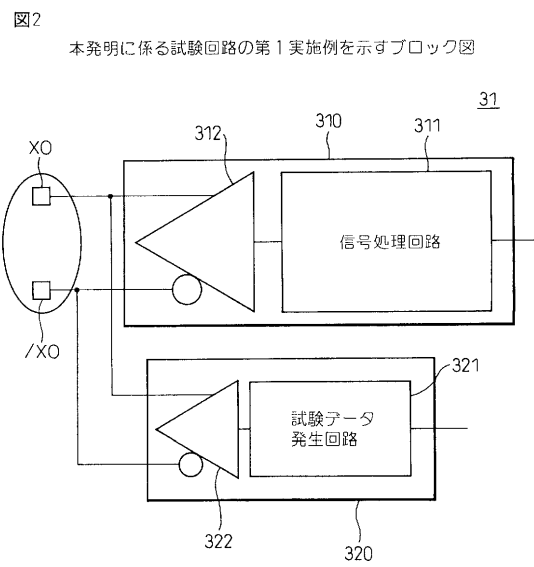
50

- 3 2 0 ... 試験データ出力回路
- 3 2 1 ... 試験データ発生回路
- 3 2 2 ... 試験用出力バッファ
- 3 2 3 ... 試験データ発生回路
- A I , / A I ... 差動入力端子 (入力ノード)
- X O , / X O ... 差動出力端子 (出力ノード)

【 図 1 】



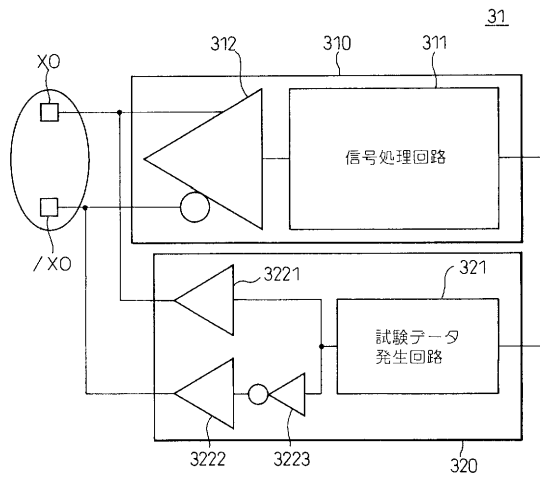
【 図 2 】



【 図 3 】

図3

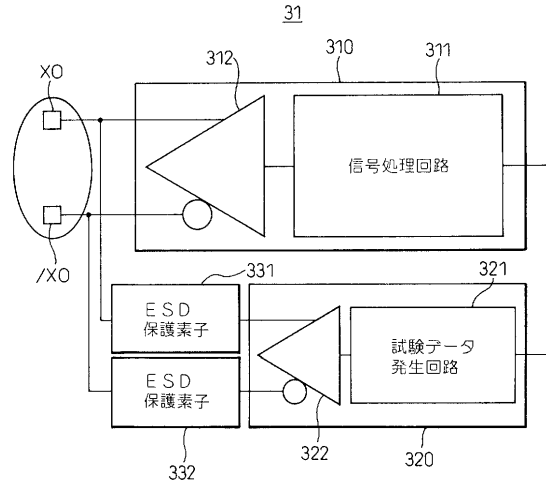
本発明に係る試験回路の第2実施例を示すブロック図



【 図 4 】

図4

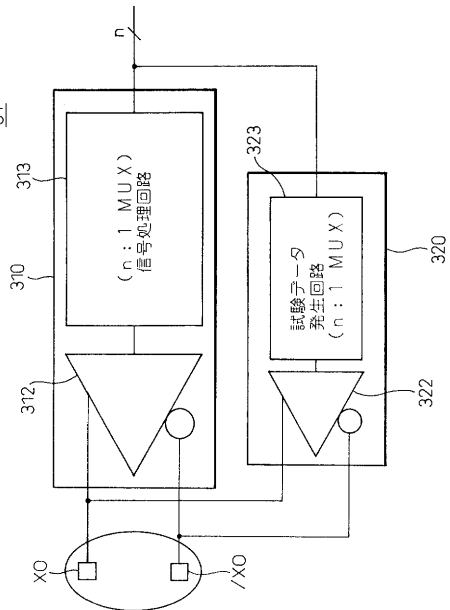
本発明に係る試験回路の第3実施例を示すブロック図



【 図 5 】

図5

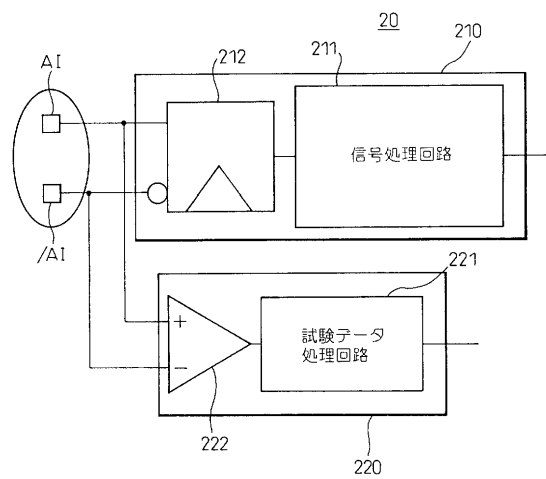
本発明に係る試験回路の第4実施例を示すブロック図



【 図 6 】

図6

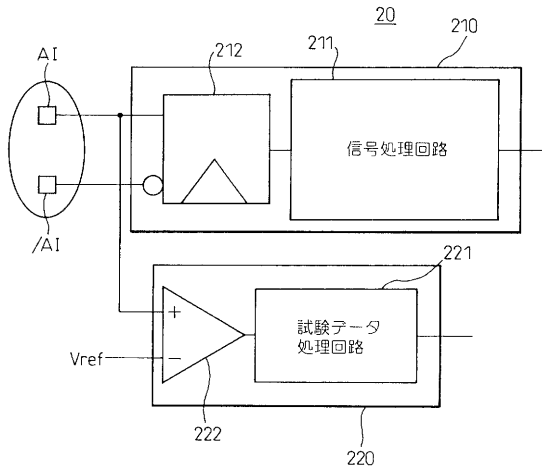
本発明に係る試験回路の第5実施例を示すブロック図



【 図 7 】

図7

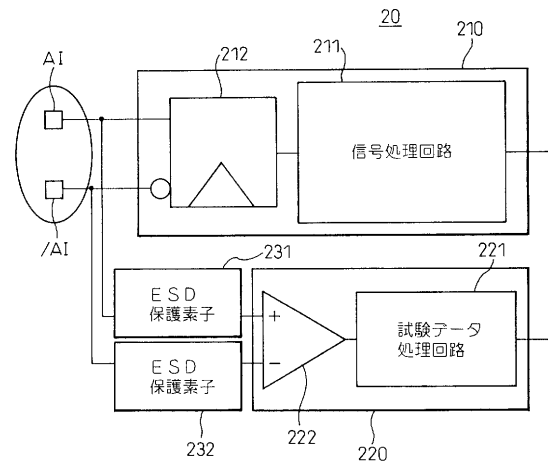
本発明に係る試験回路の第6実施例を示すブロック図



【 図 8 】

図8

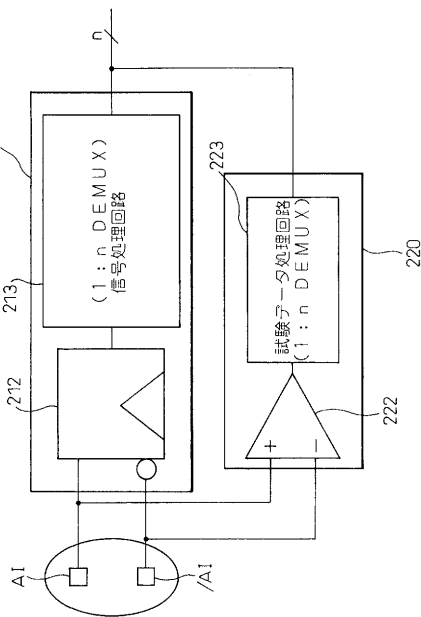
本発明に係る試験回路の第7実施例を示すブロック図



【 図 9 】

図9

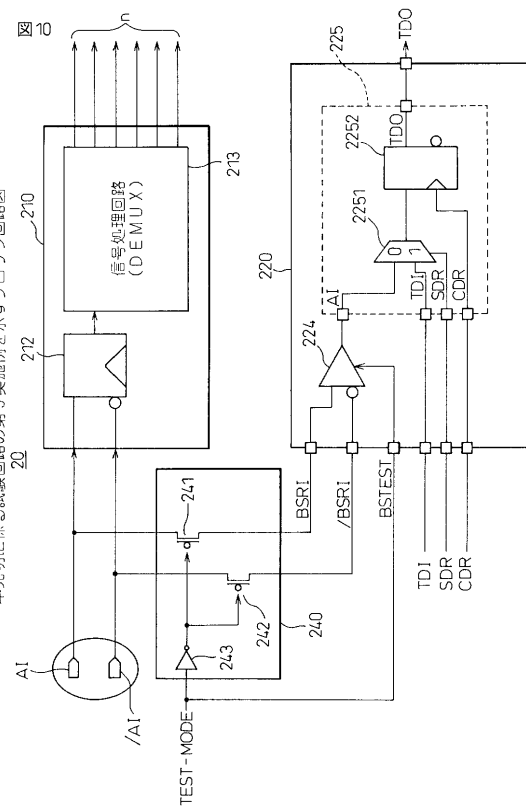
本発明に係る試験回路の第8実施例を示すブロック図



【 図 10 】

図10

本発明に係る試験回路の第9実施例を示すブロック図



フロントページの続き

- (72)発明者 後藤 公太郎
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 青柳 幸治
神奈川県川崎市幸区堀川町6番地2 富士通エルエスアイソリューション株式会社内
- (72)発明者 寺島 一宏
神奈川県川崎市幸区堀川町6番地2 富士通エルエスアイソリューション株式会社内
- (72)発明者 西尾 茂
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 棚田 一也

- (56)参考文献 特開平09-026463(JP,A)
特開平03-116943(JP,A)
特開平04-276570(JP,A)
特開平09-139665(JP,A)
特開2001-141794(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
G01R 31/28
H01L 27/04