

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H01L 27/11

(11) 공개번호 10-2004-0065168
(43) 공개일자 2004년07월21일

(21) 출원번호 10-2004-0002150
(22) 출원일자 2004년01월13일

(30) 우선권주장 JP-P-2003-00005825 2003년01월14일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

(72) 발명자 무라따다쓰노리
일본도쿄도지요다구마루노우찌2쵸메4-1가부시끼가이샤르네사스테크놀로지내

나카무라다카히로
일본도쿄도지요다구마루노우찌2쵸메4-1가부시끼가이샤르네사스테크놀로지내

스즈끼야스미찌
일본도쿄도지요다구마루노우찌2쵸메4-1가부시끼가이샤르네사스테크놀로지내

(74) 대리인 장수길
이중희
구영창

심사청구 : 없음

(54) 반도체 집적 회로 장치 및 그 제조 방법

요약

SRAM 메모리 셀을 구성하는 중형 MISFET 사이의 매립 특성을 향상시킨다. 횡형의 구동 MISFET 및 전송 MISFET의 상부에 중형 MISFET를 형성할 때, Y 방향(Y-Y')에 있어서는 좁은 피치로 배치되고, X 방향(X-X')에 있어서는 넓은 피치로 배치되는 하부 반도체층(57), 중간 반도체층(58), 상부 반도체층(59) 및 질화 실리콘막(62)을 갖는 기둥형의 적층체(P1, P2)와, 이 적층체의 측벽에 게이트 절연막을 사이에 두고 형성된 게이트 전극(66)의 상부에 피복성이 좋은 제1 절연막(O₃-TEOS)(70a)을 퇴적하여, 협피치 사이를 완전히 매립한 후, 제1 절연막(70a)의 상부에 제2 절연막(HDP 산화 실리콘막)(70b)을 퇴적한다. 그 결과, 어스펙트비가 큰 중형 MISFET의 피치가 좁은 부분에서도 절연막의 매립 특성이 양호하게 된다.

대표도

도 23

색인어

플라즈마, 피치, 매립

명세서

도면의 간단한 설명

- 도 1은 본 발명의 일 실시예인 SRAM의 메모리 셀의 등가 회로도.
- 도 2는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 3은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 4는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 5는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 6은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 7은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 8은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 9는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 10은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 11은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 12는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 공정에서 이용되는 전사 패턴(레티클 패턴)을 도시하는 평면도.
- 도 13은 전사 패턴과 가공 형상(적층체의 평면 패턴)의 관계를 나타내는 도면표.
- 도 14는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 15는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 16은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 17은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 18은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 19는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 사시도.
- 도 20은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 21은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 22는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 사시도.
- 도 23은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 24는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 25는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 26은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 사시도.
- 도 27은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.

- 도 28은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 29는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 30은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 31은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 32는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 33은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 34는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 35는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 기판의 주요부 평면도.
- 도 36은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)를 도시하는 기판의 주요부 레이아웃 도면.
- 도 37은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)를 도시하는 기판의 주요부 평면도.
- 도 38은 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 평면도.
- 도 39는 본 발명의 일 실시예인 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 40은 본 발명의 일 실시예의 효과를 설명하기 위한 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 41은 본 발명의 일 실시예의 효과를 설명하기 위한 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.
- 도 42는 본 발명의 일 실시예인 다른 SRAM의 메모리 셀의 등가 회로도.
- 도 43은 본 발명의 일 실시예인 다른 반도체 집적 회로 장치(SRAM)를 도시하는 기판의 주요부 평면도.
- 도 44는 본 발명의 일 실시예인 다른 반도체 집적 회로 장치(SRAM)를 도시하는 기판의 주요부 단면도.
- 도 45는 본 발명의 일 실시예인 다른 반도체 집적 회로 장치(SRAM)를 도시하는 기판의 주요부 평면도.
- 도 46은 본 발명의 일 실시예인 다른 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

- 1 : 반도체 기판
- 2 : 소자 분리홈
- 3, 20, 30, 52, 61, 81, 87, 321, 322, 329, 342, 361, 367 : 산화 실리콘막
- 4 : p형 웰
- 6, 63, 353 : 게이트 절연막
- 7A, 7B, 66, 354 : 게이트 전극
- 9 : n - 형 반도체 영역
- 13, 54, 71, 358 : 측벽 스페이서

14 : n + 형 반도체 영역(소스, 드레인)
 18, 360 : Co 실리사이드층
 19, 29, 49, 62, 320, 328, 338 : 질화 실리콘막
 21 25, 324, 340 : 콘택트홀
 28, 55, 80, 85, 327, 341, 365 : 플러그
 31 35, 356 : 홈
 41 45 : 중간 도전층
 48 : 배리어층
 5, 51a, 51b : 게이트 인출 전극
 53, 74 78, 82, 84 : 관통홀
 57, 347 : 하부 반도체층
 57p, 59p : p형 실리콘막
 58, 348 : 중간 반도체층
 58i : 실리콘막
 59, 349 : 상부 반도체층
 64 : 제1 다결정 실리콘층
 65 : 제2 다결정 실리콘층
 70a : 제1 절연막(O_3 -TEOS막)
 70b : 제2 절연막(HDP막)
 70c : 제3 절연막(P-TEOS막)
 73 : 제4 절연막(산화 실리콘막)
 86, 366 : 탄화 실리콘막
 88, 94, 331, 368 : 배선홀
 90(Vdd) : 전원 전압선
 91(Vss) : 기준 전압선
 92 : 인출 배선
 93, 355 : 절연막
 94a : 개구
 170 : 오목부

172 : 패턴

172a : 볼록부

270d : P-TEOS막

334 : 기준 전압선(Vss)

346 : 접속용 도전층

355a : 제1 절연막

355b : 제2 절연막

357 : 다결정 실리콘막

BLT, BLB : 상보성 데이터선

DR1, DR2 : 구동 MISFET

INV1 : 제1 인버터

INV2 : 제2 인버터

L : 활성 영역

MA : 메모리 영역

MB : 메모리 블록

MC : 메모리 셀

MM : 메모리 매트

P, P1, P2 : 기둥형의 적층체

PA : 주변 회로 영역

Qn : n 채널형 MISFET

Qp : p 채널형 MISFET

SV1, SV2 : 종형 MISFET

TR1, TR2 : 전송 MISFET

WL : 워드선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치 및 그 제조 기술에 관한 것으로, 특히 중형 MISFET를 갖는 반도체 집적 회로 장치에 적용함에 있어서 유효한 기술에 관한 것이다.

반도체 집적 회로 장치는 도전성막과 절연막의 적층 구조부를 다수 갖는다. 이 절연막은 도전성막 사이의 절연을 도모할 목적으로 형성되는 경우가 많다. 예를 들면, 복수의 배선층 사이는 절연막에 의해 분리되어 있다. 또한, 반도체 기판의 소자 형성 영역도 홈 내에 매립된 절연막에 의해 분리된다.

그러나, 장치의 고집적화·미세화에 수반하여, 배선 사이나 홈의 스페이스가 작아지는 경향이 있으며, 또한 장소에 따라서는 스페이스의 폭과 높이의 비율(어스펙트비=높이/스페이스)이 커지는 경우가 있다.

따라서, 이들의 스페이스를 양호한 정밀도로 매립하기 위해서 여러 고안이 이루어지고 있다.

예를 들면, 특허 문헌 1에는 미세한 선 폭과 높은 종횡비를 갖는 영역, 예를 들면 도전성 라인(42) 사이를 제1 절연막(46)으로 매립하고, 건식 에치백(50)을 행하여, 보이드(48)를 제거한 후, 그 상부에 제2 절연막(52)을 형성하는 기술이 개시되어 있다.

[특허 문헌 1]

일본 특개평11-176936호 공보

발명이 이루고자 하는 기술적 과제

본 발명자들은 반도체 집적 회로 장치의 연구·개발에 종사하고 있으며, 특히, 반도체 기억 장치의 일종인 SRAM(Static Random Access Memory)의 구조나 제조 방법에 대한 검토를 행하고 있다.

본 발명자들이 검토하고 있는 SRAM은, 예를 들면 4개의 n 채널형 MISFET(Metal Insulator Semiconductor Field Effect Transistor)와 2개의 p 채널형 MISFET로 메모리 셀을 구성하고 있다.

그런데, 이 SRAM 메모리 셀을 구성하는 6개의 MISFET를 평면적으로 배치한 것은, 메모리 셀 사이즈의 축소가 곤란하기 때문에, 뒤이어 상세히 설명하는 바와 같이, 2개의 p 채널형 MISFET를 중형 MISFET로 하여, 4개의 횡형 MISFET의 상층에 형성하는 것을 검토하고 있다.

그러나, 중형 MISFET를 이용한 경우, 중형 MISFET 사이의 절연막의 매립이 곤란한 것이 판명되었다.

즉, 중형 MISFET는 소스, 드레인 영역을 그 상하에 갖는 반도체 기둥으로 구성되고, 이 반도체 기둥의 높이와 반도체 기둥 사이의 스페이스의 비(어스펙트비)는 종전부터 검토되고 있는 배선 사이나 소자 분리홈의 어스펙트비보다 훨씬 커서, 반도체 기둥 사이를 양호한 정밀도로 매립하는 기술의 검토가 필요하다.

특히, 하층의 횡형 MISFET와 중형 MISFET의 레이아웃의 관계상, 반도체 기둥의 간격이 X 방향, Y 방향에 따라 다른 경우에는, 넓은 스페이스도 좁은 스페이스도 양호한 정밀도로 매립할 필요가 있다.

본 발명의 목적은, 반도체 집적 회로 장치를 구성하는 중형 MISFET 사이의 매립 특성을 향상시키는 기술을 제공하는 것에 있다.

본 발명의 다른 목적은, 중형 MISFET를 갖는 반도체 집적 회로 장치의 특성의 향상을 도모하는 것에 있다. 또한, 미세화를 도모하는 것에 있다.

본 발명의 상기 및 그 밖의 목적과 신규 특징은, 본 명세서의 기술 및 첨부 도면에서 분명하게 될 것이다.

발명의 구성 및 작용

본원에서 개시되는 발명 중, 대표적인 것의 개요에 대하여 설명하면, 다음과 같다.

본 발명의 반도체 집적 회로 장치는, (a1) 그 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 기둥형의 적층체와, (a2) 상기 기둥형의 적층체의 측벽에 제1 절연막을 사이에 두고 형성된 도전성막을 갖는 중형 MISFET를 복수 구비하고, 상기 복수의 중형 MISFET의 상기 기둥형의 적층체 및 상기 도전성막은, (b1) 제1 방향으로 제1 거리 이격하여

배치되고, (b2) 제2 방향으로 상기 제1 거리보다 큰 제2 거리 이격하여 배치되며, 상기 복수의 중형 MISFET의 상기 기동형의 적층체의 적어도 일정한 높이까지에 있어서, (c1) 상기 기동형의 적층체의 상기 제1 방향의 간극에는 제2 절연막이 형성되고, (c2) 상기 기동형의 적층체의 상기 제2 방향의 간극에는 상기 제2 절연막 및 그 상부의 제3 절연막이 형성되어 있는 것이다.

본 발명의 반도체 집적 회로 장치의 제조 방법은, (a) 그 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 기동형의 적층체를 제1 방향 및 제2 방향으로 복수 이격하여 형성하는 공정으로서, 상기 제1 방향의 간격보다 상기 제2 방향의 간격이 넓어지도록 형성하는 공정과, (b) 상기 기동형의 적층체의 측벽에 제1 절연막을 사이에 두고 도전성막을 형성하고, 상기 복수의 기동형의 적층체의 측벽의 상기 도전성막의 제1 방향의 거리를 제1 거리로, 제2 방향의 거리를 상기 제1 거리보다 큰 제2 거리로 하는 공정과, (c) 상기 제1 거리 사이를 매립하고, 상기 제2 거리 사이를 매립할 수 없을 정도의 막 두께의 제2 절연막을 형성하는 공정과, (d) 상기 제2 절연막 위에 제3 절연막을 형성하는 공정으로서, 상기 제2 거리 사이를 매립하는 공정을 포함하는 것이다.

본 발명의 반도체 집적 회로 장치의 제조 방법은, (a) 그 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 반도체막을 형성하는 공정과, (b) 상기 반도체막을 제1 방향에 대하여 H자 형상의 마스크를 이용하여 가공함으로써 상기 제1 방향과 직교하는 제2 방향으로 긴 직경을 갖는 대략 타원 기동형의 적층체를 형성하는 공정과, (c) 상기 기동형의 적층체의 측벽에 절연막을 사이에 두고 도전성막을 형성하는 공정을 포함하는 것이다.

본 발명의 반도체 집적 회로 장치는, (a) 그 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 기동형의 적층체로서, 그 평면 패턴이 대략 타원 형상의 기동형의 적층체와, (b) 상기 기동형의 적층체의 측벽에 절연막을 사이에 두고 형성된 도전성막을 갖는 것이다.

〈실시예〉

이하, 본 발명의 실시예를 도면에 기초하여 상세히 설명한다. 또, 실시예를 설명하기 위한 모든 도면에 있어서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙여, 그 반복 설명은 생략한다. 또한, 설명을 알기 쉽게 하기 위해서 각 부위(예를 들면 절연막 등)에 「제1」, 「제2」 등의 번호를 붙여 설명하고 있지만, 이들 표기와 청구항에 기재된 「제1」, 「제2」 등은 반드시 일치하는 것은 아니다.

도 1은 본 발명의 실시예인 SRAM의 메모리 셀의 등가 회로도이다. 도 1에 도시한 바와 같이, 이 SRAM의 메모리 셀(MC)은 한 쌍의 상보성 데이터선(BLT, BLB)과 워드선(WL)과의 교차부에 배치된 2개의 전송용의 횡형 MISFET(TR1, TR2, 이하 단순히 「전송 MISFET」라고 함), 2개의 구동용의 횡형 MISFET(DR1, DR2, 이하 단순히 「구동 MISFET」라고 함) 및 2개의 부하용의 중형 MISFET(SV1, SV2, 이하 단순히 「중형 MISFET」라고 함)로 구성되어 있다.

메모리 셀(MC)을 구성하는 상기 6개의 MISFET 중, 2개의 전송 MISFET(TR1, TR2) 및 2개의 구동 MISFET(DR1, DR2)는 n 채널형 MISFET로 구성되어 있다. 또한, 2개의 중형 MISFET(SV1, SV2)는 p 채널형 MISFET로 구성되어 있다.

또, 후술하는 바와 같이 중형 MISFET(SV1, SV2)는 구동 MISFET(DR1, DR2) 및 전송 MISFET(TR1, TR2)의 형성 영역의 상부에 배치된다.

도 1에 도시한 바와 같이, 메모리 셀(MC)의 구동 MISFET(DR1) 및 중형 MISFET(SV1)는 제1 인버터 INV1을 구성하고, 구동 MISFET(DR2) 및 중형 MISFET(SV2)는 제2 인버터 INV2를 구성하고 있다. 이들 한 쌍의 인버터 INV1, INV2의 입출력부는 메모리 셀(MC) 내에서 교차 결합되어, 1비트의 정보를 기억하는 정보 축적부로서의 플립플롭 회로를 구성하고 있다.

즉, 인버터를 구성하는 2개의 MISFET쌍은 각각 기준 전압(V_{ss})과 전원 전압(V_{dd} , 예를 들면 3V)과의 사이에 직렬로 접속되고, 이들 접속 노드(출력부, A, B)와, 이들 게이트 전극의 접속부(입력부)가 교차 접속된다.

다시 말하면, 구동 MISFET(DR1)의 드레인(일단)과, 중형 MISFET(SV1)의 드레인과, 구동 MISFET(DR2)의 게이트와, 중형 MISFET(SV2)의 게이트는 상호 전기적으로 접속된다. 즉, 이들 MISFET의 각 부위는 메모리 셀의 한쪽의 축적 노드(A)에 접속된다. 또한, 구동 MISFET(DR2)의 드레인과, 중형 MISFET(SV2)의 드레인과, 구동 MISFET(DR1)의 게이트와, 중형 MISFET(SV1)의 게이트는 상호 전기적으로 접속된다. 즉, 이들의 MISFET의 각 부위는 메모리 셀의 한쪽의 축적 노드(B)에 접속된다.

한편, 축적 노드(A, B)와 상보성 데이터선(BLT, BLB)과의 사이에는 각각 전송 MISFET(TR1, TR2)가 전기적으로 접속된다. 또한, 전송 MISFET(TR1, TR2)의 게이트 전극은 워드선(WL)에 전기적으로 접속된다.

상기 메모리 셀(MC)은 한 쌍의 축적 노드(A, B)의 한쪽을 하이(High), 다른 쪽을 로우(Low)로 함으로써 정보를 기억한다.

상기 메모리 셀(MC)의 정보의 판독 시에는 선택된 워드선(WL)에, 예를 들면 전원 전압(Vdd)을 인가하여, 전송 MISFET(TR1, TR2)를 온(ON)으로 하여 한 쌍의 축적 노드(A, B)의 전위차를 상보성 데이터선(데이터선쌍, BLT, BLB)에서 판독한다.

또한, 기입 시에는 선택된 워드선(WL)에, 예를 들면 전원 전압(Vdd)을 인가하여, 전송 MISFET(TR1, TR2)를 온(ON)으로 함과 함께 상보성 데이터선(BLT, BLB)의 한쪽을 전원 전압(Vdd)에 접속하고, 다른 쪽을 기준 전압(Vss)에 접속함으로써, 구동 MISFET(DR1, DR2)의 온(ON), 오프(OFF)를 반전시킨다.

도 2 도 34(도 12 및 도 13을 제외함)는 본 실시예의 반도체 집적 회로 장치(SRAM)의 제조 방법을 도시하는 기판의 주요부 단면도, 주요부 평면도 또는 주요부 사시도이다. 또, 각 단면도의 좌측 도면은 평면도의 A-A'부에 대응하고, 중앙 도면은 평면도의 B-B'부에 대응하고, 우측 도면은 C-C'부에 대응한다.

이하, 본 실시예의 반도체 집적 회로 장치(SRAM)의 특징적인 구조에 대하여 설명한다. 또, 상세한 구조에 대해서는 제조 공정에 따라 설명한다.

상기 도면의 최종 공정도인 도 33 및 도 34에 도시한 바와 같이 SRAM 메모리 셀은 도면의 (+) 표시로 둘러싸이는 대략 구 형상의 셀 영역에 형성되고, 횡형 트랜지스터인 구동 MISFET(DR1, DR2)와 전송 MISFET는 비교적 하층의 영역에 형성되고, 종형 MISFET(SV1, SV2)는 상기 4개의 MISFET보다 상층의 영역에 형성된다.

여기서, 본 실시예의 SRAM에서 특징적인 점은, 종형 MISFET SV1과 SV2와의 Y 방향(B-B' 방향)의 스페이스는 도 34의 중앙 도면에 도시한 바와 같이, 그 게이트 전극(66)의 상부 근방까지는 제1 절연막(O_3 -TEOS막)(70a)의 단층으로 매립되어 있는 반면, 그 X 방향의 스페이스는 제1 절연막(O_3 -TEOS막)(70a)과 제2 절연막(HDP 산화막)(70b)의 적층 구조로 되어 있다.

또한, 도 35에 도시한 바와 같이, 각 셀 영역은 X 방향 및 Y 방향으로 어레이 형상으로 배치되고, 또한 각 셀 영역은 Y 방향으로 향해 있는 셀 영역의 짧은 변에 대하여 선대칭으로 배치되고, X 방향으로 향해 있는 셀 영역의 긴 변에 대하여 선대칭으로 배치된다. 또, 셀 영역 내의 각 패턴은 셀 영역의 중심점에 대하여 점대칭으로 배치되어 있다.

따라서, 종형 MISFET(SV1, SV2)는 X 방향 및 Y 방향으로 어레이 형상으로 배치되지만, Y 방향에서는 거리 D1 이격하여 배치되고, X 방향에서는 거리 D2($D2 > D1$) 이격하여 배치된다. 또, 도 35에서는 도 33에 도시한 패턴의 일부(SV1, SV2, 42, 43 등)를 도시한다.

따라서, 어레이 형상으로 배치되는 종형 MISFET(기동형의 적층체(P1, P2) 및 게이트 전극(66))과 제1 절연막(70a)의 위치 관계는, Y 방향으로 배열되는 기동형의 적층체(P1, P2) 및 게이트 전극(66)이, 제1 절연막(O_3 -TEOS막)(70a)의 Y 방향으로 연장하는 볼록부(172a) 내에 매립된 형상으로 되어 있다(도 26 참조).

또한, 제1 절연막(O_3 -TEOS막)(70a)의 Y 방향으로 연장하는 볼록부 사이는 제2 절연막(HDP 산화막)(70b)으로 매립되어 있다(도 26 참조). 또한, 이 제1 절연막(O_3 -TEOS막)(70a)으로부터 돌출된 기동형의 적층체(P1, P2)는 제4 절연막(P-TEOS막)(73)으로 피복되어 있다(도 34 참조).

또, 어레이 형상으로 배치되는 기동형의 적층체(P1, P2)의 평면 패턴을, 도 17에 도시한 바와 같이 대략 타원 형상으로 할 수도 있다. 이 대략 타원 형상의 긴 직경은 셀 영역의 긴 변 방향(X 방향)으로 위치한다.

이와 같이 기동형의 적층체(P1, P2) 사이의 스페이스가 넓은(피치가 여유가 있는) 방향으로 긴, 대략 타원 형상으로 함으로써, 채널 영역을 넓게 확보할 수 있어, 채널 전류를 증가시킬 수 있다. 또한, 셀 영역의 축소화를 도모할 수 있다.

이하, 본 실시예의 반도체 집적 회로 장치(SRAM)의 보다 구체적인 구조를 그 제조 방법에 따라 상세히 설명한다.

우선, 도 2 및 도 3에 도시한 바와 같이, 예를 들면 p형의 단결정 실리콘으로 이루어지는 기판(1)에 소자 분리를 형성한다. 이 소자 분리는, 예를 들면 기판(1) 내에 홈(2)을 형성하고, 열 산화한 후, 이 홈의 내부에 절연막으로서 예를 들면 산화 실리콘막(3)을 매립함으로써 형성한다. 이 소자 분리로 둘러싸인 기판(1)의 노출 영역이 소자 형성 영역(활성 영역) L이 된다.

다음으로, 예를 들면 기판(1)의 일부에 p형 불순물(예를 들면, 붕소(B))을 이온 주입하고, 열 확산시킴으로써, 기판(1)의 주변에 p형 웰(4)을 형성한다.

또, 도 2 및 도 3에 도시하는 영역은 메모리 영역이고, 이 메모리 영역의 주변에는 도시하지 않은 주변 회로 영역이 존재한다. 이 주변 회로 영역에는 p형 웰 외에, n형 불순물을 확산시킴으로써 n형 웰도 형성된다. 또한, p형 웰의 주 표면에는 후술하는 횡형 MISFET와 마찬가지로의 공정으로, n 채널형 MISFET Qn이 형성되고, 또한 이용하는 불순물을 역도전형으로 한 공정에 의해, p 채널형 MISFET Qp가 형성된다(도 39 참조). 이들의 MISFET 등에 의해, 메모리를 구동시키기 위한 여러가지의 회로, 예를 들면 도 36에 도시하는 X 디코더(Xdec)나 Y 디코더(Ydec) 등이 구성된다. 도 36의 PA는 주변 회로 영역을 나타내고, MA는 메모리 영역을 나타낸다.

다음으로, p형 웰(4)의 표면에, 막 두께 3nm ~ 4nm 정도의 게이트 절연막(6)을 형성한다. 이 게이트 절연막(6)은, 예를 들면 산화 실리콘막으로 이루어지고, 예를 들면 기판(1)을 열 산화함으로써 형성한다.

다음으로, 게이트 절연막(6) 상에, 도전막으로서 예를 들면 n형 불순물을 도핑한 다결정 실리콘막을 퇴적하고, 또한 그 상부에 캡 절연막으로서 산화 실리콘막을, 예를 들면 화학 기상 성장(CVD: Chemical Vapor Deposition)법으로 퇴적한다.

다음으로, 상기 산화 실리콘막을 패터닝하고, 이 산화 실리콘막을 마스크로 하여 n형 다결정 실리콘막을 드라이 에칭함으로써, p형 웰(4) 상에 게이트 전극(7A, 7B)을 형성한다. 산화 실리콘은 포토레지스트막에 비하여 다결정 실리콘에 대한 에칭 선택비가 크기 때문에, 산화 실리콘을 마스크로서 이용함으로써, 미세한 게이트 전극을 양호한 정밀도로 패터닝할 수 있다. 게이트 전극(7A)은 전송 MISFET(TR1, TR2)의 게이트 전극을 구성하고, 게이트 전극(7B)은 구동 MISFET(DR1, DR2)의 게이트 전극을 구성한다. 도 3에 도시한 바와 같이 게이트 전극(7A, 7B)은 X 방향으로 연장하는 장방형의 평면 패턴을 갖고 있으며, Y 방향의 폭, 즉 게이트 길이는 예를 들면 0.13 ~ 0.14 μ m이다.

다음으로, 게이트 전극(7A, 7B)의 양측의 p형 웰(4)에 n형 불순물(예를 들면, 인 또는 비소)을 이온 주입함으로써, 비교적 저농도의 n⁻형 반도체 영역(9)을 형성한다.

다음으로, 기판(1) 상에 CVD법으로 절연막으로서 산화 실리콘막 및 질화 실리콘막을 순차적으로 퇴적한 후, 이들의 막을 이방성 에칭함으로써 게이트 전극(7A, 7B)의 측벽에 측벽 스페이서(13)를 형성한다. 이 때, 게이트 전극 상의 산화 실리콘막 및 기판(1)의 표면의 게이트 절연막(산화 실리콘막)(6)도 제거한다.

다음으로, 게이트 전극(7A, 7B)의 양측의 p형 웰(4)에 n형 불순물(예를 들면, 인 또는 비소)을 이온 주입함으로써, 비교적 고농도의 n⁺형 반도체 영역(14)을 형성한다.

지금까지의 공정에서, LDD 구조의 소스, 드레인 영역을 갖는 전송 MISFET(TR1, TR2) 및 구동 MISFET(DR1, DR2)가 형성된다. 이 4개의 MISFET 중, TR1과 DR1은 소스, 드레인 영역의 한쪽을 공유하고, 또한 TR2와 DR2도 소스, 드레인 영역의 한쪽을 공유한다.

다음으로, 기판(1) 상에 고용점 금속막으로서 코발트(Co)막을, 예를 들면 스퍼터링법으로 퇴적하고, 열 처리를 실시함으로써, Co막과 게이트 전극(7A, 7B)과의 계면, 및 Co막과 기판(1)(n⁺형 반도체 영역(14))과의 계면에 실리사이드 반응을 일으켜 실리사이드층(18)을 형성한다. 계속해서, 미반응의 Co막을 에칭으로 제거한다.

다음으로, MISFET(TR1, TR2, DR1, DR2) 상에, 절연막으로서 질화 실리콘막(19) 및 산화 실리콘막(20)을, 예를 들면 CVD법으로 퇴적하고, 계속해서 화학 기계 연마(CMP: Chemical Mechanical Polishing)법으로 산화 실리콘막(20)의 표면을 평탄화한다.

다음으로, 포토레지스트막을 마스크로 하여 상기 산화 실리콘막(20) 및 질화 실리콘막(19)을 드라이 에칭함으로써, 전송 MISFET(TR1, TR2)의 게이트 전극(7A)의 상부에 콘택트홀(21)을 형성하고, 구동 MISFET(DR1, DR2)의 게이트 전극(7B)의 상부에 콘택트홀(22)을 형성한다. 또한, 전송 MISFET(TR1, TR2) 및 구동 MISFET(DR1, DR2)의 각각의 소스, 드레인(n⁺형 반도체 영역(14))의 상부에 콘택트홀(23, 24, 25)을 형성한다. 이 중, 콘택트홀(23)이 TR1과 DR1, TR2와 DR2의 공통의 소스, 드레인 영역 위에 형성된다.

다음으로, 상기 콘택트홀(21 ~ 25)의 내부를 포함하는 산화 실리콘막(20) 상에 배리어막으로서 티탄(Ti)막 및 질화 티탄(TiN)막의 적층막을, 예를 들면 스퍼터링법으로 퇴적하고, 계속해서 도전성막으로서 텅스텐(W)막을, 예를 들면 CVD법으로 퇴적한 후, 콘택트홀(21 ~ 25)의 외부의 W막 등을 CMP법에 의해 제거하여, 콘택트홀(21 ~ 25)의 내부에 플러그(28)를 형성한다.

다음으로, 도 4 및 도 5에 도시한 바와 같이, 기판(1) 상에 절연막으로서 질화 실리콘막(29) 및 산화 실리콘막(30)을,

예를 들면 CVD법으로 순차적으로 퇴적한 후, 이들의 막을 드라이 에칭함으로써, 콘택트홀(21~25)의 각각의 상부에 홈(31~35)을 형성한다. 이 중, 홈(32, 33)은 콘택트홀(22) 상으로부터 콘택트홀(23) 상으로 연장한다. 또, 질화 실리콘막(29)은 산화 실리콘막(30)을 에칭할 때의 스톱퍼막으로서 사용된다.

다음으로, 홈(31~35)의 내부를 포함하는 산화 실리콘막(30) 상에 배리어막으로서 TiN막을, 예를 들면 스퍼터링법으로 퇴적하고, 계속해서 도전성막으로서 W막을, 예를 들면 CVD법으로 퇴적한 후, 홈(31~35)의 외부의 W막 등을 CMP법에 의해 제거하여, 중간 도전층(41~45)을 형성한다. 도 6에, 중간 도전층 형성 후의 메모리 셀 어레이의 주요부 평면도를 도시한다. 상술한 바와 같이, 각 셀 영역은 X 방향 및 Y 방향으로 어레이 형상으로 배치되고, 각 셀 영역은 Y 방향으로 향해 있는 셀 영역의 짧은 변에 대하여 선대칭으로 배치되고, 또한 X 방향으로 향해 있는 셀 영역의 긴 변에 대하여 선대칭으로 배치된다. 또한, 셀 영역 내의 각 패턴은 셀 영역의 중심점에 대하여 점대칭으로 배치되어 있다.

도 5에 도시하는 중간 도전층(41~45) 중, 메모리 셀 영역의 거의 중앙부에 형성된 한 쌍의 중간 도전층(42, 43)은 도 1의 축적 노드 A, B와 대응시킬 수 있다.

즉, 중간 도전층(42)(A)은 TR1과 DR1의 공통의 소스, 드레인 영역(n + 형 반도체 영역(14)) 및 DR2의 게이트 전극(7B)과 전기적으로 접속된다. 한쪽의 중간 도전층(43)(B)은 TR2와 DR2의 공통의 소스, 드레인 영역(n + 형 반도체 영역(14)) 및 DR1의 게이트 전극(7B)과 전기적으로 접속된다.

이 후, 중간 도전층(42)(A) 상에 종형 MISFET(SV1)가 형성되고, 중간 도전층(43)(B) 상에 종형 MISFET(SV2)가 형성된다. 또한, SV1의 게이트 전극은 중간 도전층(43)(B)에 접속되고, SV2의 게이트 전극은 중간 도전층(42)(A)에 접속된다.

이 외, 중간 도전층(41) 상에는 워드선(WL)이 형성되고, 중간 도전층(44) 상에는 비트선(BLT, BLB)이 형성되고, 중간 도전층(45) 상에는 기준 전위(Vss)선이 형성된다. 또한, 종형 MISFET의 상부에는 전원 전위선(Vdd)이 형성된다.

계속해서, 상기 종형 MISFET 및 각종 배선의 제조 공정에 대하여 설명한다.

또, 도 7 도 32의 주요부 평면도에서는 도면을 알기 쉽게 하기 위해서, 중간 도전층보다 아래의 층의 패턴을 생략하고 있다.

우선, 도 7 및 도 8에 도시한 바와 같이, 중간 도전층(42, 43)의 표면에, 예를 들면 WN막을 스퍼터링법으로 퇴적하고 패터닝함으로써 배리어층(48)을 형성한다. 이 배리어층(48)은 플러그(55)를 구성하는 실리콘막과 중간 도전층(42, 43)과의 계면에서 원하지 않는 실리콘사이드 반응이 발생하는 것을 방지하기 위해서 형성한다. 따라서, 플러그(55)의 형성 영역에만 형성하면 된다.

다음으로, 기판(1) 상에 절연막으로서 질화 실리콘막(49)을, 예를 들면 CVD법으로 퇴적한 후, 그 상부에 도전성막으로서 p형 불순물을 도핑한 다결정 실리콘막(또는 비정질 실리콘막)을, 예를 들면 CVD법으로 퇴적한다.

다음으로, 다결정 실리콘막을 패터닝함으로써, 한 쌍의 게이트 인출 전극(51)(51a, 51b)을 형성한다. 게이트 인출 전극(51)은 후의 공정에서 형성되는 종형 MISFET(SV1, SV2)의 평면 패턴에 인접하는 영역에 배치되어, 종형 MISFET(SV1, SV2)의 게이트 전극(66)과 접속된다. 또한, 게이트 인출 전극(51a, 51b)은 각각 중간 도전층(42, 43)과 근접하여 배치된다.

이와 같이 종형 MISFET와 접속되는 플러그(55)와 게이트 인출 전극(51a, 51b)을 거의 동일한 층에서 상기 위치에 형성함으로써, 게이트 인출 전극과 게이트 전극을 자기 정합으로 접속할 수 있으며, 또한 게이트 인출 전극과 중간 도전층(42, 43)의 고저 차를 적게 할 수 있어, 후술하는 텅스텐(W)계 플러그(80)로 이들을 접속할 수 있다.

다음으로, 도 9에 도시한 바와 같이 질화 실리콘막(49)의 상부에 절연막으로서 산화 실리콘막(52)을, 예를 들면 CVD법으로 퇴적하여 게이트 인출 전극(51)을 피복한다. 계속해서, 배리어층(48) 상의 산화 실리콘막(52)을 드라이 에칭함으로써 관통홀(53)을 형성한다. 질화 실리콘막(49)은 산화 실리콘막(52)을 에칭할 때의 스톱퍼막으로서 기능한다.

다음으로, 관통홀(53)의 내부를 포함하는 산화 실리콘막(52) 상에 CVD법으로 산화 실리콘막을 퇴적하고, 계속해서 이 산화 실리콘막을 이방성 에칭하여 관통홀(53)의 측벽에 절연막으로 이루어지는 측벽 스페이서(54)를 형성한다. 이 때, 관통홀(53)의 바닥부의 질화 실리콘막(49)도 에칭한다.

다음으로, 관통홀(53)의 내부를 포함하는 산화 실리콘막(52) 상에 도전성막으로서 p형 불순물을 도핑한 다결정 실리콘막(또는 비정질 실리콘막)을, 예를 들면 CVD법으로 퇴적한 후, 관통홀(53)의 외부의 다결정 실리콘막을 CMP법(또

는 에치백법)에 의해 제거함으로써, 관통홀(53)의 내부에 플러그(55)를 형성한다.

다음으로, 플러그(55) 상을 포함하는 산화 실리콘막(52)의 상부에 p형 실리콘막(57p), 실리콘막(58i) 및 p형 실리콘막(59p)을 형성한다. 이들 3층의 실리콘막(57p, 58i, 59p)을 형성하기 위해서는, 예를 들면 붕소를 도핑한 비정질 실리콘 막 및 비도핑의 비정질 실리콘막을 CVD법으로 순차적으로 퇴적한 후, 열처리를 행하여 이들 비정질 실리콘막을 결정화한다. 계속해서, 실리콘막(58i)에 채널 형성용의 n형 또는 p형 불순물을 이온 주입한 후, 실리콘막(58L)의 상부에 붕소를 도핑한 비정질 실리콘막을 CVD법으로 퇴적하고, 계속해서 열 처리에 의해 이 비정질 실리콘막을 결정화한다. 계속해서, p형 실리콘막(59p)의 상부에 캡 절연막으로서 얇은 산화 실리콘막(61) 및 질화 실리콘막(62)을, 예를 들면 CVD법으로 순차적으로 퇴적한다.

다음으로, 도 10 및 도 11에 도시한 바와 같이 도시하지 않은 포토레지스트막을 마스크로 하여 질화 실리콘막(62)을 드라이 에칭함으로써, 중형 MISFET(SV1, SV2)를 형성하는 영역의 상부에 질화 실리콘막(62)을 남긴다. 계속해서, 질화 실리콘막(62)을 마스크로 하여 3층의 실리콘막(57p, 58i, 59p) 등을 드라이 에칭한다. 이에 의해, p형 실리콘막(57p)으로 이루어지는 하부 반도체층(반도체 영역)(57), 실리콘막(58i)으로 이루어지는 중간 반도체층(58), p형 실리콘막(59p)으로 이루어지는 상부 반도체층(59)을 갖는 기동형의 적층체(P1, P2)가 형성된다. 또, 이 시점에서는 상부 반도체층(59) 상에는 질화 실리콘막(62)이 잔존하고 있다.

상기 적층체(P1)의 하부 반도체층(57)은 중형 MISFET(SV1)의 드레인을 구성하고, 상부 반도체층(59)은 소스를 구성한다. 하부 반도체층(57)과 상부 반도체층(59)과의 사이에 위치하는 중간 반도체층(58)은 실질적으로 중형 MISFET(SV1)의 기판을 구성하고, 그 측벽은 채널 영역을 구성한다. 또한, 적층체(P2)의 하부 반도체층(57)은 중형 MISFET(SV2)의 드레인을 구성하고, 상부 반도체층(59)은 소스를 구성한다. 중간 반도체층(58)은 실질적으로 중형 MISFET(SV2)의 기판을 구성하고, 그 측벽은 채널 영역을 구성한다.

여기서, 본 실시예에서는 질화 실리콘막(62)을 가공하기 위한 포토레지스트막을 패터닝할 때의 전사 패턴(레티클 패턴)을 도 12에 도시하는 형상으로 한다. 도 12에 도시한 바와 같이 이 전사 패턴(이후, 전사 마스크라고도 함)은 Y 방향에서 보았을 때, H자 형상이 된다. 즉, 도 13을 이용하여 후술하는 바와 같이 이 전사 패턴(전사 마스크)의 Y 방향의 폭은 일정값이 아니고, 그 중앙부에서 그 양단부보다 좁게 구성된 H자 형상을 형성한다. 또, 도 12에서는 실제 디바이스의 패턴과 전사 패턴과의 위치 관계를 알기 쉽게 하기 위해서, 중간 도전층(42, 43)의 패턴도 기재하고 있다.

이와 같이 본 실시예에 따르면, Y 방향으로 H자 형상의 전사 마스크를 이용했기 때문에, 포토레지스트막을 X 방향으로 긴 직경을 갖는 대략 타원 형상의 가공용 패턴으로 가공할 수 있다. 이 대략 타원 형상의 가공용 패턴을 이용하여 질화 실리콘막(62)을 에칭하고, 대략 타원 형상으로 가공된 질화 실리콘막(62)을 이용하여 기동형의 적층체(P1, P2)를 에칭함으로써, 기동형의 적층체(P1, P2)의 평면 패턴도, X 방향으로 긴 대략 타원 형상으로 할 수 있다(도 17 참조). 이와 같이 Y 방향으로 H자 형상의 전사 마스크를 이용했기 때문에, X 방향으로 긴 직경을 갖는 대략 타원 형상의 가공용 패턴을 형성할 수 있고, 기동형의 적층체(P1, P2)의 평면 패턴도, X 방향으로 긴 대략 타원 형상으로 할 수 있다.

그 결과, 기동형의 적층체의 Y 방향의 간격을 좁게 할 수 있어, 셀 영역의 미세화를 도모하면서, 중형 MISFET의 채널 영역(채널 전류)을 크게 할 수 있다.

도 13에, 전사 패턴과 가공 형상(적층체의 평면 패턴)의 관계를 나타낸다. 도 13의 (b)에 도시한 바와 같이 전사 패턴은 Y 방향으로 H자 형상이다. 다시 말하면, 짧은 변(300nm) 및 긴 변(320nm)을 갖는 구 형상의 2개의 긴 변(X 방향)의 중앙부의 양단이 X 방향으로 일정한 폭(120nm), Y 방향으로 일정한 깊이(70nm)의 구 형상 패턴이 파여진 패턴으로 되어 있다. 즉, 전사 패턴은 Y 방향의 폭이 X 방향의 중앙부에서 양단부보다 좁게 구성된 H자 형상을 구성하고 있다.

상기 치수의 전사 패턴인 경우, 적층체의 평면 패턴은 긴 직경이 약 270nm, 짧은 직경이 약 230nm의 타원 형상이 된다.

이에 대하여, 도 13의 (a)에 도시한 바와 같이 1변이 240nm의 정방형의 전사 패턴을 이용한 경우에는 적층체의 평면 패턴은 동그란 원은 아니지만, 대략 원형(긴 직경이 236nm, 짧은 직경이 224nm)이 된다.

또, 도 17 이외의 평면도 및 사시도에 있어서는 편의상, 질화 실리콘막(62) 및 기동형의 적층체(P1, P2)의 평면 패턴을 구 형상으로서 나타낸다.

또한, 상기 실리콘막(57p, 58i, 59p)을 드라이 에칭할 때에는, 예를 들면 도 10에 도시한 바와 같이 적층체(P1, P2)의 측벽 바닥부에 테이퍼를 형성해도 된다. 테이퍼 형상으로 함으로써, 오정렬에 따른 하부 반도체층(57)과 플러그(55)의 콘택트 저항의 증가를 억제할 수 있다.

또한, 적층체(P1, P2)를 형성할 때, 상부 반도체층(59)과 중간 반도체층(58)과의 계면 근방, 하부 반도체층(57)과 중간 반도체층(58)과의 계면 근방, 또는 중간 반도체층(58)의 중앙부 등에 질화 실리콘막 등으로 구성되는 얇은(수 nm 이하) 터널 절연막을 형성해도 된다. 이 터널 절연막에 의해 하부 반도체층(57)이나 상부 반도체층(59) 내의 불순물이 중간 반도체층(58)의 내부로 확산되는 것을 방지할 수 있다.

다음으로, 도 14 및 도 15에 도시한 바와 같이 적층체(P1, P2)를 구성하는 하부 반도체층(57), 중간 반도체층(58) 및 상부 반도체층(59)의 각각의 측벽 표면에 게이트 절연막(63)을 형성한다. 이 게이트 절연막(63)은, 예를 들면 산화 실리콘막으로 이루어지고, 기판(1)을 800°C 이하의 저온 열 산화(예를 들면, 웨트 산화)함으로써 형성된다. 이 때, 적층체(P1, P2)와 그 상부의 질화 실리콘막(62)과의 사이에는 산화 실리콘막(61)이 형성되어 있기 때문에, 상부 반도체층(59)의 표면에 형성되는 게이트 절연막(63)과 질화 실리콘막(62)과의 접촉이 방지되어, 적층체(P1, P2)의 상단부 근방에서의 게이트 절연막(63)의 내압 저하를 방지할 수 있다. 또, 퇴적막으로 게이트 절연막을 형성해도 된다.

다음으로, 산화 실리콘막(52) 및 기동형의 적층체(P1, P2)의 상부에 도전성막으로서 p형 불순물을 도핑한 제1 다결정 실리콘막(64)을, 예를 들면 CVD법으로 퇴적한 후, 이 다결정 실리콘막을 이방적으로 에칭함으로써, 기동형의 적층체(P1, P2) 및 질화 실리콘막(62)의 측벽을 둘러싸도록 제1 다결정 실리콘막을 남긴다. 이와 같이 게이트 전극(66)의 일부를 구성하는 제1 다결정 실리콘층(64)을 자기 정합적으로 형성함으로써, 메모리 셀 사이즈를 축소할 수 있다. 이 다결정 실리콘막(64)의 에칭 시에는 하층의 산화 실리콘막(52)도 계속해서 에칭한다.

다음으로, 도 15 및 도 16에 도시한 바와 같이 질화 실리콘막(49) 및 제1 다결정 실리콘층(64)의 표면에 도전성막으로서 p형 불순물을 도핑한 제2 다결정 실리콘층(65)을 예를 들면 CVD법으로 형성한다. 이 다결정 실리콘막을 이방적으로 에칭함으로써, 제1 다결정 실리콘층(64)의 표면을 둘러싸도록 제2 다결정 실리콘층(65)을 남긴다.

제2 다결정 실리콘층(65)은 게이트 인출 전극(51)(51a, 51b)의 표면 상에도 형성되고, 게이트 인출 전극(51)과 전기적으로 접속된다. 이 제2 다결정 실리콘층(65)도 자기 정합적으로 형성되기 때문에, 메모리 셀 사이즈를 축소할 수 있다.

여기까지의 공정에 의해, 기동형의 적층체(P1, P2) 및 질화 실리콘막(62)을 피복하도록 제1 다결정 실리콘층(64)과 제2 다결정 실리콘층(65)의 적층막으로 이루어지는 중형 MISFET(SV1, SV2)의 게이트 전극(66)이 형성된다.

도 17은 메모리 셀 어레이(복수의 셀 영역) 내의 기동형의 적층체와 게이트 전극의 관계를 나타내는 주요부 평면도이다. 도 18은 게이트 전극(66) 형성 후의 중형 MISFET의 주요부 단면의 모식도로서, 좌측부는 도 16의 X-X'부에 대응하고, 우측부는 도 16의 Y-Y'부에 대응한다. 또, 도 18 도 27의 단면도에서, 플러그(55)보다 아래의 층은 생략되어 있다. 또한, 게이트 절연막(63) 등, 일부의 막을 생략하고 있다. 또한, 게이트 인출 전극(51)(51a, 51b)은 하부 반도체층(57)보다 낮은 위치에 형성되지만, 여기서는 하부 반도체층(57)의 옆에 표기하고 있다. 도 19는 메모리 셀 어레이 내의 기동형의 적층체의 측벽을 피복하는 게이트 전극(66)의 상태를 도시하는 주요부 사시도이다(사시도에서는 게이트 인출 전극을 생략하고 있다. 도 22 및 도 26에 대해서도 동일함).

도 17에 도시한 바와 같이 기동형의 적층체(P1, P2)와 게이트 전극(66)으로 이루어지는 패턴은 X 방향 및 Y 방향으로 어레이 형상으로 배치되고, 그 X 방향의 간격(피치)은 예를 들면 1000~1200nm(예를 들면, 1040nm 정도), Y 방향의 간격(피치)은 60nm이다. 이와 같이 기동형의 적층체와 게이트 전극의 배치에는, 예를 들면 150nm 이하의 피치가 좁은 부분(D1)과, 예를 들면 500nm 이상의 피치가 넓은 부분(D2)이 존재한다.

여기서, 기동형의 적층체를 구성하는 하부 반도체층(57), 중간 반도체층(58), 상부 반도체층(59) 및 질화 실리콘막(62)의 막 두께의 조합을 순서대로, 예를 들면 300nm, 300nm, 300nm, 300nm로 하면, 기동형의 적층체의 높이는 약 1200nm가 되어, 피치가 좁은 부분의 어스펙트비는 약 20이 된다. 이와 같이 피치가 좁은 부분의 어스펙트비가 3 이상이 되면 기동형의 패턴(P1, 66) 사이를 정밀도있게 절연막으로 매립하는 것이 곤란하게 된다. 또한, 어스펙트비가 6 이상이 되면, 통상의 배선 사이나 소자 분리홈의 매립 기술을 이용해도, 정밀도있게 절연막으로 매립하는 것이 곤란하게 된다. 한편, 피치가 넓은 부분의 어스펙트비는 1 정도가 된다.

이와 같이 피치가 좁은 부분과 피치가 넓은 부분이 혼재하는 복수의 기동형의 패턴(P1, 66) 사이를 정밀도있게 절연막으로 매립하는 공정에 대하여, 이하에 설명한다.

우선, 도 20 도 22에 도시한 바와 같이 피복성이 좋은 제1 절연막(70a)을 퇴적한다. 피복성이 좋은 막으로서는, 소위 TEOS막을 들 수 있다. TEOS막은, 테트라에톡시실란(tetraethoxysilane: $\text{Si}(\text{OC}_2\text{H}_5)_4$)을 원료로 한 CVD법으로 형성되는 막이다. 반응성을 향상시키기 위해서, 오존(O_3)과 같은 활성인 산화종을 다른 원료로서 이용하는 O_3 -TEOS막이나, 플라즈마 분위기 하에서 반응을 행하게 하는 P-TEOS막이 있다.

P-TEOS막보다는 O_3 -TEOS막이 보다 피복성이 좋고, 제1 절연막(70a)으로서 이용하기에 적합하다.

또한, 피복성이 좋은 다른 막으로서는, 예를 들면 모노실란이나 디실란을 원료로 하여, 열에 의해 반응을 촉진시키는 열 CVD막도 들 수 있지만, 이 경우, 700°C 이상(바람직하게는 약 800°C), 약 10시간의 열 처리가 필요하게 된다. 따라서, 열 부하에 의한, 소자 특성의 열화를 피할 수 없다. 또한, 본 실시예의 SRAM과 같은 미세하고 고집적의 장치의 제조 프로세스에 있어서는, 제조의 모든 공정에서 기준 온도 환산으로 일정 시간 이하의 열 부하 기준이 있어, 상기 열 CVD막을 이용한 경우에는 이 열 부하의 기준을 달성하는 것이 곤란하다.

이에 대하여, O_3 -TEOS막에 있어서는 그 성막 온도는 700°C 이하이며, 제조 공정에서의 열 부하를 저감시키면서 피복성이 좋은 막을 얻을 수 있다.

O_3 -TEOS막의 성막 조건의 일례를 이하에 나타낸다. 테트라에톡시실란(TEOS) 및 O_3 을 원료로 하고, TEOS 유량, 800~2000mgm(Milligram per minute), O_3 유량, 5000~10000sccm, 질소(N_2) 유량, 8000~20000sccm, 450~600°C 정도, 준상압 600Torr(1Torr=1.33322×10⁻² Pa) 하에서 성막한다. 또한, 웨이퍼를 탑재하는 서셉터와 원료 가스 공급부인 샤워 헤드부와의 거리(spacing)는, 예를 들면 200~400mm이다. 압력은 20~760Torr의 범위이면 된다.

또, P-TEOS인 경우에는, 테트라에톡시실란 및 산소 등을 원료로 하여, 예를 들면 300°C, 약 5~10Torr의 분위기 하에서 성막한다.

또한, 제1 절연막(O_3 -TEOS막)(70a)을 형성한 후, 막을 치밀화하기 위해서, 예를 들면 700°C에서 1분 정도의 열 처리를 실시해도 된다.

또한, 도 21에 도시한 바와 같이 제1 절연막(70a)의 막 두께는 협피치 사이를 완전히 매립할 정도의 막 두께이고, 광피치 사이는 매립할 수 없을 정도의 막 두께로 한다. 즉, 제1 절연막(70a)의 성막 후에는 광피치 사이 상에는 오목부(170)가 형성된다. 제1 절연막(70a)의 막 두께는, 예를 들면 피치 사이의 치수 변동이나 막 두께의 마진을 고려하여, 협피치 사이($D1=60nm$) 이상의 막 두께로 한다. 또한, 기둥형의 패턴(P1, 66) 사이의 상부는 그 바닥부에 비해 넓어져 있다(예를 들면, 도 16 참조). 따라서, 이러한 부분에서의 보이드의 발생을 저감시키고, 또한 기둥형의 패턴 상에 어느 정도의 막 두께를 확보하기 위해서는 하부 반도체층(57), 중간 반도체층(58) 및 상부 반도체층(59)으로 이루어지는 패턴의 협피치 사이(이 경우, 약 200nm) 이상의 막 두께로 하는 것이 바람직하다. 이 제1 절연막의 막 두께는, 예를 들면 광피치 사이 상에 위치하는 막을 기준으로 한다. 또, 제1 절연막을 수 회 분할하여 성막하고, 결과적으로 피치가 좁은 부분을 매립하는 정도의 막 두께로 해도 된다.

또한, 일례로서 도 22에 도시한 바와 같이 Y 방향으로 배열되는 기둥형의 적층체(P1, P2)와 게이트 전극(66)은 제1 절연막(70a)으로 피복되어, 마치 폭이 약 700nm, 두께가 약 1200nm인 Y 방향의 패턴(172)이 약 800~1000nm의 간격을 두고 배치된 구조가 된다(도 20). 또, 게이트 전극(66)의 막 두께는 예를 들면 40~90nm 정도, 제1 절연막의 막 두께는 광피치 사이 상에 있어서 200~300nm 정도이다.

다음으로, 도 23에 도시한 바와 같이 제1 절연막(70a) 상에 제2 절연막(70b)을 퇴적한다. 이 제2 절연막(70b)에 대해서는 그 하층이 그 폭 및 스페이스가 비교적 큰 라인 패턴으로 되어 있기 때문에, 평탄성이 중요하다. 또, 균등하게 성장하는 막인 경우, 하층(제1 절연막(70a))의 요철이 그대로 제2 절연막의 요철로서 반영되어, 오히려 그 후의 CMP 공정 등에 지장을 초래한다.

이 제2 절연막(70b)으로서는 고밀도(high-density) 플라즈마 CVD법으로 성막한 절연막(이하, 「HDP막」이라고 함)을 이용하면 된다.

고밀도 플라즈마 CVD법은, 원료 가스를 고밀도($10^{11}/cm^3$ 이상)의 플라즈마 분위기 하에서 반응시켜, 성막을 행하는 방법이다. 이 때, 기판에 RF 바이어스를 인가한다. 이 고밀도 플라즈마 CVD법에서는 플라즈마에 의해 반응이 촉진되는 한편, 플라즈마가 퇴적막에 충돌함으로써 스퍼터 에칭이 일어난다. 이 에칭 현상은 막의 돌기부에서 우선적으로 일어난다. 따라서, 제2 절연막(70b)으로서 HDP막을 이용한 경우, 그 표면은 하층의 요철에 영향을 받기 어려워, 평탄성을 확보할 수 있다(도 23).

여기서는 HDP 산화 실리콘막을 이용한다. 그 성막 조건은 예를 들면 실란(SiH_4) 및 산소(O_2)를 원료로 하여, SiH_4 유량, 70~90sccm, O_2 유량, 130~170sccm, 아르곤(Ar) 유량, 350~450sccm, 280~400°C 정도로 성막한다. 또한, LF는 3000~4000W, HF는 2000~3000W이다. 이 때, 고밀도의 $Ar/O_2/SiH_4$ 플라즈마가 발생한다.

이 HDP막의 형성에 있어서는 열 부하를 경감시키기 위해서 700°C 이하에서 성막한다.

또한, 제2 절연막(70b)의 막 두께는 광피치 사이 상의 오목부(170)를 어느 정도 매립할 수 있도록, 적어도 제1 절연막(70a)의 광피치 사이에 위치하는 최하부와, 기둥형의 적층체(P1, P2) 상에 위치하는 최상부와와의 고저 차(H)의 70%

이상의 막 두께를 퇴적한다. 여기서는 제2 절연막의 막 두께를 600 ~ 1400nm 정도로 했다. 이 제2 절연막을 수 회 분할하여 성막해도 된다.

이 고저 차(H)는, 예를 들면 도 23에서는 거의 기둥형의 적층체(하부 반도체층(57), 중간 반도체층(58), 상부 반도체층(59) 및 질화 실리콘막(62))의 높이가 되지만, 하부 반도체층(57) 하에 플러그(55)가 형성되는 경우에는 이 플러그(55)의 높이도 포함된다(도 16 참조).

또, 고밀도 플라즈마 CVD에는 전자 사이클로트론 공명 플라즈마(ECR) CVD, 용량 결합 플라즈마(IPC) CVD나 헬리콘 플라즈마 CVD 등이 있다. 즉, HDP막의 성막에는 플라즈마 소스로서, 예를 들면 마이크로파, 헬리콘파, ICP, ECR 등을 갖고 있는 반도체 장치의 제조 장치를 이용한다.

또한, 제1 절연막(O_3 -TEOS막)(70a) 내에는 인이나 붕소를 도핑하고, BPSG막 또는 PSG막으로 해도 된다. 또한, 제2 절연막(HDP막)(70b) 내에 불소나 인 등을 도핑해도 된다. 이와 같이 절연막 내에 불순물을 도핑함으로써 게터링 효과가 얻어진다.

이와 같이 본 실시예에 따르면, 헵피치 사이를 완전히 매립할 수 있을 정도의 막 두께로 피복성이 좋은 제1 절연막을 퇴적한 후, 그 상부에 제2 절연막을 퇴적했기 때문에, 기둥형의 패턴 사이를 양호한 정밀도로 매립할 수 있다.

이에 대하여, 도 40에 도시한 바와 같이 O_3 -TEOS막(70a) 단층으로 기둥형의 패턴(P1, 66)의 광피치 사이를 어느 정도 매립하기 위해서, 막 두께 1 μ m 정도 성막한 경우, 피복성이 너무 좋아, 기둥형의 패턴 상에 약 1 μ m의 막이 퇴적하여, 그 표면의 요철이 극단적으로 커진다. 그 결과, 연마에 의해 그 상부의 평탄성을 확보하는 것이 곤란하게 된다.

또한, 일반적으로 O_3 -TEOS막(70a)을 1 μ m 이상 퇴적하는 경우, 챔버(반응실) 내에 이물이 발생하기 쉽다. 이와 같이 이물의 양이 많아지면, 성막 장치의 메인テナンス가 빈도가 높아지고, 제품의 생산성이 낮아진다. 따라서, 예를 들면 500nm 정도의 O_3 -TEOS막을 두 번에 걸쳐 적층하는 등의 대책이 필요하고, 제조 공정이 번잡화되는 등의 문제가 남는다.

또한, O_3 -TEOS막은 성막 속도가 느리고, 예를 들면 1 μ m 정도의 막의 퇴적에는 12시간 정도의 시간이 필요하게 된다. 이러한 점으로부터도, O_3 -TEOS막 단층으로의 기둥형의 패턴 사이의 매립은 곤란하다.

한편, 일반적인 HDP막에서는 스페이스가 100nm 이하이고 어스펙트비가 3 이상이 되면 보이드가 발생할 가능성이 크다. 따라서, HDP막 단층으로의 기둥형의 패턴 사이의 매립은 곤란하다.

또한, 성막 조건을 조정(예를 들면, 바이어스 파워를 크게 하는 등)하여, 매립 특성을 향상시킬 수 있었다고 해도, 스퍼터 성분이 증가함으로써, 노출되어 있는 게이트 전극(66)이나 질화 실리콘막(62)의 에칭량이 증가하는 등의 새로운 문제가 발생한다.

또한, 노출되어 있는 게이트 전극의 차지 업 손상도 커져, 소자 특성을 열화시킨다.

이에 대하여, 본 실시예에 따르면, 제2 절연막(70b)으로서 HDP막을 이용하고 있지만, 이 막의 형성 시에는 게이트 전극(66) 등은 제1 절연막(70a)으로 피복되어 있어서, 스퍼터 성분에 의한 게이트 전극 등의 에칭이나 차지 업의 문제를 해소할 수 있다.

또한, 도 40에 도시한 O_3 -TEOS막(70a)의 표면의 오목부를 P-TEOS막(270d)으로 매립하는 것도 고려된다(도 41). 그러나, 이 경우도, 그 표면의 요철이 크고, 또한 메모리 영역(메모리 셀 어레이) MA와 주변 회로 영역 PA와의 표고차(vertical difference), 메모리 셀 어레이 내에 형성되는 복수의 메모리 매트 MM 사이나 메모리 블록 MB 사이의 표고차가 커질 우려가 있다. 이것은 소자 등이 조밀하지 않게 형성되는 주변 회로 영역이나, 패턴이 거의 형성되지 않는 메모리 매트 사이나 메모리 블록 사이 상에는 O_3 -TEOS막과 P-TEOS막이 형성되는 반면, 메모리 셀 어레이에 있어서는 기둥형의 패턴 상에 이들의 막이 퇴적되므로, 약 1 μ m 정도의 표고차가 발생한다.

이에 대하여, 본 실시예에 따르면, HDP막(70b)을 이용했기 때문에, 기둥형의 패턴 상의 막 성분이 우선적으로 에칭되므로, 돌출부에는 막이 얇게 형성된다. 따라서, 메모리 셀 어레이와 주변 회로 영역과의 표고차, 메모리 셀 어레이 내에 형성되는 복수의 메모리 매트 사이와의 표고차를 저감시킬 수 있다. 도 39에, HDP막(70b) 형성 후의 메모리 셀 어레이(좌측부)와 주변 회로 영역(우측부)의 주요부 단면도를 도시한다. 또, 도 39의 좌측부에서는 하부 반도체층(57)보다 아래의 층을 생략하고 있다. 또한, 우측부에서도, Qn 및 Qp와 제1 절연막(70a)과의 사이의 배선이나 플러그 등을 생략하고 있다. Qn 및 Qp는 메모리를 구동시키기 위한 여러가지의 회로를 구성하는 MISFET이다. 또한, 주변 회로 영역 PA, 메모리 영역 MA, 메모리 매트 MM, 메모리 블록 MB의 관계를 도 36에 도시한다.

도 37은 메모리 매트 MM의 경계부에서의 기동형의 적층체(P)의 레이아웃의 일례를 도시하는 기판의 주요부 평면도이고, 도 38은 메모리 블록 MB의 경계부에서의 기동형의 적층체(P)의 레이아웃의 일례를 도시하는 기판의 주요부 평면도이다.

도 37에서는 MM 경계부에서의 기동형의 적층체(P) 사이의 X 방향의 거리가 약 $1.62\mu\text{m}$, Y 방향의 거리가 약 $1.5\mu\text{m}$ 이다.

도 38에서는 MB 경계부에서의 기동형의 적층체(P) 사이의 X 방향의 거리가 약 $20\mu\text{m}$ 이다.

또, 이들 도면 중의 대략 정방형의 패턴은, 예를 들면 후술하는 플러그(80)에 대응한다. 또, MM 사이나 MB 사이에도, 예를 들면 웰 급전용의 대략 정방형의 패턴(플러그)이 배치된다.

물론, MM 사이나 MB 사이의 거리는 상기 거리에 한정되는 것이 아니고, 레이아웃에 따라서는 보다 좁거나 또는 보다 넓은 간격으로 배치되는 경우도 있다.

여기서, 중요한 것은 HDP막(70b)을 이용함으로써, 메모리 셀 어레이 상의 막의 평탄성을 확보할 수 있음과 함께, 주변 회로 영역이나 메모리 매트 사이 상 등에도 같은 정도의 두께의 막을 퇴적할 수 있어, 이들 사이의 표고차를 시정하는 것에 있다.

또한, O_3 -TEOS막을 얇게 형성하고, 그 상부에 P-TEOS막을 형성해도 되지만, O_3 -TEOS막을 예를 들면 도 21에 나타내는 정도의 막 두께로 한 경우, 오목부(170)를 P-TEOS막으로 정밀도있게 매립할 수 없어, 막 내에 슬릿 보이드가 발생한다. 이 보이드의 발생을 피하기 위해서는 O_3 -TEOS막을 600nm 이상의 막 두께로 할 필요가 있으며, O_3 -TEOS막 단층으로 매립하는 경우와 마찬가지로 문제가 발생한다.

이에 대하여, 본 실시예에 따르면, 상술한 바와 같이 기동형의 패턴 사이를 정밀도있게 매립할 수 있다. 예를 들면, 헵스페이스부의 어스펙트가 3 이상인 경우라도 양호한 정밀도로 절연막을 매립할 수 있다.

계속해서, 도 24에 도시한 바와 같이 제2 절연막(70b) 상에 제3 절연막(70c)으로서 P-TEOS막을 퇴적한 후, 그 표면을 CMP법에 의해 연마하여, 평탄화한다.

다음으로, 도 25 및 도 26에 도시한 바와 같이 제1 제3 절연막(70a 70c)을 에칭하여 그 표면을 후퇴시켜, 기동형의 적층체(P1, P2)의 일정한 높이 이상의 부분을 노출시킨다. 일정한 높이란, 적어도 상부 반도체층(59)의 측벽의 게이트 전극(66)이 노출되는 높이이다. 다시 말하면, 일정한 높이는 상부 반도체층(59)의 바닥부로부터 상부의 사이에 위치한다.

도 26의 참조 부호(172a)는 본 에칭 후에 있어서의 제1 절연막(70a)의 볼록부이고, 이 볼록부로부터 기동형의 적층체(P1, P2)의 일부나 그 상부 및 측벽의 게이트 전극(66)이 돌출된다.

또, 제3 절연막(70c)의 퇴적 및 CMP를 생략하고, 제2 절연막 및 제1 절연막의 표면을 에칭하여 그 표면을 후퇴시켜도 된다. 단, 이 절연막의 표면을 후퇴시키는 공정은 후술하는 게이트 전극(66)의 에치백량을 컨트롤하는 중요한 공정이다. 따라서, 절연막의 표면의 요철이 큰 상태에서 에칭을 행하면, 에칭 후의 표면의 높이의 변동이 발생하기 쉽다. 따라서, 제3 절연막(70c)을 퇴적하여, 그 표면을 CMP 등으로 평탄화한 후, 에칭을 행하는 편이 에칭량을 제어하기 쉽다. 즉, 게이트 전극의 에치백의 제어성을 향상시킬 수 있다. 또한, 제3 절연막(70c)의 퇴적 및 CMP를 생략하여, 제2 절연막(70b)의 표면을 CMP 등으로 평탄화한 후, 그 표면을 에칭해도 된다.

또한, 제3 절연막(70c)을 퇴적하는 경우에는 제2 절연막(70b)의 퇴적 후에, 다소의 요철이 발생하고 있어도 된다. 제3 절연막(70c)에 의해 상기 요철이 완화되고, CMP에 의해 그 표면의 평탄화가 가능하게 되기 때문이다. 제3 절연막을 이용하는 경우에는 본 에칭 후에 제3 절연막이 잔존하는 경우도 있다.

단, 그 고저차가 너무 크면, CMP에 지장을 초래하므로, 제2 절연막의 막 두께는 상술한 바와 같이 제1 절연막(70a)의 고저 차(H)의 70% 이상의 막 두께를 퇴적하는 것이 바람직하다.

또한, 제3 절연막(70c)을 형성하지 않는 경우에는, 광피치 사이 상의 오목부(170)를 완전히 매립할 수 있을 정도의 막 두께로 한다. 또한, 제2 절연막(70b)을 상기 고저 차(H)의 약 1.5배 이상의 막 두께로 하면, CMP에 의한 평탄성의 제어가 용이하게 된다.

다음으로, 기동형의 적층체(P1, P2)의 측벽에 노출된 게이트 전극(66)을, 그 상단부가 상부 반도체층(59)의 측벽부에 위치하도록 에칭한다.

상기 게이트 전극(66)의 에칭은 중형 MISFET의 소스가 되는 상부 반도체층(59)을 그 상부로부터 인출하기 위해서 행해진다. 따라서, 상기 인출부(플러그(85))와 게이트 전극(66)의 쇼트를 방지하기 위해서, 노출된 게이트 전극(66)의 상단부를 상부 반도체층(59)의 측벽부에 위치하도록 형성하는 것이 바람직하다. 또, 게이트 전극(66)과 상부 반도체층(59)과의 오프셋을 방지하기 위해서, 게이트 전극(66)의 상단부가 상부 반도체층(59)보다 하방에 위치하지 않도록 에칭량을 제어한다.

여기까지의 공정에 의해, 메모리 어레이의 각 메모리 셀 영역에, 하부 반도체층(드레인)(57), 중간 반도체층(기판)(58) 및 상부 반도체층(소스)으로 이루어지는 적층체(P1, P2)와, 적층체(P1, P2)의 측벽에 형성된 게이트 절연막(63) 및 게이트 전극(66)을 갖는 p 채널형의 중형 MISFET(SV1, SV2)가 형성된다.

다음으로, 도 27에 도시한 바와 같이 제2 절연막(70b) 등의 상부에 절연막으로서 질화 실리콘막을, 예를 들면 CVD법으로 퇴적하고 이방성 에칭함으로써, 노출된 중형 MISFET(SV1, SV2)의 게이트 전극(66) 및 상부 반도체층(59)과 그 상부의 질화 실리콘막(62)의 측벽에 측벽 스페이서(71)를 형성한다.

다음으로, 제2 절연막(70b) 등의 상부에 제4 절연막으로서 산화 실리콘막(73)을, 예를 들면 CVD법으로 퇴적한 후, 산화 실리콘막(73)의 표면을 CMP법으로 평탄화한다. 이 제4 절연막(73)에는, 예를 들면 P-TEOS막을 이용한다. 제4 절연막(73)에 대해서는 기둥형 패턴의 협스페이스 사이의 어스펙트비가 제1 및 제2 절연막에 의해 완화되어 있기 때문에 피복성은 중요하지 않다. 따라서, 열 부하가 작고, 성막 속도가 크다는 등의 관점에서, 예를 들면 P-TEOS막 등을 이용하는 것이 바람직하다.

도 28은 산화 실리콘막(73) 형성 후의 기판의 주요부 단면도로서, 본 도면에 서는 하층의 MISFET(DR1, DR2, TR1)도 도시되어 있다. 참조 부호(70)는 제1 절연막(70a)과 제2 절연막(70b)의 적층막이다.

다음으로, 도 29 및 도 30에 도시한 바와 같이 포토레지스트막을 마스크로 하여 제1, 제2 및 제4 절연막(70a, 70b, 73)을 드라이 에칭함으로써, 그 바닥부가 게이트 인출 전극(51a)으로부터 중간 도전층(42)으로 연장하는 관통홀(74)을 형성하고, 그 바닥부가 게이트 인출 전극(51b)으로부터 중간 도전층(43)으로 연장하는 관통홀(75)을 형성한다.

또한, 이 때, 중간 도전층(41, 44, 45)의 각각의 표면이 노출되는 관통홀(76, 77, 78)을 형성한다.

다음으로, 관통홀(74, 78)의 내부를 포함하는 산화 실리콘막(73) 상에 배리어막으로서 Ti막 및 TiN막을, 예를 들면 스퍼터링법으로 퇴적하고, 계속해서 도전성막으로서 W막을, 예를 들면 CVD법으로 퇴적한 후, 관통홀의 외부의 W막 등을 CMP법에 의해 제거하여, 관통홀(74, 78)의 내부에 플러그(80)를 형성한다.

이 중 관통홀(74, 75) 내의 플러그(80)를 통하여 중형 MISFET의 게이트 인출 전극(51a, 51b)과 중간 도전층(42, 43)(축적 노드 A, B)을 각각 접속할 수 있다. 즉, 2개의 중형 MISFET의 게이트 전극과 축적 노드 A, B를 교차 접속할 수 있다.

여기까지의 공정에 의해, 2개의 전송 MISFET(TR1, TR2), 2개의 구동 MISFET(DR1, DR2) 및 2개의 중형 MISFET(SV1, SV2)로 구성되는 메모리 셀이 대략 완성한다.

다음으로, 산화 실리콘막(73)의 상부에 절연막으로서 CVD법으로 산화 실리콘 막(81)을 퇴적한 후, 포토레지스트막을 마스크로 한 드라이 에칭으로 적층체(P1, P2)의 상부의 산화 실리콘막(81, 73) 및 질화 실리콘막(62) 등을 제거함으로써, 중형 MISFET(SV1, SV2)의 상부 반도체층(소스)(59)을 노출시켜, 관통홀(82)을 형성한다.

상기 드라이 에칭을 행할 때에는, 우선 적층체(P1, P2)의 상부의 산화 실리콘막(81, 73)이 제거된 단계에서 에칭을 일단 정지한다. 이 때, 포토마스크의 오정렬이 발생해도, 상부 반도체층(59)의 측벽에는 질화 실리콘막으로 이루어지는 측벽 스페이서(71)가 형성되어 있기 때문에, 게이트 전극(66)의 노출이 방지된다. 다음으로, 질화 실리콘막(62)을 에칭한다.

계속해서, 메모리 어레이에 형성된 플러그(80)의 상부를 피복하고 있는 산화 실리콘막(81)을 에칭하여 관통홀(84)을 형성한다.

다음으로, 관통홀(82, 84)의 내부를 포함하는 산화 실리콘막(81) 상에 배리어막으로서 TiN막을, 예를 들면 스퍼터링법을 이용하여 퇴적하고, 계속해서 도전성막으로서 W막을 퇴적한 후, 관통홀(82, 84)의 외부의 W막 등을 CMP법에 의해 제거함으로써 관통홀(82, 84)의 내부에 플러그(85)를 형성한다.

다음으로, 도 31 및 도 32에 도시한 바와 같이 산화 실리콘막(81)의 상부에 절연막으로서 산화 실리콘막(86)과 산화 실리콘막(87)을, 예를 들면 CVD법으로 순차적으로 퇴적한 후, 포토레지스트막을 마스크로 하여 관통홀(84)의 상부

의 산화 실리콘막(87)과 탄화 실리콘막(86)을 드라이 에칭함으로써, 배선홀(88)을 형성한다.

다음으로, 배선홀(88)의 내부를 포함하는 산화 실리콘막(87) 상에 배리어막으로서 질화 탄탈(TaN)막 또는 탄탈(Ta)막을, 예를 들면 스퍼터링법으로 퇴적하고, 또한 도전성막으로서 구리(Cu)막을, 예를 들면 스퍼터링법 또는 도금법으로 퇴적한 후, 배선홀(88)의 외부의 불필요한 Cu막 등을 CMP법으로 제거한다. 이들 배선은 전원 전압선(90)(Vdd) 및 상보성 데이터선(BLT, BLB)이 되고, 또한 메모리 셀의 단부에 위치하는 인출 배선(92)이 된다.

다음으로, 도 33 및 도 34에 도시한 바와 같이 산화 실리콘막(87)의 상부에 3층의 절연막(93)을 퇴적한 후, 이 절연막(93)에 배선홀(94)을 형성한다. 계속해서, 이 배선홀(94)의 내부를 포함하는 절연막(93) 상에 상술한 방법으로 Cu막 및 TaN막을 퇴적한 후, 배선홀(94)의 외부의 불필요한 Cu막 등을 CMP법으로 제거한다. 절연막(93)은, 예를 들면 CVD법으로 퇴적한 산화 실리콘막과 탄화 실리콘막과 산화 실리콘막과의 적층막으로 구성한다. 또한, 절연막(93)에 배선홀(94)을 형성할 때에는 메모리 셀의 단부에 형성된 4개의 인출 배선(92)의 각각의 상부의 배선홀(94)에 개구(94a)를 형성하고, 이 내부에도 Cu막 등을 형성한다. 이들의 배선은 기준 전압선(91)(Vss) 및 워드선(WL)이 된다.

또, 상기 SRAM 메모리 셀에서는 종형 MISFET를 구성하는 기동형의 적층체의 패턴을 타원 형상으로 했지만, 대략 구 형상으로 해도 된다.

또한, 상기 SRAM 메모리 셀에서의 하층의 MISFET(DR1, DR2, TR1, TR2)의 평면 레이아웃은 여러가지 변경 가능하다.

또한, 이하에 설명하는 바와 같이 SRAM 메모리 셀을 4개의 MISFET로 구성해 도 된다.

이 경우, 비교적 하층에 구동 MISFET(DR1, DR2)를 형성하고, 그 드레인 영역의 상부에 종형 MISFET(SV1, SV2)를 형성한다. 도 42에, 이 경우의 SRAM의 메모리 셀의 등가 회로도를 도시한다. 도 43은 본 메모리 셀의 주요부 평면도, 도 44는 주요부 단면도이고, 좌측 도면은 도 43의 A-A'부에 대응하고, 우측 도면은 도 43의 B-B'부에 대응한다.

도시하는 구동 MISFET(DR1, DR2)는, 도 33 및 도 34에 도시하는 구동 MISFET와 마찬가지로 형성할 수 있다.

이 MISFET의 소스, 드레인 영역 상에는 콘택트홀(324, 340) 내에 형성된 플러그(327, 341)가 형성되고, 이 중, 플러그(327) 상에는 기준 전압선(334)이 배치된다. 또한, 플러그(341) 상에는 접속용 도전층(346)을 사이에 두고 종형 MISFET(SV1, SV2)가 배치되어 있다.

이 종형 MISFET는 하부 반도체층(347), 중간 반도체층(348) 및 상부 반도체층(349), 그 주위에 형성된 게이트 절연막(353) 및 게이트 전극(354)으로 구성된다.

도 45에 도시한 바와 같이 메모리 셀 어레이를 구성하는 종형 MISFET(SV1, SV2)의 X 방향의 스페이스 3D1과 Y 방향의 스페이스 3D2가 다르며, Y 방향의 스페이스쪽이 크게 되어 있다. 이들 스페이스 사이는 도 44에 도시한 바와 같이 절연막(355)에 의해 매립된다.

이 절연막을 2층의 절연막으로 구성하여, 예를 들면 도 46에 도시한 바와 같이 제1 절연막(355a)을 퇴적한 후, 제2 절연막(355b)을 퇴적하여, 2단계의 공정으로 매립한다. 이들 절연막은 제1 및 제2 절연막(70a, 70b)과 마찬가지로 형성할 수 있다. 물론, 제2 절연막(355b) 상에 제3 절연막을 더 퇴적해도 된다.

이와 같이 2단계의 공정으로 절연막을 매립함으로써, 절연막의 매립 특성이 향상하고, 내압 향상이나 쇼트 방지 등, 종형 MISFET의 특성이나 수율을 향상시킬 수 있다.

또, 본 메모리 셀에서는 제1 및 제2 절연막 등을 형성한 후, 에칭을 행하고, 워드선 WL의 형성 및 게이트 전극(354)의 에치백을 행한다. 그 후, 플러그(365)나 배선(BLT, BLB)의 형성을 행한다.

또한, 참조 부호(320)는 질화 실리콘막, 참조 부호(321, 322)는 산화 실리콘막, 참조 부호(328)는 질화 실리콘막, 참조 부호(329)는 산화 실리콘막이다. 참조 부호(331)는 배선홀, 참조 부호(338)는 질화 실리콘막, 참조 부호(342)는 산화 실리콘막이다. 참조 부호(356)는 홈, 참조 부호(357)는 다결정 실리콘막, 참조 부호(358)는 측벽 스페이서, 참조 부호(360)는 Co 실리사이드층이다. 또한, 참조 부호(361)는 산화 실리콘막, 참조 부호(365)는 플러그이다. 참조 부호(366)는 탄화 실리콘막, 참조 부호(367)는 산화 실리콘막이고, 참조 부호(368)는 배선홀이다. 또, 도 44에 도시한 SRAM 메모리 셀의 상세한 제조 공정에 대해서는 일본 특원2002-199308호에 기재되어 있다.

또한, 도 42의 메모리 셀(MC)은 p 채널형 MISFET로 구성되는 종형 MISFET(SV1, SV2)의 OFF 시에 있어서의 누설 전류($I_{OFF}(p)$)를 이용하여 전하를 유지하는 구조로 되어 있다. 누설 전류($I_{OFF}(p)$)는 OFF 상태에 있는 구동 MISF

ET(DR1 또는 DR2)의 누설 전류($I_{OFF}(n)$)보다 크다.

이상, 본 발명자에 의해 이루어진 발명을 상기 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것이 아니고, 그 요지를 일탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.

특히, 상기 실시예에서는 SRAM 메모리 셀을 예로 들어 설명했지만, 종형 MISFET를 갖는 반도체 집적 회로 장치에 널리 적용할 수 있다.

단, SRAM 메모리 셀은 복수의 MISFET로 구성되므로, 종형 MISFET의 레이아웃이 다른 MISFET의 레이아웃에 의해 제한을 받는다. 그 결과, 종형 MISFET의 종횡의 피치에 차가 발생하는 경우가 많다.

이와 같이 종형 MISFET의 종횡의 피치에 차가 발생하는 경우에는, 본 발명의 매립 방법을 이용하면 효과적이다.

본원에 의해 개시되는 실시예 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 이하와 같다.

제1 방향으로 제1 거리 이격하고, 제2 방향으로 상기 제1 거리보다 큰 제2 거리 이격하여 배치되는 복수의 종형 MISFET의 기동형의 적층체 사이 내에, 제1 거리부를 제1 절연막으로, 제2 거리부를 제1 및 제2 절연막으로 매립했기 때문에, 절연막의 매립 특성을 향상시킬 수 있다. 또한, 반도체 집적 회로 장치의 특성의 향상을 도모할 수 있다. 또한, 반도체 집적 회로 장치의 미세화를 도모할 수 있다.

발명의 효과

본원에 의해 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 이하와 같다.

반도체 집적 회로 장치를 구성하는 종형 MISFET 사이의 매립 특성을 향상시킬 수 있다.

다른 효과는 반도체 집적 회로 장치의 특성의 향상을 도모할 수 있다.

다른 효과는 반도체 집적 회로 장치의 미세화를 도모할 수 있다.

(57) 청구의 범위

청구항 1.

(a1) 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 기동형의 적층체와,

(a2) 상기 기동형의 적층체의 측벽에 제1 절연막을 사이에 두고 형성된 도전성막을 갖는 종형 MISFET를 복수 구비하고,

상기 복수의 종형 MISFET의 상기 기동형의 적층체 및 상기 도전성막은,

(b1) 제1 방향으로 제1 거리 이격하여 배치되고,

(b2) 제2 방향으로 상기 제1 거리보다 큰 제2 거리 이격하여 배치되고,

상기 복수의 종형 MISFET의 상기 기동형의 적층체의 적어도 일정 높이까지에 있어서,

(c1) 상기 기동형의 적층체의 상기 제1 방향의 간극에는 제2 절연막이 형성되고,

(c2) 상기 기동형의 적층체의 상기 제2 방향의 간극에는 상기 제2 절연막 및 그 상부에 제3 절연막이 형성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 2.

(a1) 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 기동형의 적층체와,

(a2) 상기 기동형의 적층체의 측벽에 제1 절연막을 사이에 두고 형성된 도전 성막을 갖는 종형 MISFET를,

(b1) 제1 방향으로 제1 거리 이격하고,

(b2) 제2 방향으로 상기 제1 거리보다 큰 제2 거리 이격하여, 어레이 형상으로 복수 구비하고,

(c) 상기 복수의 종형 MISFET 중, 상기 제1 방향으로 배열되는 상기 종형 MISFET가 매립되고, 상기 제1 방향으로 연장하는 복수의 볼록부를 갖는 제2 절연막과,

(d) 상기 제2 절연막의 상기 복수의 볼록부 사이에 형성된 제3 절연막

을 갖는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 제2 절연막은 상기 제3 절연막보다 피복성이 좋은 막인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 4.

제1항 또는 제2항에 있어서,

상기 제2 절연막은 테트라에톡시실란을 원료로 한 화학 기상 성장법에 의해 형성된 산화 실리콘막이고,

상기 제3 절연막은 그 밀도가 10^{-11} /cm^2 이상인 플라즈마 분위기 하에서 형성된 산화 실리콘막인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 5.

제4항에 있어서,

상기 제2 절연막은 테트라에톡시실란 및 오존(O_3)을 원료로 한 화학 기상 성장법에 의해 형성된 산화 실리콘막인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 6.

제1항 또는 제2항에 있어서,

상기 기둥형의 적층체의 높이는 상기 제1 거리의 3배 이상인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 7.

제1항 또는 제2항에 있어서,

상기 제1 거리는 150nm 이하이고, 상기 제2 거리는 500nm 이상인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 8.

제1항에 있어서,

상기 기둥형의 적층체의 적어도 일정한 높이 이상의 상기 기둥형의 적층체의 상기 제1 방향의 간극 및 상기 제2 방향의 간극에는, 제4 절연막이 형성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 9.

제1항 또는 제2항에 있어서,

상기 기둥형의 적층체의 상기 제2 방향의 간극의 상기 제2 절연막의 막 두께는, 상기 제1 거리 이상인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 10.

제1항 또는 제2항에 있어서,

상기 기둥형의 적층체 및 그 측벽의 상기 도전성막의 평면 패턴은 대략 타원 형상이고, 상기 제1 방향의 제1 직경은 상기 제2 방향의 제2 직경보다 작은 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 11.

제1항에 있어서,

상기 일정 높이는 상기 제1 반도체 영역의 바닥부로부터 상부의 사이에 위치하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 12.

제1항 또는 제2항에 있어서,

상기 복수의 종형 MISFET는 상기 제1 방향 및 상기 제2 방향으로 어레이 형상으로 배치된 복수의 메모리 셀을 구성하고,

상기 메모리 셀은,

(d1) 상기 복수의 종형 MISFET 중, 상기 제1 방향으로 인접하는 2개의 상기 종형 MISFET와,

(d2) 상기 2개의 종형 MISFET의 각각의 상기 제2 반도체 영역과 접촉되고, 상기 2개의 종형 MISFET와 함께 각각의 입출력부가 교차 접속된 인버터쌍을 구성하는 2개의 횡형 구동 MISFET와,

(d3) 상기 2개의 종형 MISFET의 각각의 상기 제2 반도체 영역과 제1 선쌍과의 사이에 각각 접촉되고, 각각의 게이트 전극이 제2 선에 접속된 2개의 횡형 전송 MISFET를 갖고,

(d4) 상기 2개의 횡형 구동 MISFET와 상기 2개의 횡형 전송 MISFET는, 상기 제2 반도체 영역보다 하층에 형성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 13.

제1항 또는 제2항에 있어서,

상기 복수의 종형 MISFET는 상기 제1 방향 및 상기 제2 방향으로 어레이 형상으로 배치된 복수의 메모리 셀을 구성하고,

상기 메모리 셀은,

(d1) 상기 복수의 종형 MISFET 중, 상기 제1 방향으로 인접하는 2개의 상기 종형 MISFET에 있어서,

제1 선쌍과 각각의 상기 제2 반도체 영역이 각각 접촉되고,

제2 선과 각각의 상기 도전성막이 접속되는 2개의 상기 종형 MISFET와,

(d2) 상기 2개의 종형 MISFET의 각각의 상기 제2 반도체 영역과 기준 전위와의 사이에 각각 접촉되고, 그 게이트 전극이 상기 2개의 종형 MISFET의 각각의 상기 제2 반도체 영역과 교차 접속되는 2개의 횡형 구동 MISFET를 갖고,

(d3) 상기 2개의 횡형 구동 MISFET는 상기 제2 반도체 영역보다 하층에 형성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 14.

제12항 또는 제13항에 있어서,

단일의 상기 메모리 셀이 형성되는 영역은 대략 구 형상이고, 상기 제1 방향의 길이보다 상기 제2 방향의 길이가 보다 긴 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 15.

(a) 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 기동형의 적층체를 제1 방향 및 제2 방향으로 복수 이격하여 형성하는 공정으로서, 상기 제1 방향의 간격보다 상기 제2 방향의 간격이 넓어지도록 형성하는 공정과,

(b) 상기 기동형의 적층체의 측벽에 제1 절연막을 사이에 두고 도전성막을 형성하고, 상기 복수의 기동형의 적층체의 측벽의 상기 도전성막의 제1 방향의 거리를 제1 거리로, 제2 방향의 거리를 상기 제1 거리보다 긴 제2 거리로 하는

공정과,

(c) 상기 제1 거리 사이를 매립하고, 상기 제2 거리 사이를 매립할 수 없을 정도의 막 두께의 제2 절연막을 형성하는 공정과,

(d) 상기 제2 절연막 위에 제3 절연막을 형성하는 공정으로서, 상기 제2 거리 사이를 매립하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 16.

(a) 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 기둥형의 적층체를 제1 방향 및 제2 방향으로 복수 이격하여 형성하는 공정으로서, 상기 제1 방향의 간격보다 상기 제2 방향의 간격이 넓어지도록 형성하는 공정과,

(b) 상기 기둥형의 적층체의 측벽에 제1 절연막을 사이에 두고 도전성막을 형성하고, 상기 복수의 기둥형의 적층체의 측벽의 상기 도전성막의 제1 방향의 거리를 제1 거리로, 제2 방향의 거리를 상기 제1 거리보다 긴 제2 거리로 하는 공정과,

(c) 상기 기둥형의 적층체 사이 및 그 상부에, 상기 제1 거리 이상의 막 두께의 제2 절연막을 퇴적하는 공정과,

(d) 상기 제2 절연막 위에 상기 (c) 공정 후에 있어서의 상기 기둥형의 적층체의 상기 제2 거리부 상의 상기 제2 절연막의 상부와, 상기 기둥형의 적층체 상의 상기 제2 절연막의 상부와와의 고저 차의 70% 이상의 막 두께의 제3 절연막을 퇴적하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 17.

제15항 또는 제16항에 있어서,

상기 (c) 공정은 700°C 이하의 온도 하에서 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 18.

제15항 또는 제16항에 있어서,

상기 (c) 및 (d) 공정은 700°C 이하의 온도 하에서 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 19.

제15항 또는 제16항에 있어서,

상기 (d) 공정 후, (e) 상기 제3 절연막 위에 제4 절연막을 퇴적하는 공정과,

(f) 상기 제2, 제3 및 제4 절연막을 상기 기둥형의 적층체의 상기 제1 반도체 영역의 측벽에 위치하는 상기 도전성막이 노출될 때까지 에칭하는 공정과,

(g) 상기 (f) 공정에 의해 노출된 상기 도전성막을 에칭하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 20.

제19항에 있어서,

상기 (g) 공정 후, (h) 상기 제2 및 제3 절연막 위에 제5 절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 21.

제15항 또는 제16항에 있어서,

상기 (d) 공정 후, (e) 상기 제2 및 제3 절연막을 상기 기둥형의 적층체의 상기 제1 반도체 영역의 측벽에 위치하는 상기 도전성막이 노출될 때까지 에칭하는 공정과,

(f) 상기 (e) 공정에 의해 노출된 상기 도전성막을 에칭하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 22.

제21항에 있어서,

상기 (f) 공정 후, (g) 상기 제2 및 제3 절연막 위에 제4 절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 23.

제15항 또는 제16항에 있어서,

상기 제2 절연막은 상기 제3 절연막보다 피복성이 좋은 막인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 24.

제15항 또는 제16항에 있어서,

상기 제2 절연막은 산화 실리콘막이고, 상기 (c) 공정은 테트라에톡시실란을 원료로 한 화학 기상 성장법을 이용하여 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 25.

제15항 또는 제16항에 있어서,

상기 제2 절연막은 산화 실리콘막이고, 상기 (c) 공정은 테트라에톡시실란 및 오존(O_3)을 원료로 한 화학 기상 성장법을 이용하여 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 26.

제15항 또는 제16항에 있어서,

상기 제3 절연막은 산화 실리콘막이고, 상기 (d) 공정은 밀도가 $10^{11}/cm^2$ 이상인 플라즈마 분위기 하에서 행해지는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 27.

제15항 또는 제16항에 있어서,

상기 기둥형의 적층체의 높이는 상기 제1 거리의 3배 이상인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 28.

제15항 또는 제16항에 있어서,

상기 제1 거리는 150nm 이하이고, 상기 제2 거리는 500nm 이상인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 29.

제15항 또는 제16항에 있어서,

상기 기둥형의 적층체 및 그 측벽의 상기 도전성막의 평면 패턴은 대략 타원 형상이고, 상기 제1 방향의 제1 직경은 상기 제2 방향의 제2 직경보다 작은 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 30.

제15항 또는 제16항에 있어서,

상기 (a) 공정의 상기 기둥형의 적층체는 제1 방향으로 H자 형상의 마스크를 이용하여 형성되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 31.

제15항 또는 제16항에 있어서,

상기 (a) 공정 전에,

(h) 소스 · 드레인 영역을 공유하는 2개의 횡형 MISFET쌍을 형성하는 공정을 포함하고,

(i) 상기 제1 방향으로 인접하는 2개의 상기 종형 MISFET의 상기 제2 반도체 영역은 상기 2개의 횡형 MISFET쌍의 공유하는 상기 소스 · 드레인 영역과 각각 접속되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 32.

제15항 또는 제16항에 있어서,

상기 (a) 공정 전에,

(j) 2개의 횡형 MISFET를 형성하는 공정을 포함하고,

(k) 상기 제1 방향으로 인접하는 2개의 상기 종형 MISFET의 상기 제2 반도체 영역은 상기 2개의 횡형 MISFET의 일단과 각각 접속되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 33.

(a) 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 반도체막을 형성하는 공정과,

(b) 상기 반도체막을 제1 방향에 대하여 H자 형상의 마스크를 이용하여 가공함으로써 상기 제1 방향과 직교하는 제2 방향으로 긴 직경을 갖는 대략 타원 기둥형의 적층체를 형성하는 공정과,

(c) 상기 대략 타원 기둥형의 적층체의 측벽에 절연막을 사이에 두고 도전성막을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 34.

(a1) 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 기둥형의 적층체와,

(a2) 상기 기둥형의 적층체의 측벽에 제1 절연막을 사이에 두고 형성된 도전성막을 갖는 종형 MISFET를 복수 구비하고,

상기 복수의 종형 MISFET의 상기 기둥형의 적층체 및 상기 도전성막은,

(b1) 제1 방향으로 제1 거리 이격하여 배치되고,

(b2) 제2 방향으로 상기 제1 거리보다 큰 제2 거리 이격하여 배치되고,

(c) 상기 기둥형의 적층체 및 그 측벽의 상기 도전성막의 평면 패턴은 대략 타원 형상이고, 상기 제1 방향의 제1 직경은 상기 제2 방향의 제2 직경보다 작은 반도체 집적 회로 장치의 제조 방법에 있어서,

(d) 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 반도체막을 형성하는 공정과,

(e) 상기 반도체막을 상기 제1 방향에 대하여 H자 형상의 마스크를 이용하여 가공함으로써 상기 제1 방향과 직교하는 제2 방향으로 긴 직경을 갖는 대략 타원 기둥형의 적층체를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 35.

제33항 또는 제34항에 있어서,

상기 공정은 SRAM을 구성하는 종형 MISFET를 형성하는 공정으로서, 상기 SRAM의 단일의 메모리 셀의 형성 영역은 대략 구 형상이고, 상기 제2 방향으로 긴 변을 갖는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 36.

제33항 또는 제34항에 있어서,

상기 H자 형상의 마스크는 포토리소그래피 기술로 이용되는 전사 마스크이고, 상기 H자 형상의 전사 마스크에 의해 대략 타원 기둥형의 가공용 패턴이 형성되고, 상기 가공용 패턴을 이용하여 상기 반도체막이 대략 타원 기둥형의 적층체로 가공되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 37.

제36항에 있어서,

상기 H자 형상의 마스크는 상기 제1 방향의 폭이 상기 제2 방향의 중앙부에서 그 양단부보다 좁게 구성된 형상을 구성하고 있는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 38.

(a) 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 기둥형의 적층체로서, 그 평면 패턴이 대략 타원 형상의 기둥형의 적층체와,

(b) 상기 기둥형의 적층체의 측벽에 절연막을 사이에 두고 형성된 도전성막을 갖는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 39.

(a1) 상부 및 하부에 각각 제1 및 제2 반도체 영역을 갖는 기둥형의 적층체와,

(a2) 상기 기둥형의 적층체의 측벽에 제1 절연막을 사이에 두고 형성된 도전성막을 갖는 종형 MISFET를 복수 구비하고,

상기 복수의 종형 MISFET의 상기 기둥형의 적층체 및 상기 도전성막은,

(b1) 제1 방향으로 제1 거리 이격하여 배치되고,

(b2) 제2 방향으로 상기 제1 거리보다 큰 제2 거리 이격하여 배치되고,

(c) 상기 기둥형의 적층체 및 그 측벽의 상기 도전성막의 평면 패턴은 대략 타원 형상이고, 상기 제1 방향의 제1 직경은 상기 제2 방향의 제2 직경보다 작은 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 40.

제38항 또는 제39항에 있어서,

상기 기둥형의 적층체는 SRAM의 종형 MISFET를 구성하고, 상기 SRAM의 단일의 메모리 셀의 형성 영역은 대략 구형상이고, 상기 대략 타원 형상의 긴 직경 방향으로 긴 변을 갖는 것을 갖는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 41.

제1항, 제2항, 제38항 및 제39항 중 어느 한 항에 있어서,

상기 도전성막은 상기 기둥형의 적층체의 주위를 둘러싸도록 형성되는 것을 특징으로 하는 반도체 집적 회로 장치.

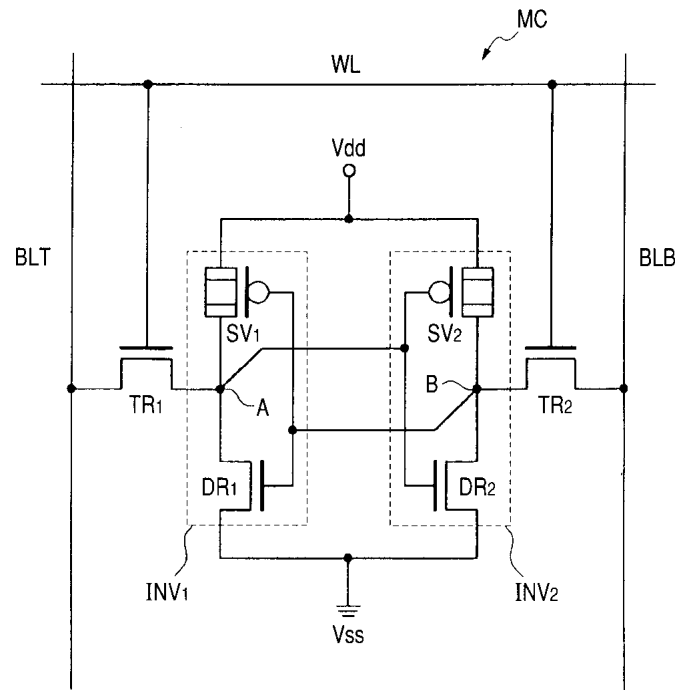
청구항 42.

제15항, 제16항, 제33항 및 제34항 중 어느 한 항에 있어서,

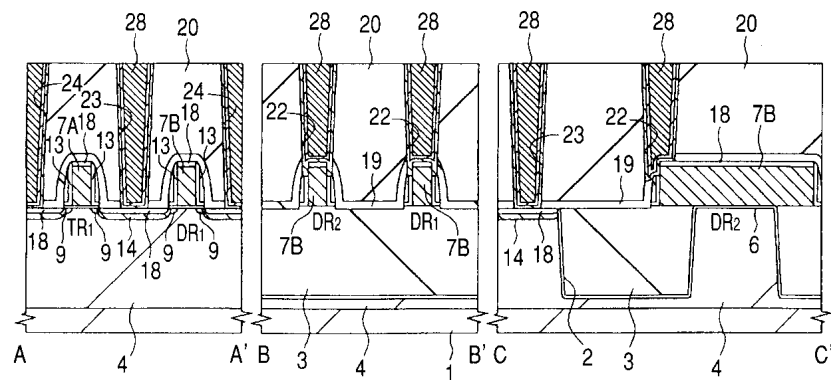
상기 도전성막은 상기 기둥형의 적층체의 주위를 둘러싸도록 형성되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

도면

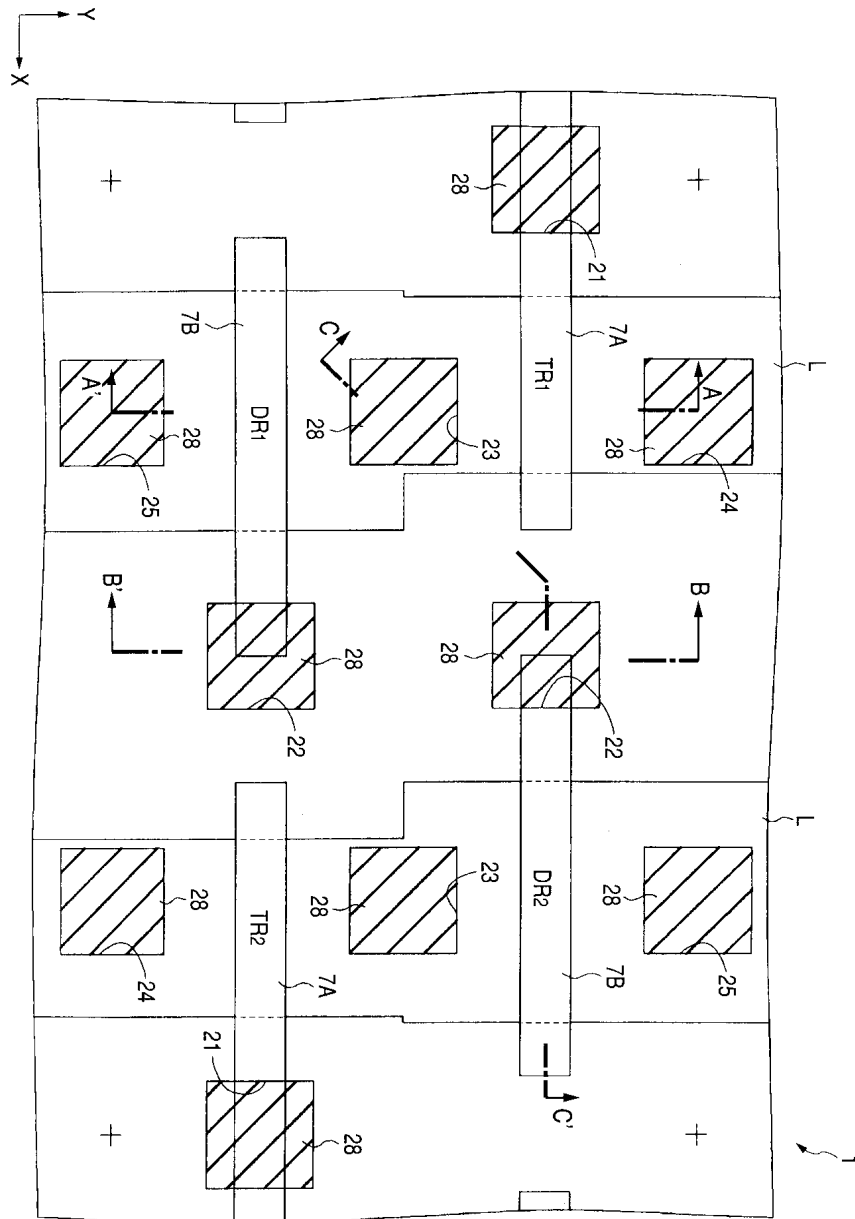
도면1



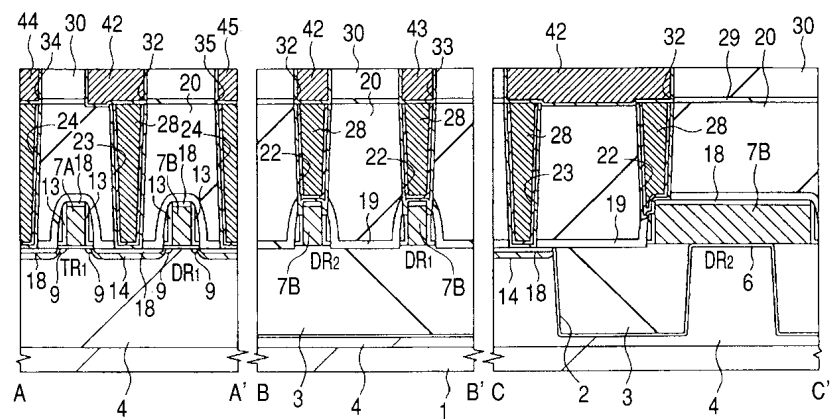
도면2



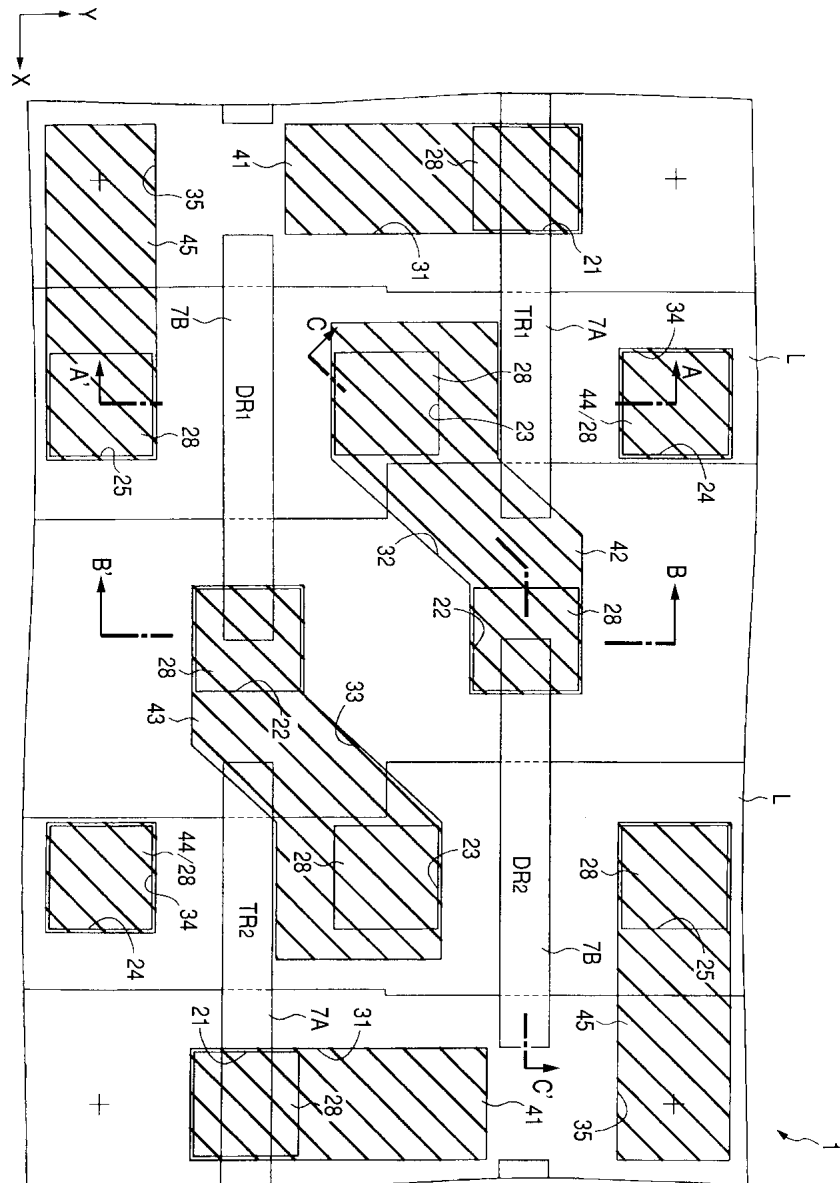
도면3



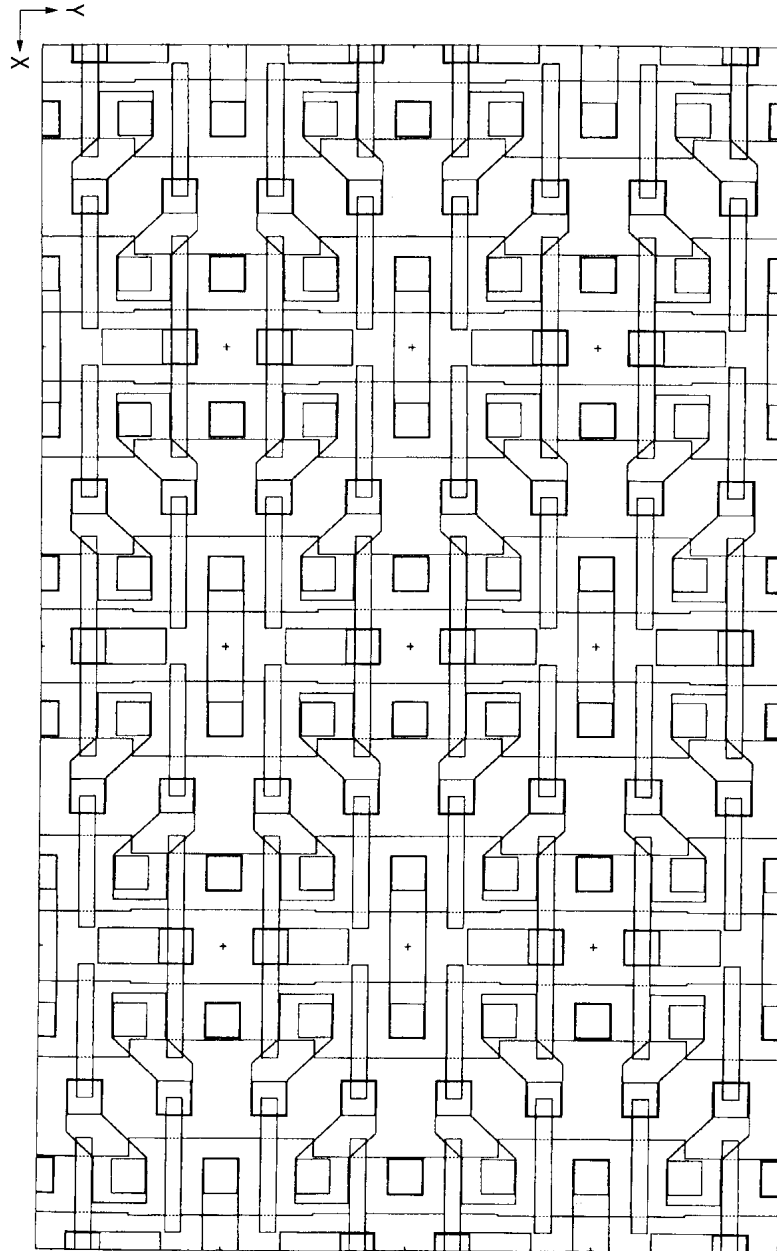
도면4



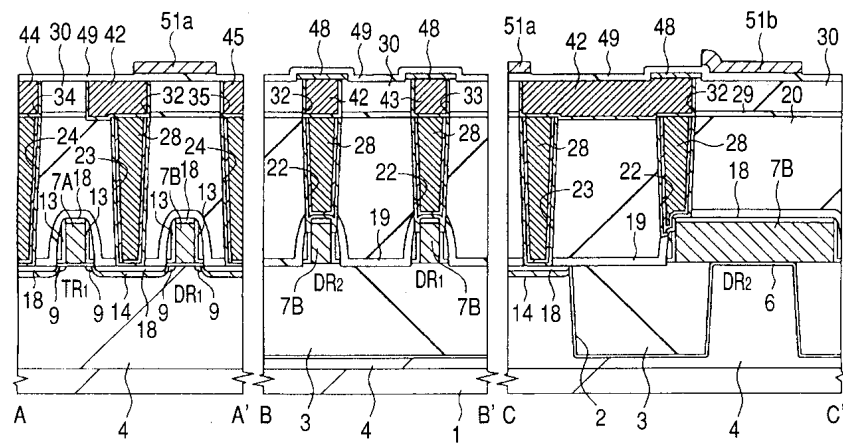
도면5



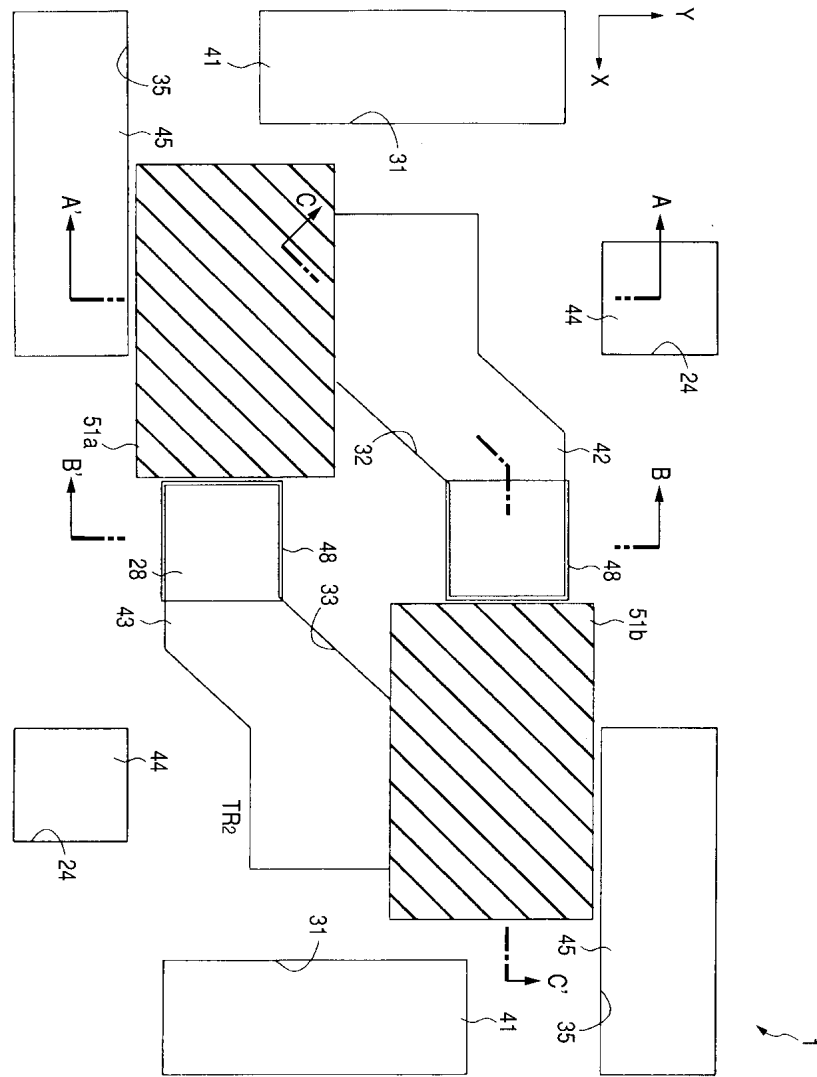
도면6



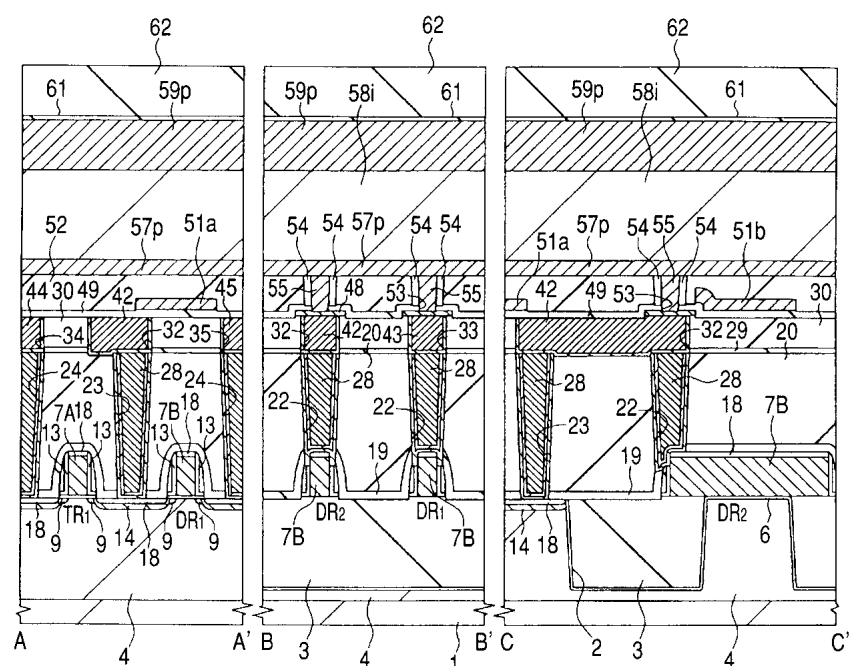
도면7



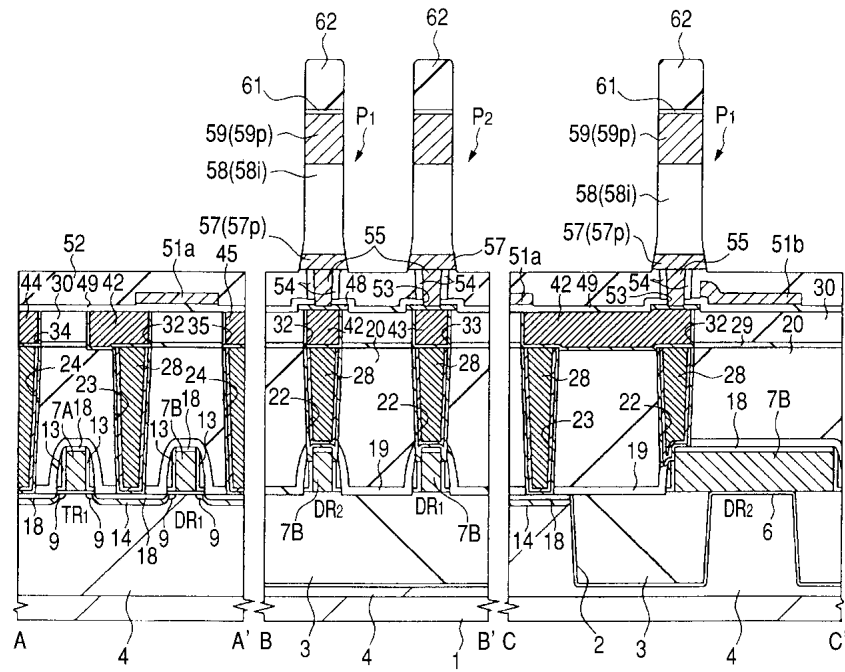
도면8



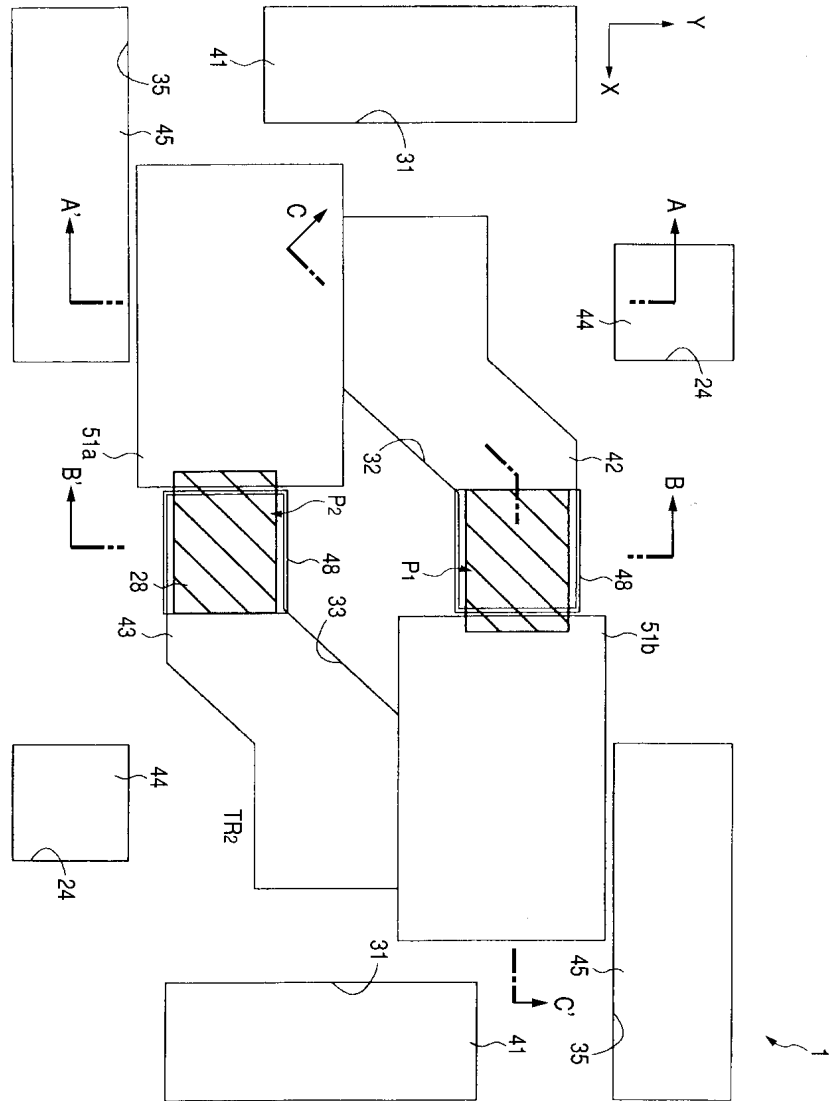
도면9



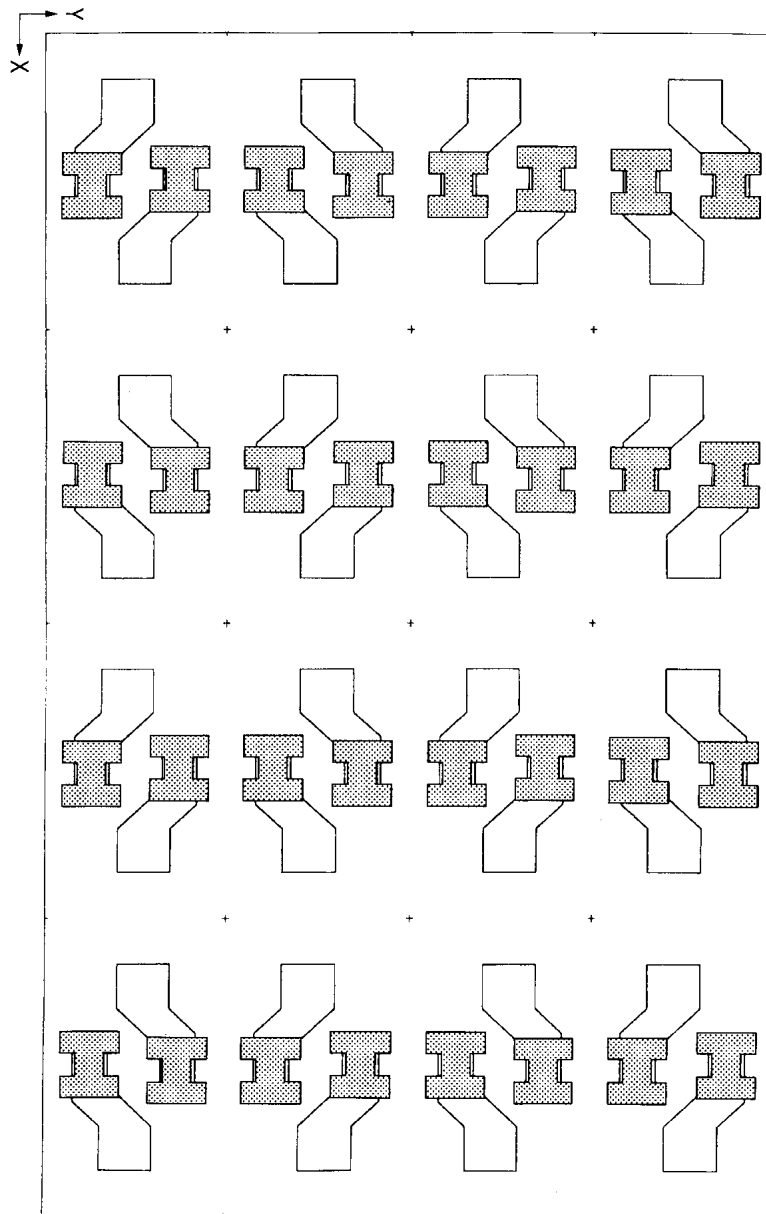
도면10



도면11



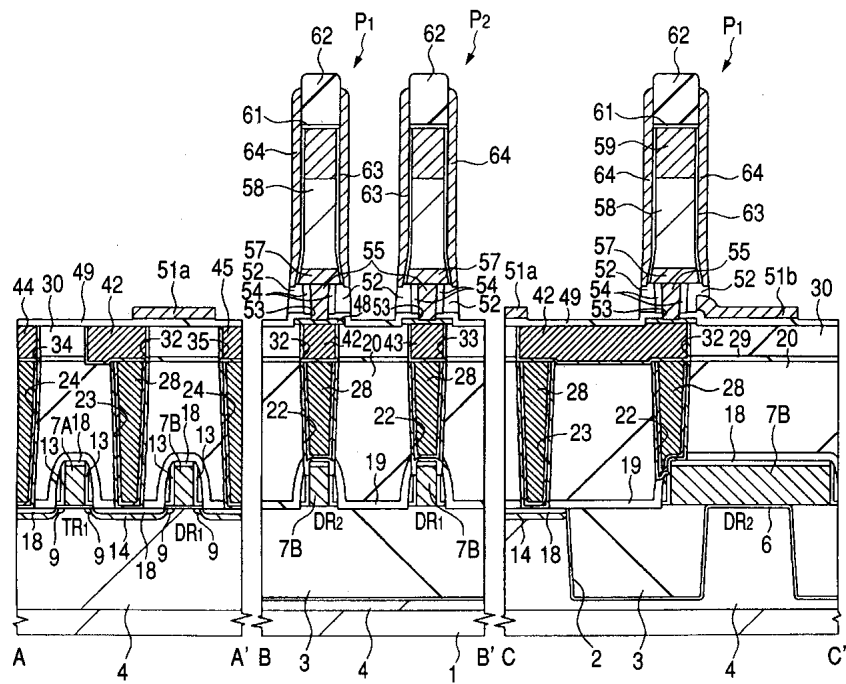
도면12



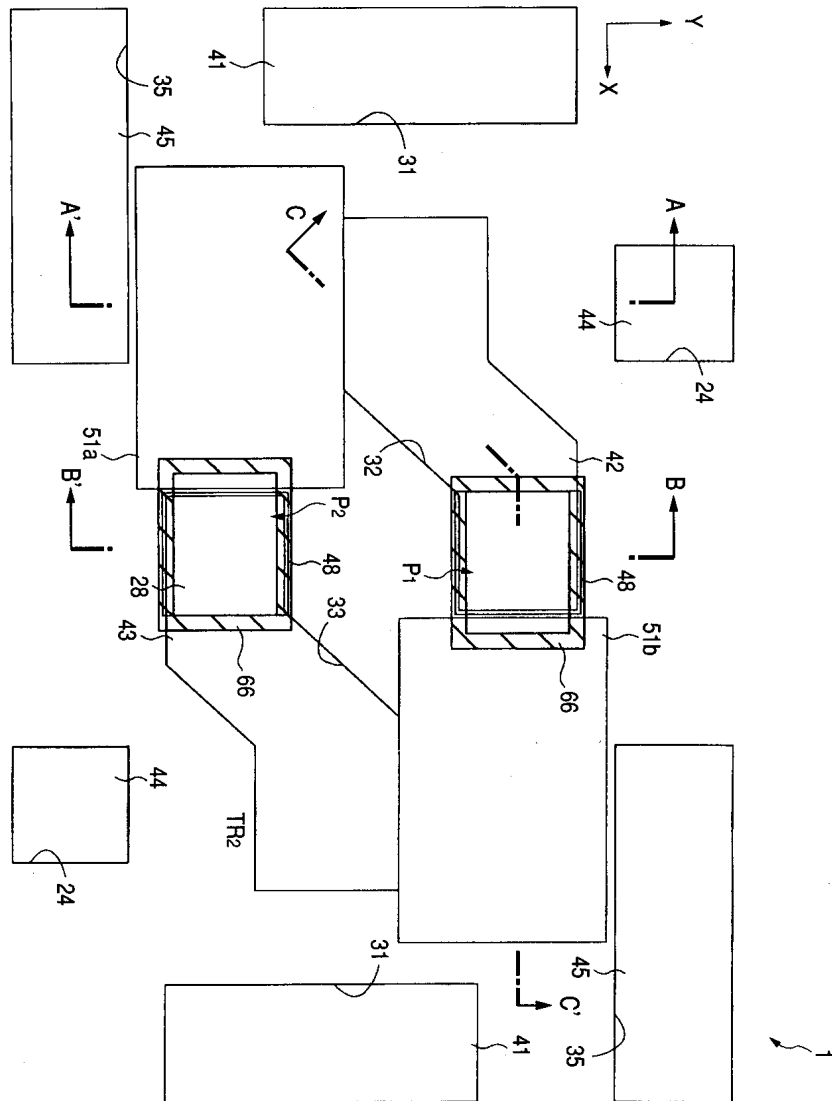
도면13

	레티클 패턴	가공 패턴
(a)		
(b)		

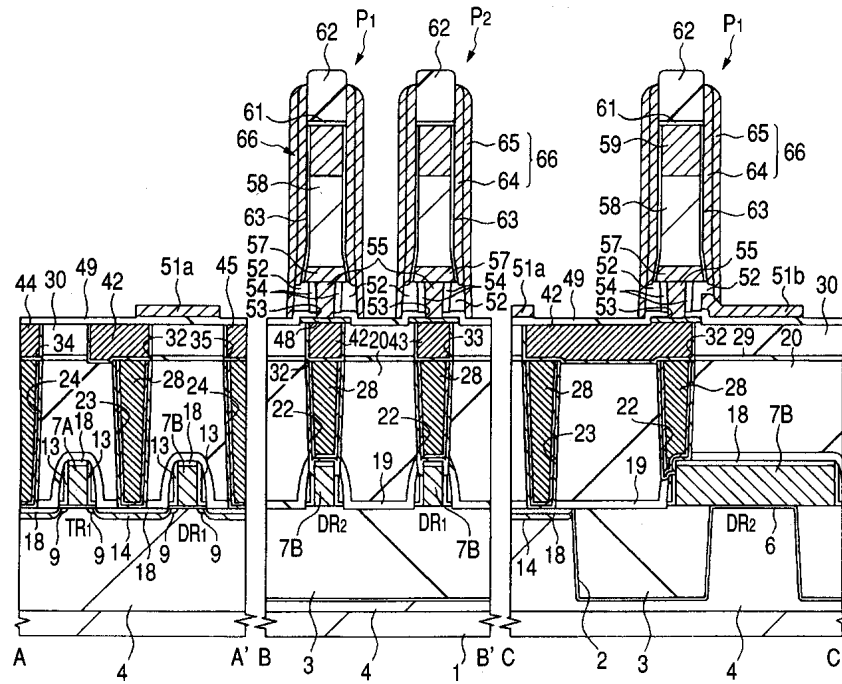
도면14



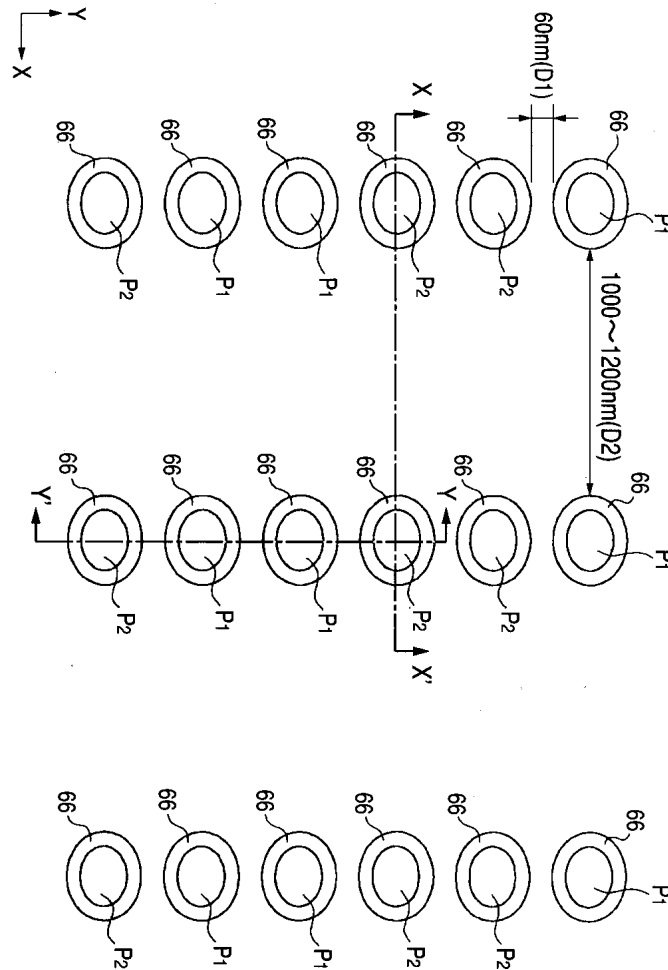
도면15



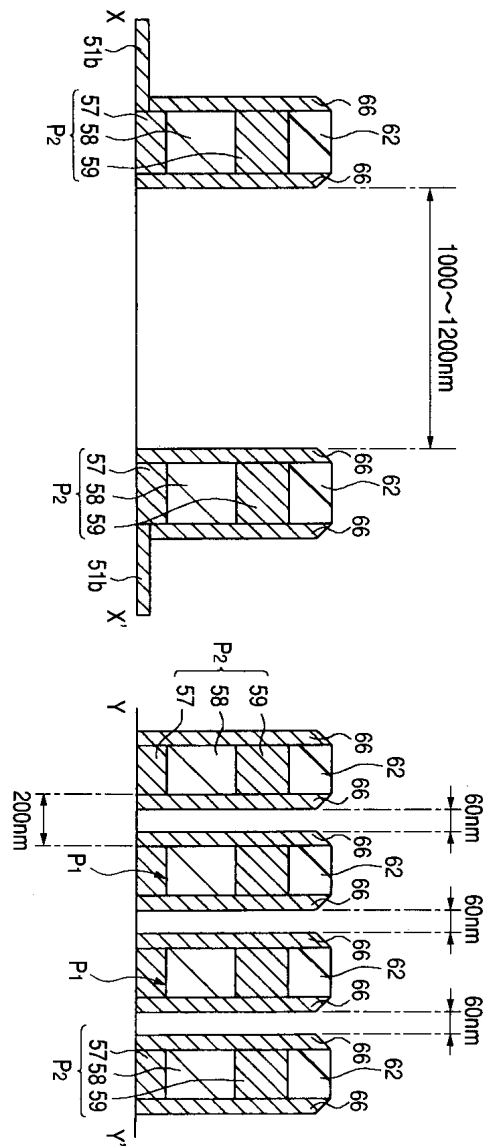
도면16



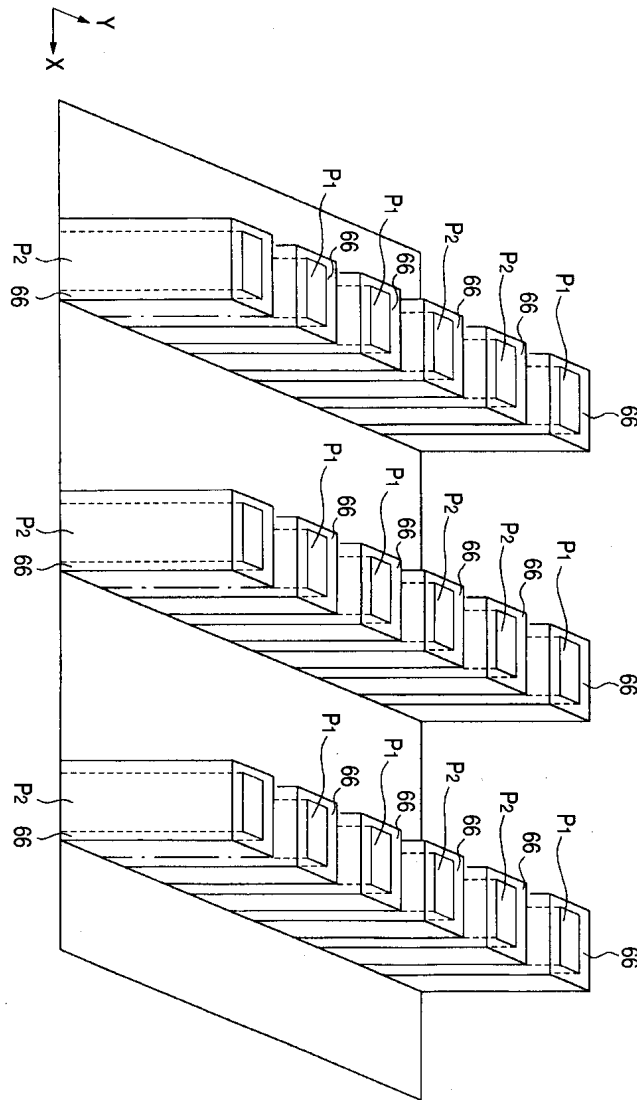
도면17



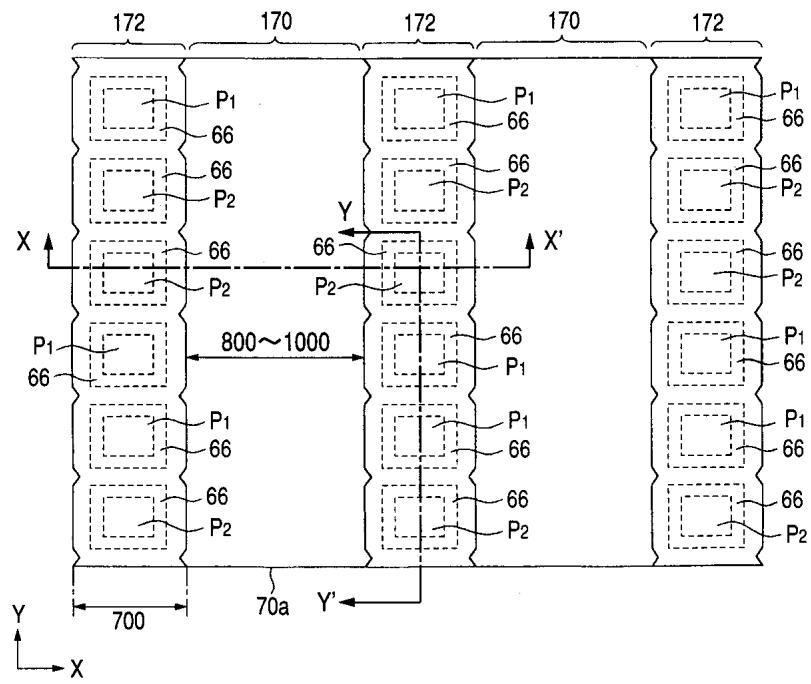
도면18



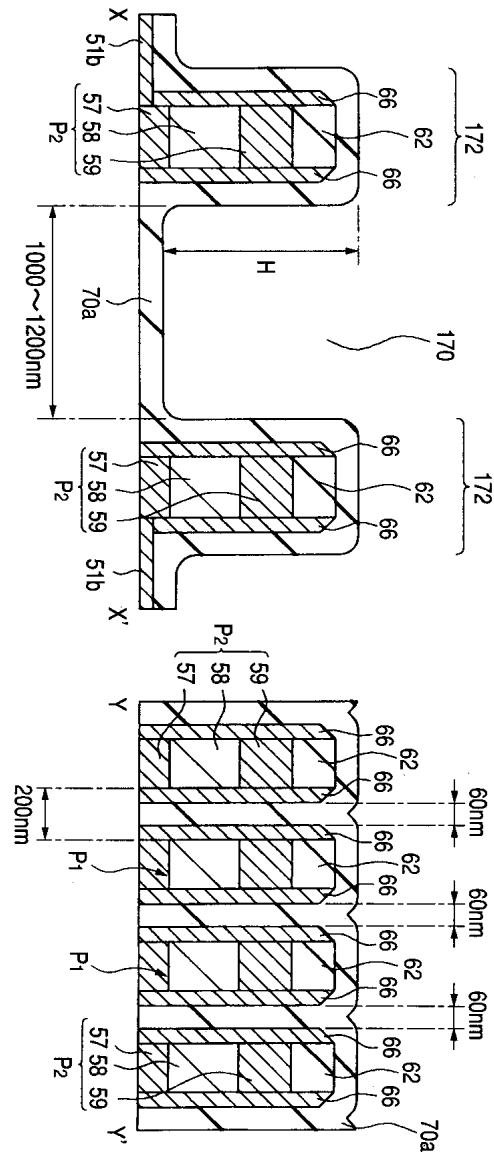
도면19



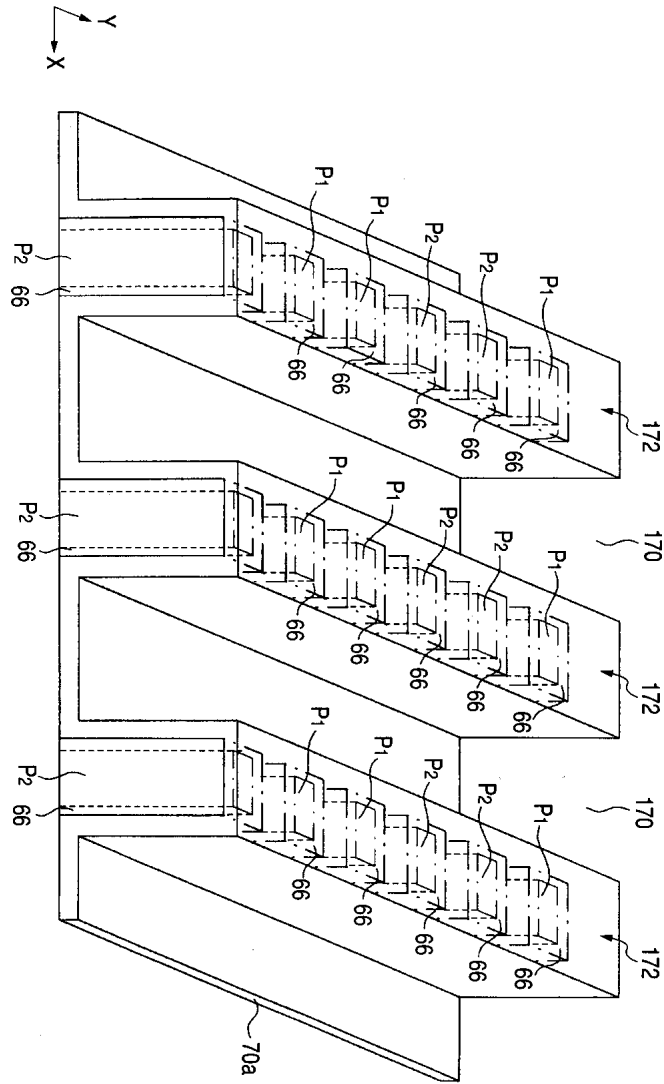
도면20



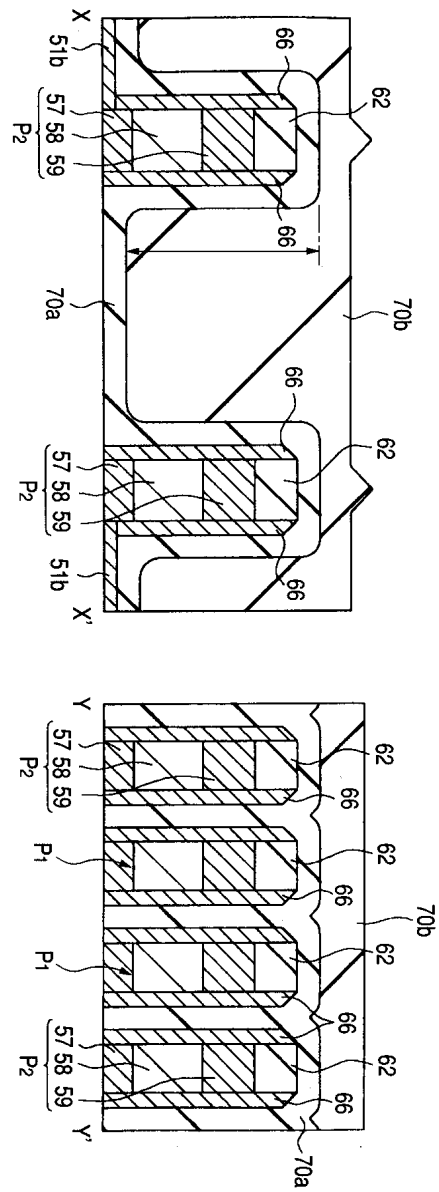
도면21



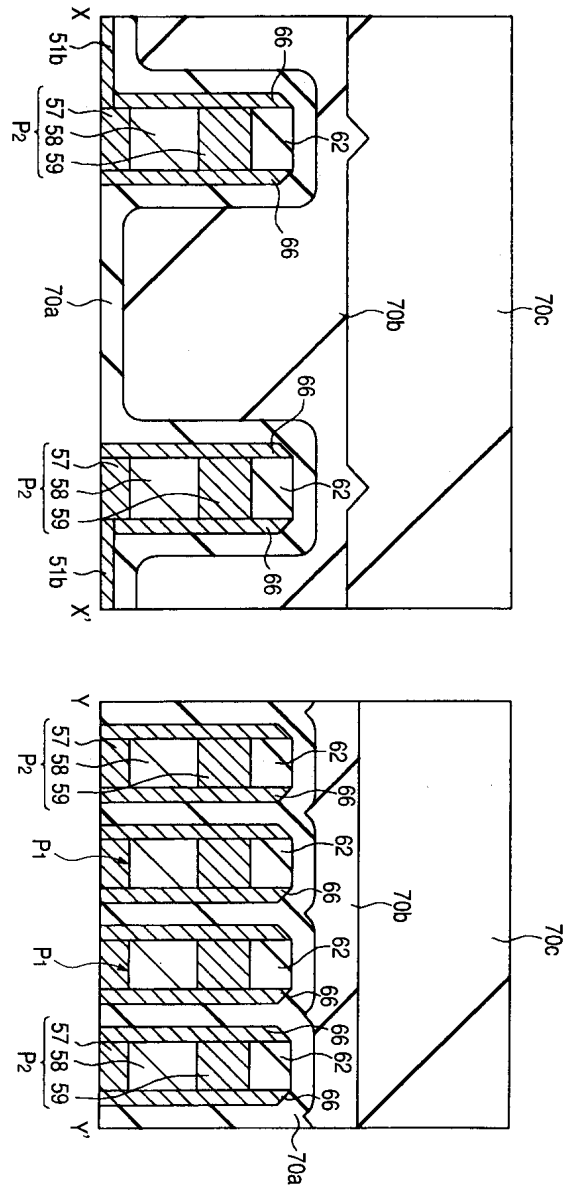
도면22



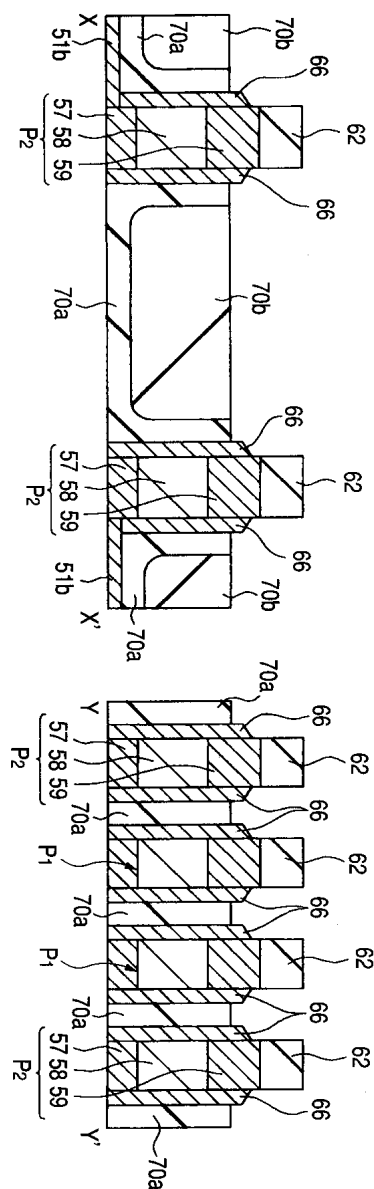
도면23



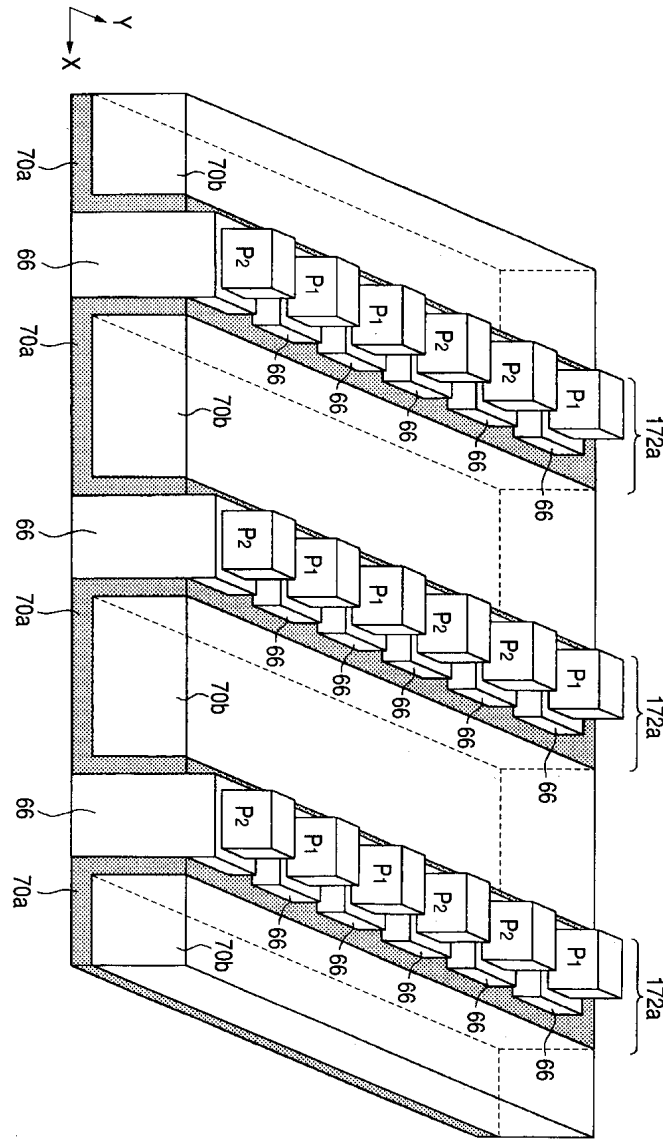
도면24



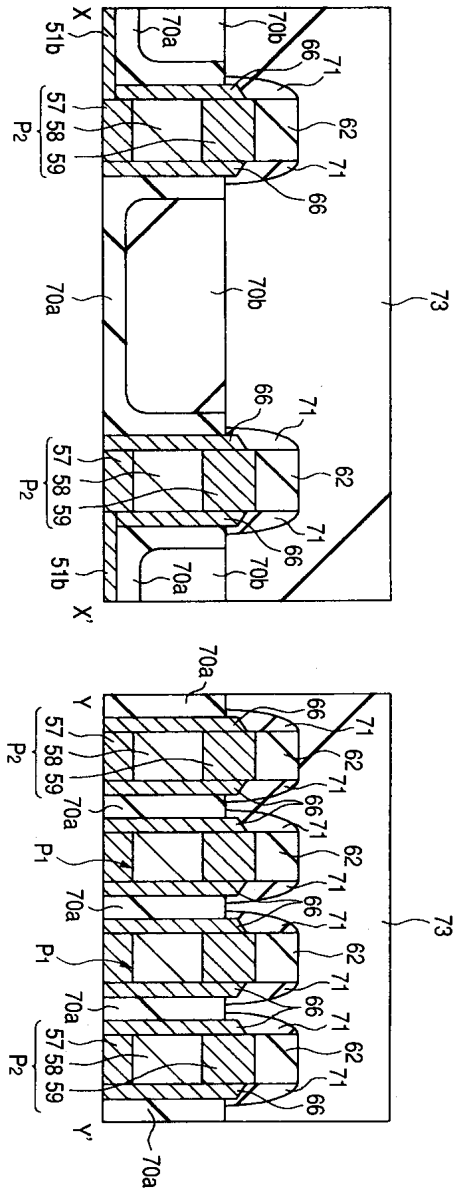
도면25



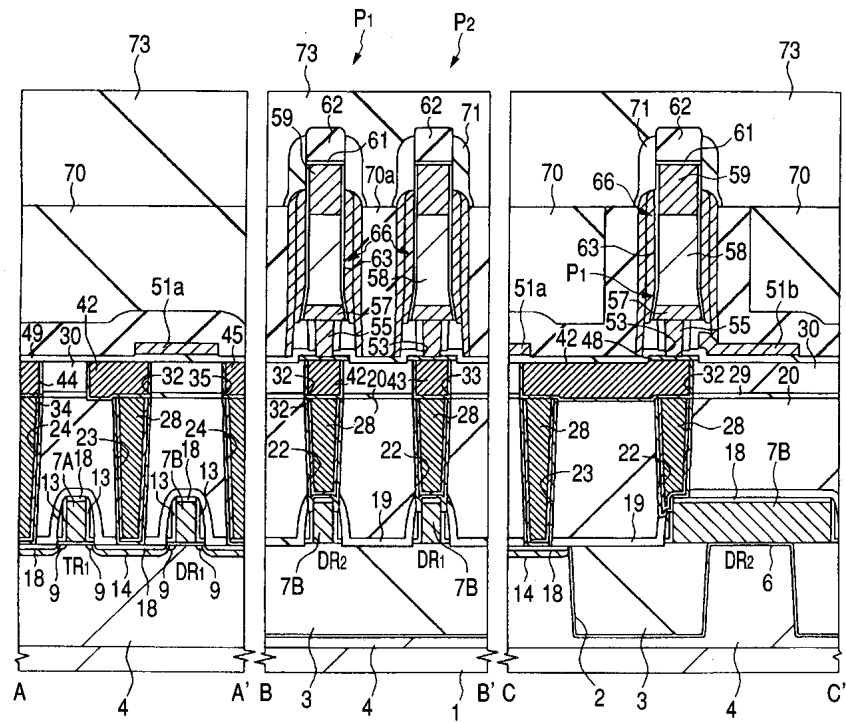
도면26



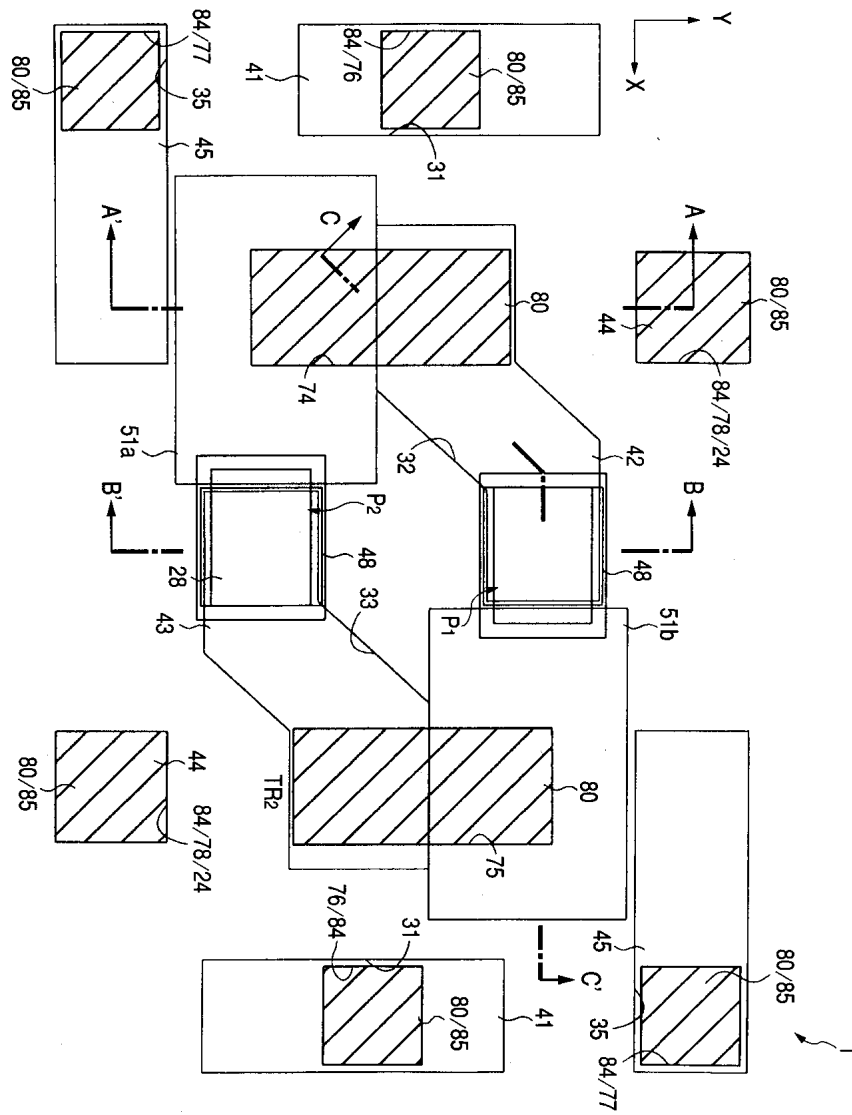
도면27



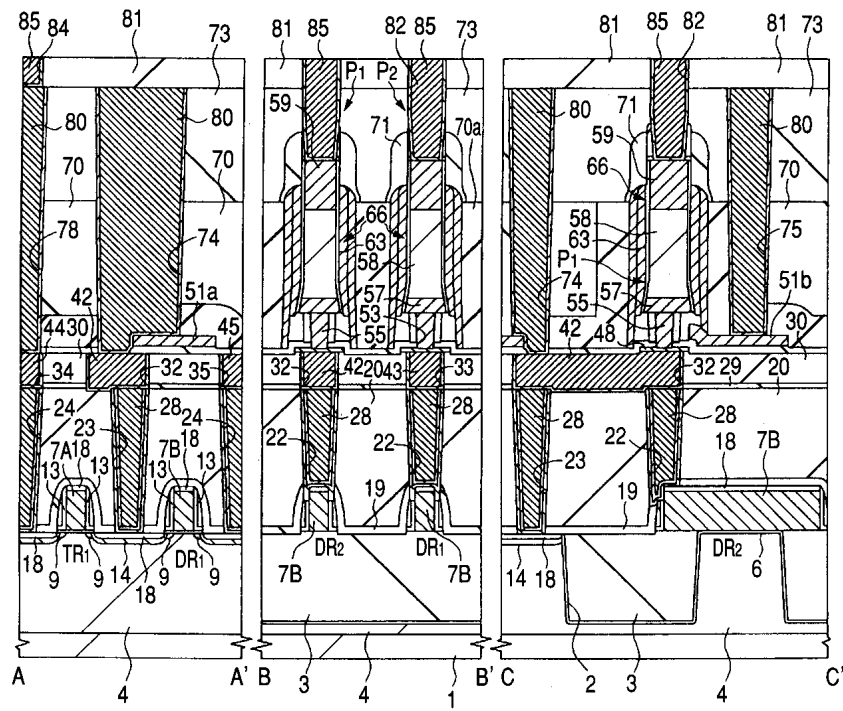
도면28



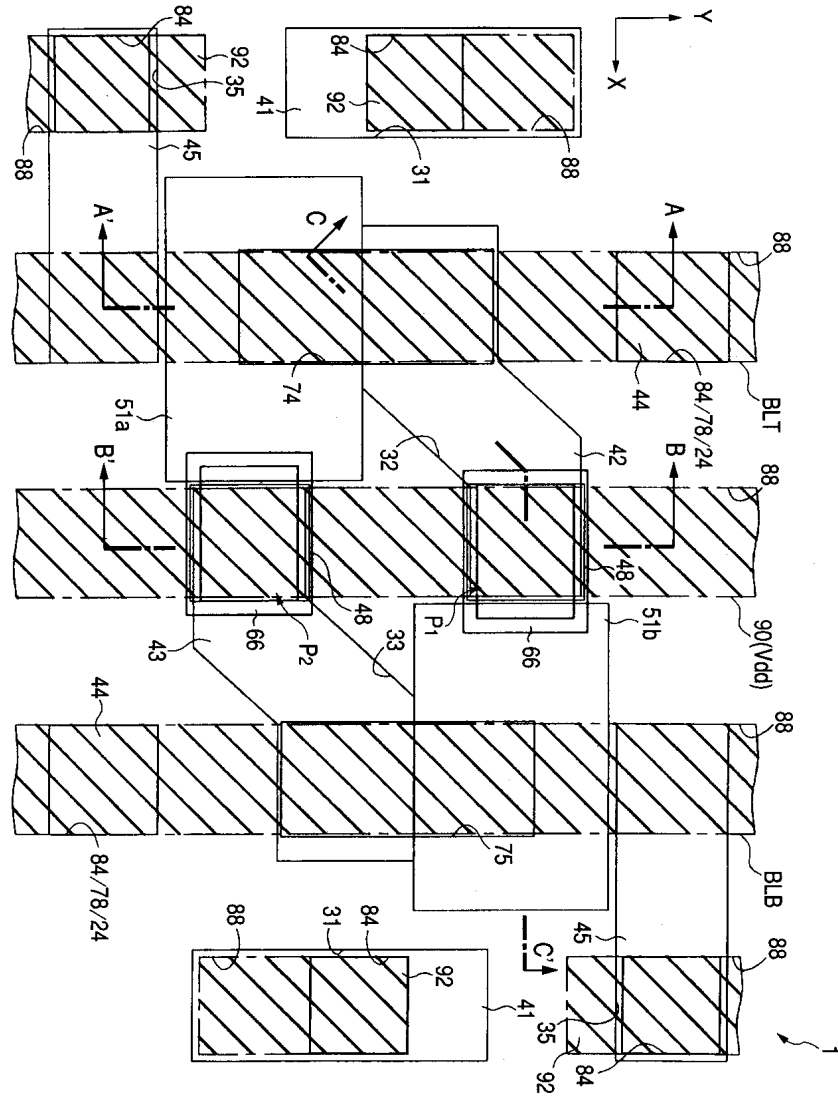
도면29



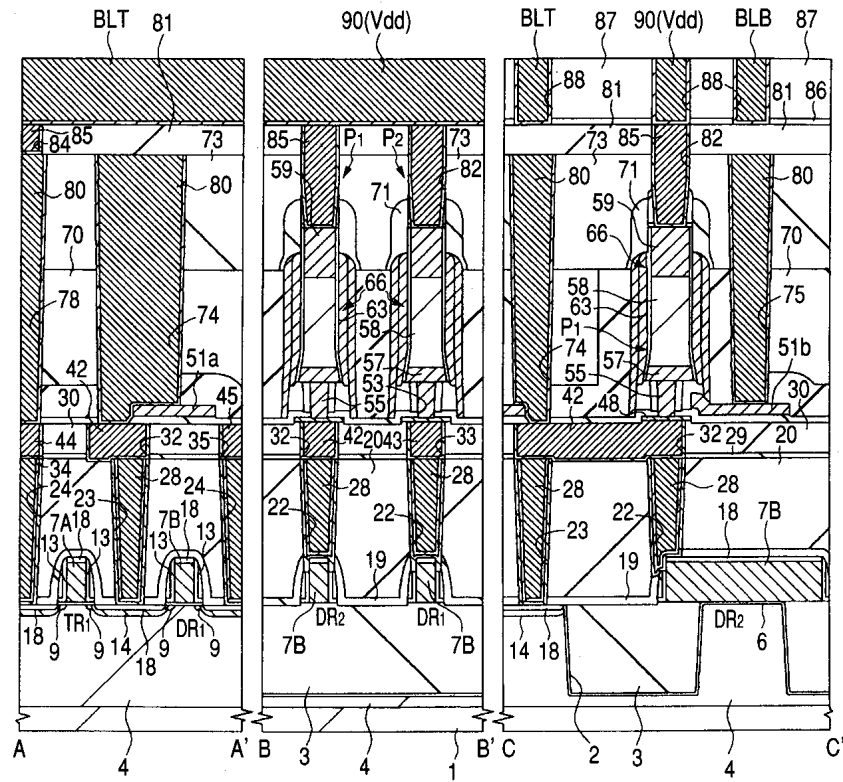
도면30



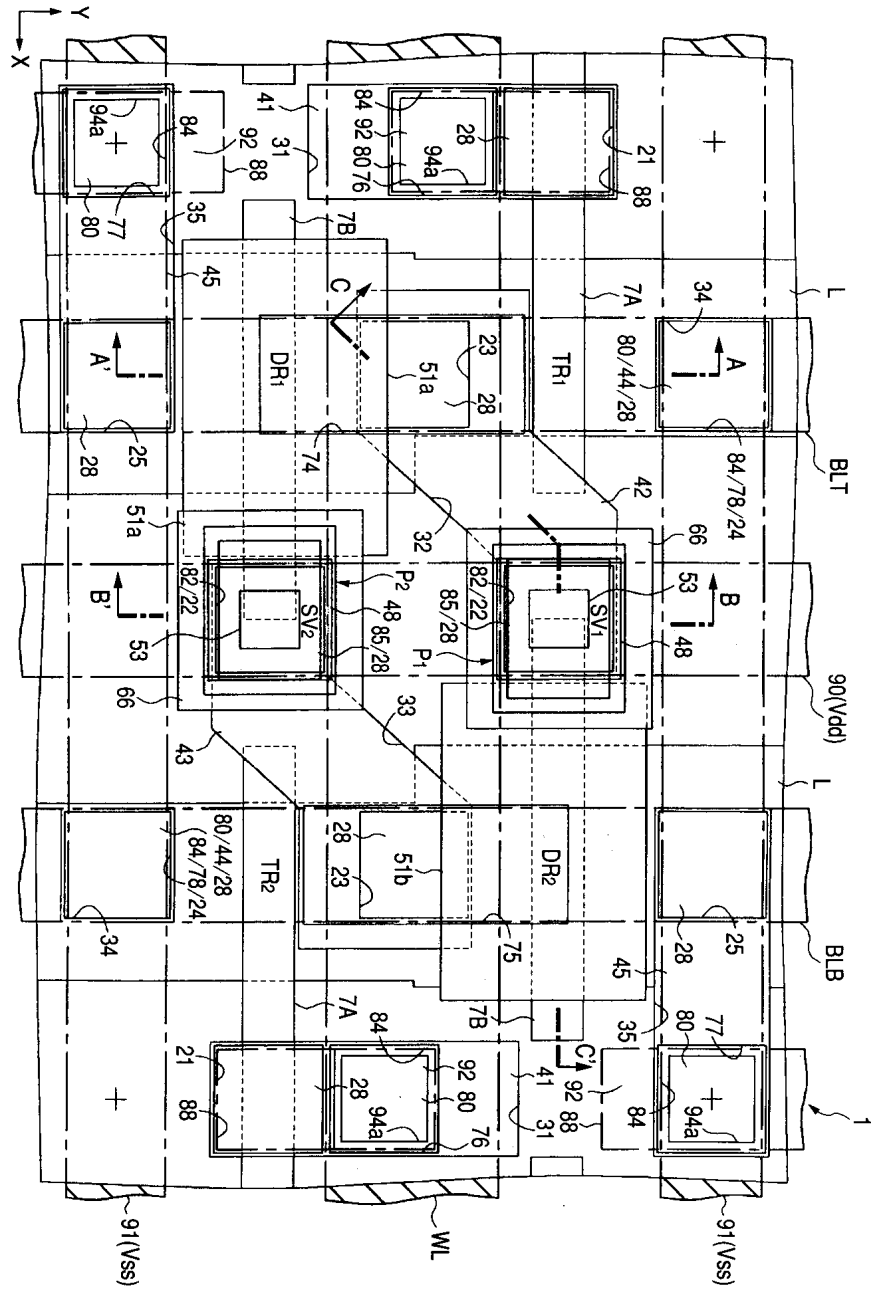
도면31



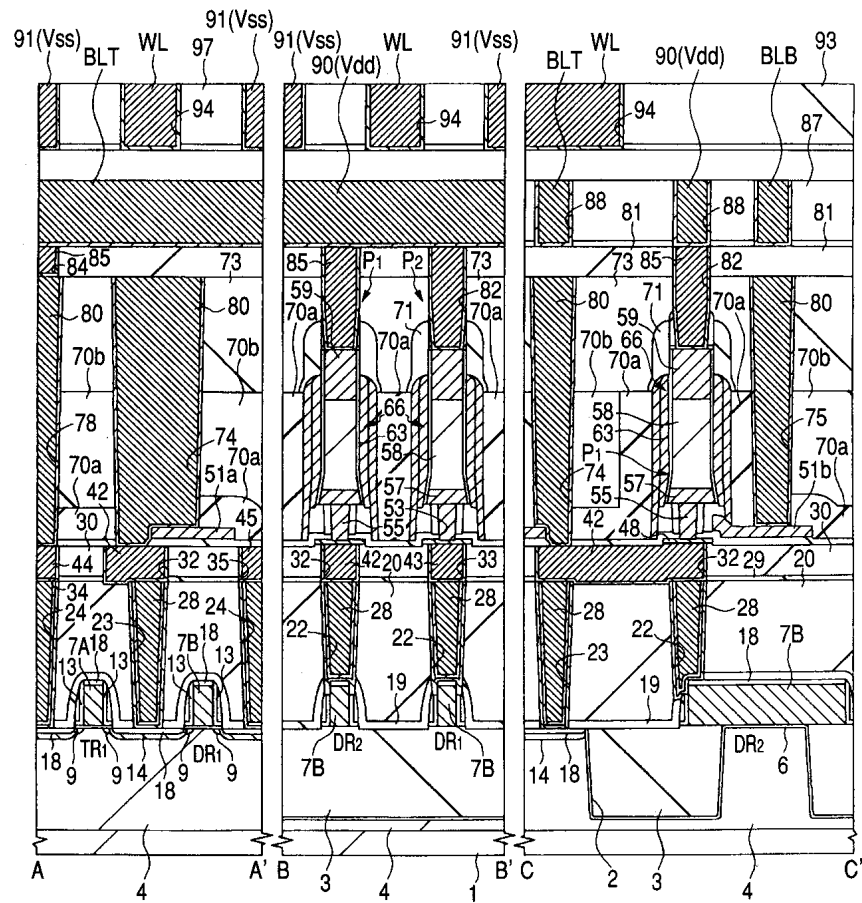
도면32



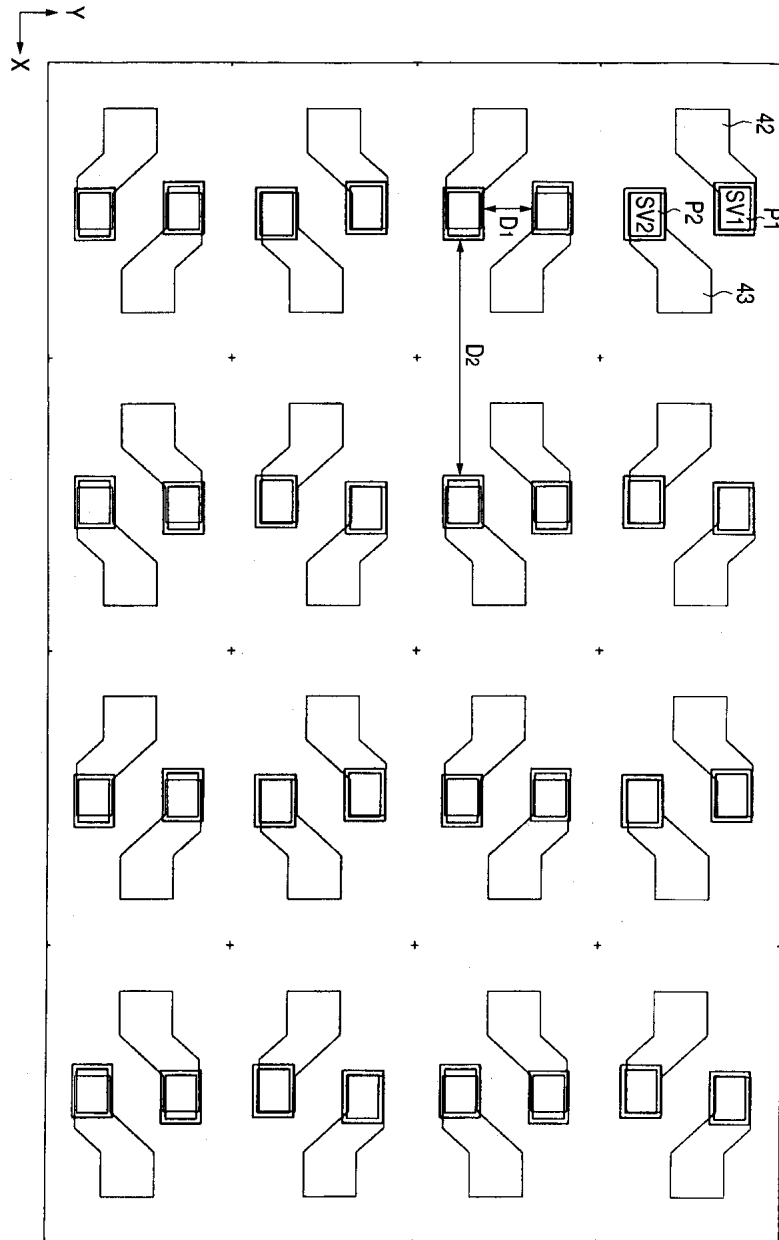
도면33



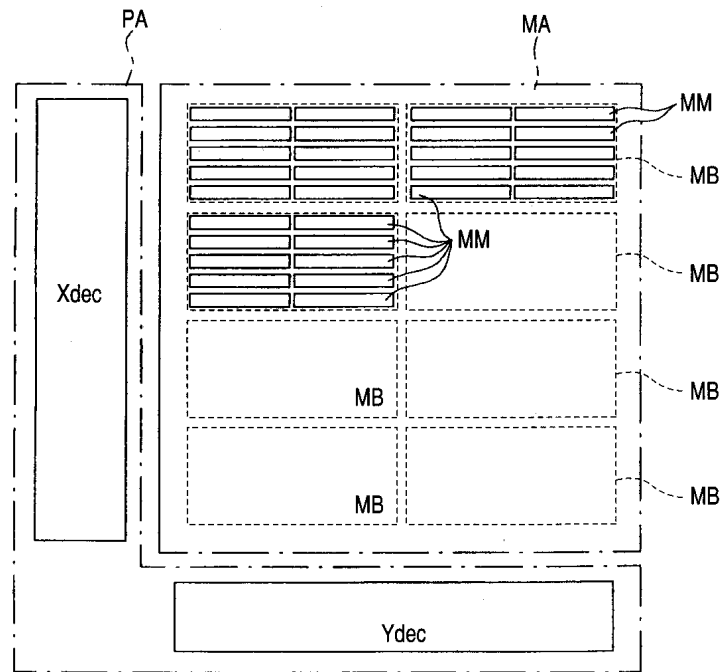
도면34



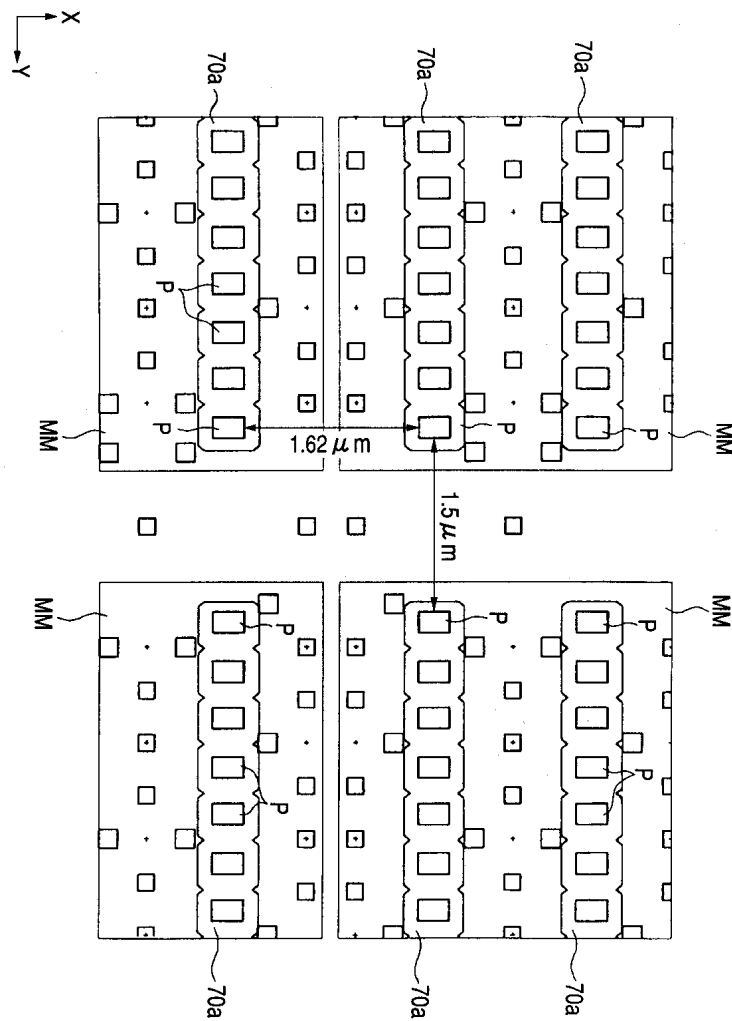
도면35



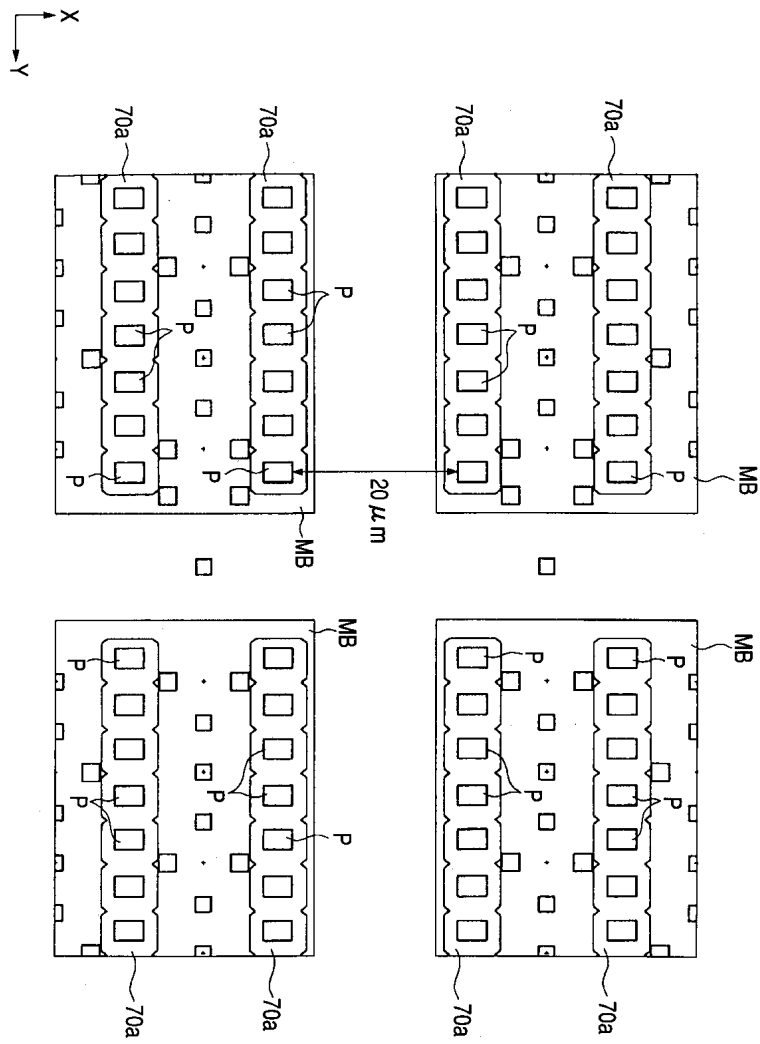
도면36



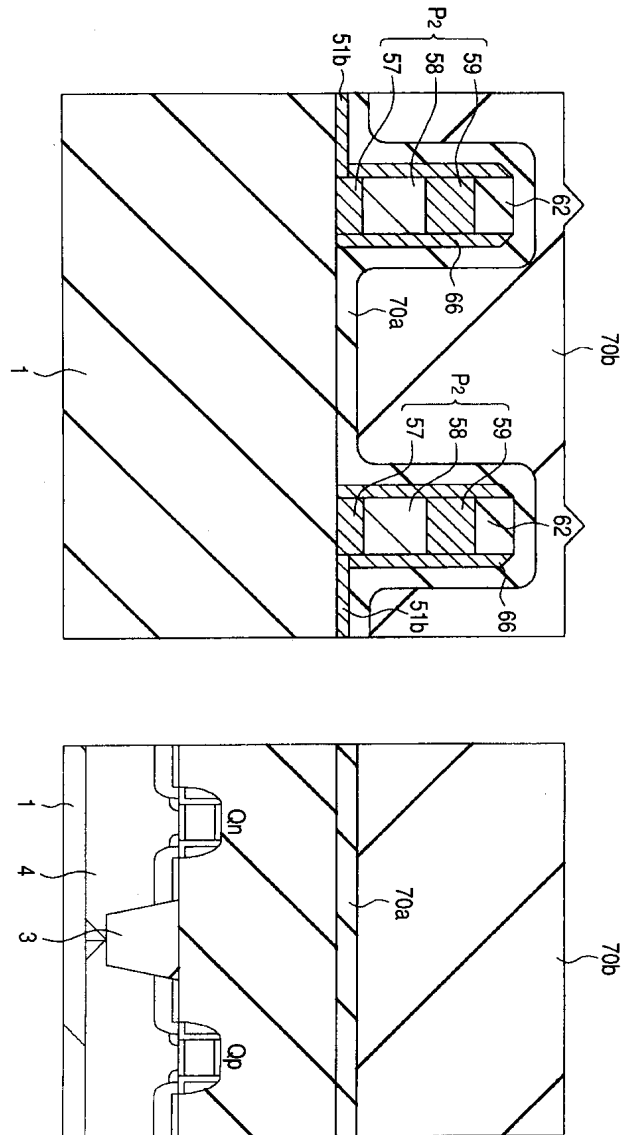
도면37



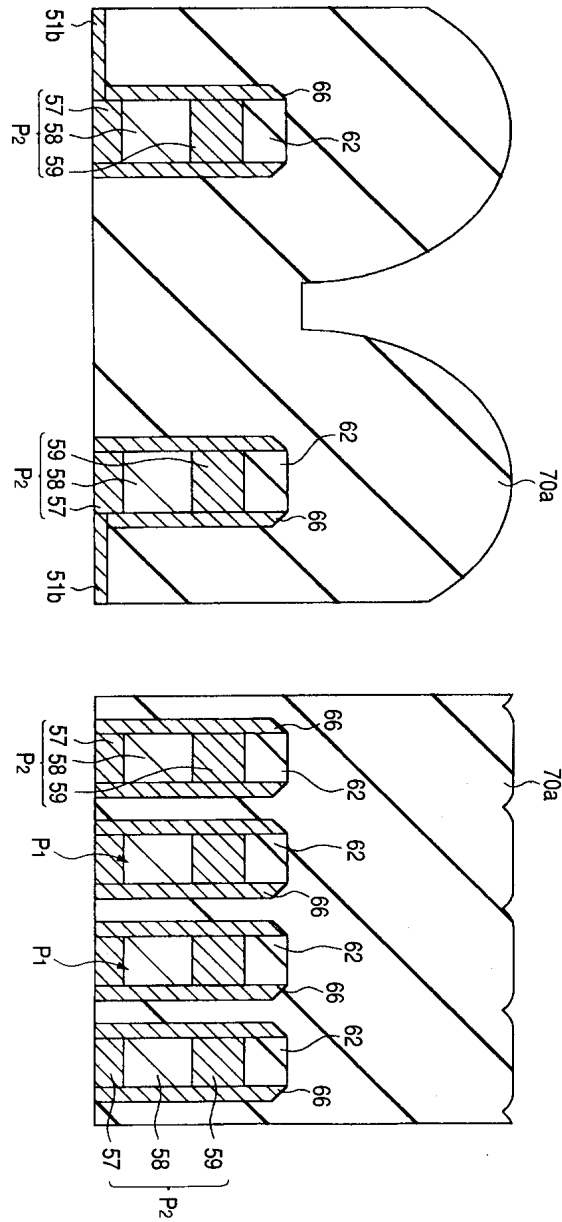
도면38



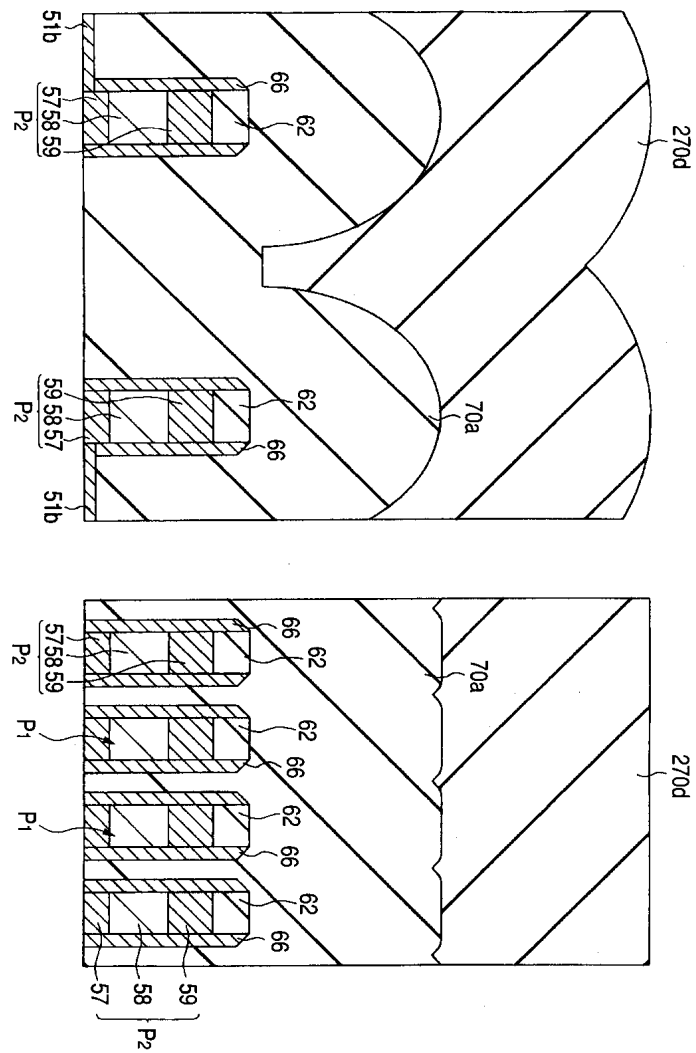
도면39



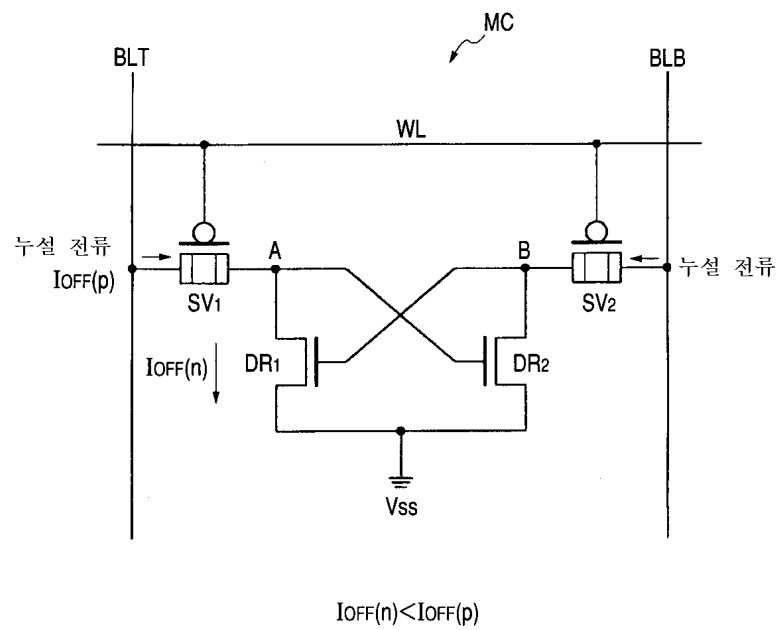
도면40



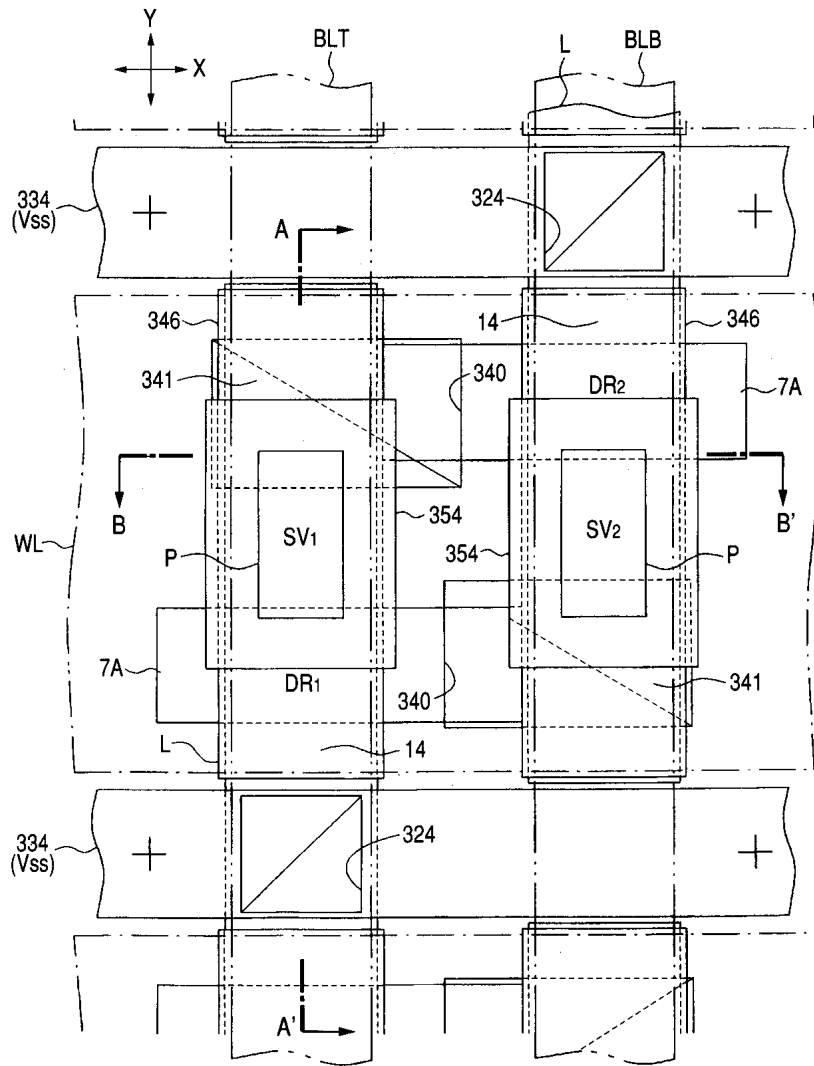
도면41



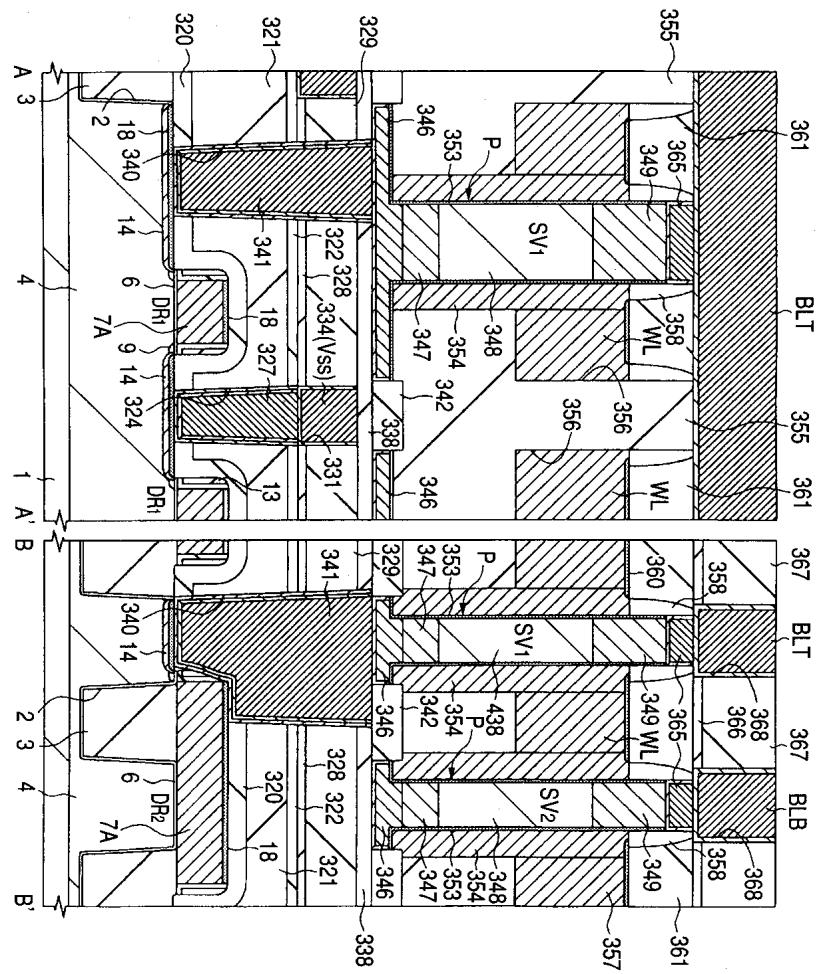
도면42



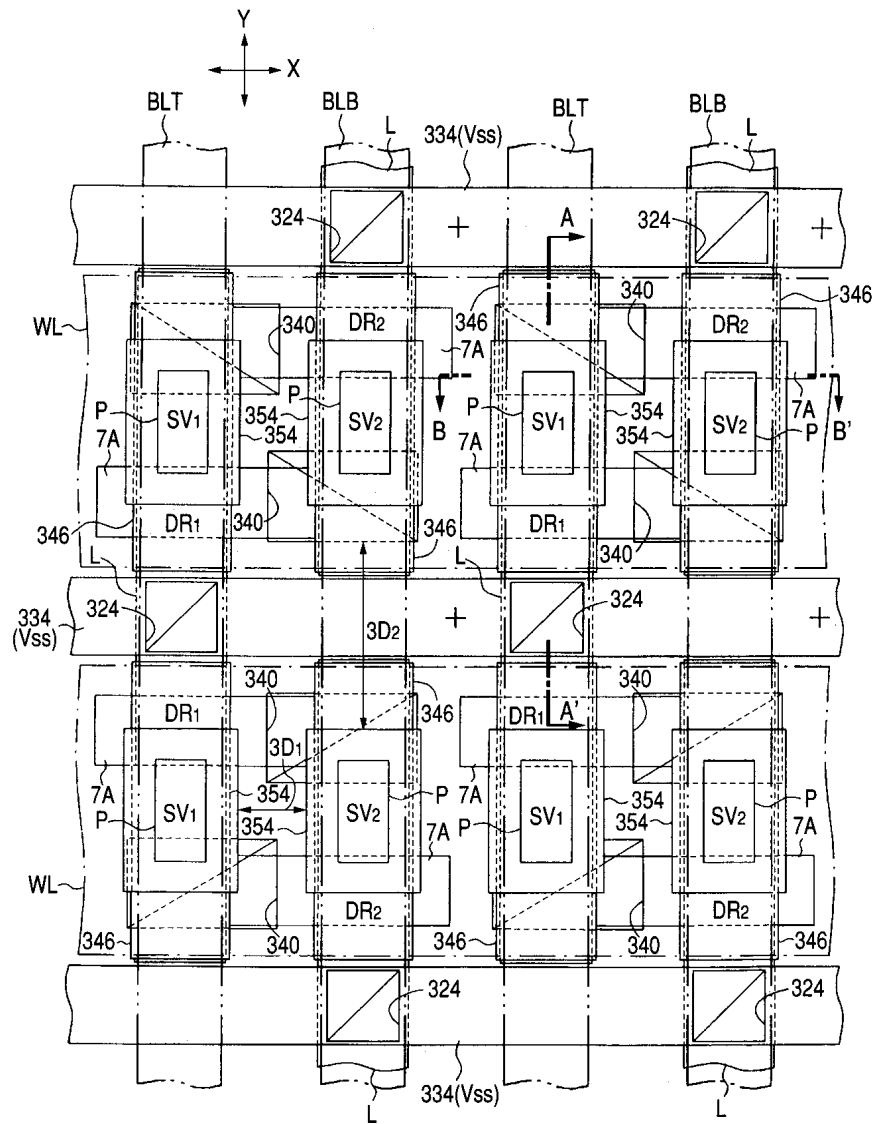
도면43



도면44



도면45



도면46

