

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4282197号
(P4282197)

(45) 発行日 平成21年6月17日(2009.6.17)

(24) 登録日 平成21年3月27日(2009.3.27)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 4 1

G 1 1 C 17/00 6 0 1 E

請求項の数 7 (全 34 頁)

(21) 出願番号	特願2000-14557 (P2000-14557)	(73) 特許権者	503121103
(22) 出願日	平成12年1月24日 (2000.1.24)		株式会社ルネサステクノロジ
(65) 公開番号	特開2001-210082 (P2001-210082A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成13年8月3日 (2001.8.3)	(74) 代理人	100064746
審査請求日	平成18年9月27日 (2006.9.27)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

複数のメモリセルを含む不揮発性メモリセルアレイと、

前記複数のメモリセルに対する書込動作、読出動作および消去動作を制御するための制御回路とを備え、

前記制御回路は、

書込要求に応じて、書込対象となるメモリセルに2値データまたは3値以上の多値データを書込み、前記読出動作時、読出対象となるメモリセルの書込内容に応じて、前記2値データまたは前記多値データを読み出し、

前記書込対象となるメモリセルを、前記2値データの書込みの際には、消去状態である第1状態または前記第1状態と異なる第n状態のいずれか1つに設定し、前記多値データの書込みの際には、前記第1状態から前記第n状態までの互いに異なる合計n個(3個以上)の状態のうちいずれか1つに設定し、

前記読出動作時、前記2値データを書込んだメモリセルについては、前記第1状態から第k状態(ただし、 $k < n$)まで、または第(k+1)状態から前記第n状態までのいずれに属するかを判定し、前記多値データを書込んだメモリセルについては、前記合計n個の状態のうちのいずれに属するかを判定し、

前記読出動作時、前記2値データを書込んだメモリセルが前記合計n個の状態のうちのいずれに属するかを判定し、前記第1状態または前記第n状態と異なる状態に属すると判定された場合に、外部に前記2値データが変化したことを示す警告信号を出力する、不揮

10

20

発性半導体記憶装置。

【請求項 2】

複数のメモリセルを含む不揮発性メモリセルアレイと、

前記複数のメモリセルに対する書込動作、読出動作および消去動作を制御するための制御回路とを備え、

前記制御回路は、

書込要求に応じて、書込対象となるメモリセルに 2 値データまたは 3 値以上の多値データを書込み、前記読出動作時、読出対象となるメモリセルの書込内容に応じて、前記 2 値データまたは前記多値データを読み出し、

前記書込対象となるメモリセルを、前記 2 値データの書込みの際には、消去状態である第 1 状態または前記第 1 状態と異なる第 n 状態のいずれか 1 つに設定し、前記多値データの書込みの際には、前記第 1 状態から前記第 n 状態までの互いに異なる合計 n 個 (3 個以上) の状態のうちいずれか 1 つに設定し、

前記読出動作時、前記 2 値データを書込んだメモリセルについては、前記第 1 状態から第 k 状態 (ただし、 $k < n$) まで、または第 (k + 1) 状態から前記第 n 状態までのいずれに属するかを判定し、前記多値データを書込んだメモリセルについては、前記合計 n 個の状態のうちのいずれに属するかを判定し、

前記読出動作時、前記 2 値データを書込んだメモリセルが前記合計 n 個の状態のうちのいずれに属するかを判定し、前記第 1 状態または前記第 n 状態と異なる状態に属すると判定された場合に、前記メモリセルに対して再度前記 2 値データを書込むための書込動作を行なう、不揮発性半導体記憶装置。

【請求項 3】

前記複数のメモリセルは、

一括して前記書込動作および前記読出動作の対象となる複数の書込 / 読出単位に分割され、

前記複数の書込 / 読出単位のそれぞれに対して配置される複数のフラグをさらに備え、

前記複数のフラグのそれぞれは、

対応する書込 / 読出単位のメモリセルに前記 2 値データを書込んだか、前記多値データを書込んだかを示す値を格納する、請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記フラグは、

前記メモリセルと同じ構造を有する、請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記制御回路は、

前記書込動作において、前記書込対象となる書込 / 読出単位に前記 2 値データまたは前記多値データを書込むと同時に、対応するフラグに前記 2 値データを書込んだか前記多値データを書込んだかを示す値を書込む、請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 6】

前記制御回路は、

外部から受ける前記書込要求に応じて、前記書込対象となる書込 / 読出単位に対して、前記 2 値データを書込むための第 1 書込シーケンス、または前記多値データを書込むための第 2 書込シーケンスを実行する、請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記制御回路は、

前記読出動作において、前記読出対象となる書込 / 読出単位に対応するフラグの値に基づき、前記読出対象となる書込 / 読出単位に前記 2 値データが書込まれている場合には、前記 2 値データを読み出すための第 1 読出シーケンスを、前記多値データが書込まれている場合には、前記多値データを読み出すための第 2 読出シーケンスを実行する、請求項 3 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【 発明の属する技術分野 】

この発明は、不揮発性半導体記憶装置およびデータ記憶システムに関し、特に、電氣的に書込 / 消去可能な不揮発性半導体メモリセルを使用する構成に関するものである。

【 0 0 0 2 】

【 従来の技術 】

電氣的に書込み消去が可能な不揮発性半導体メモリ（フラッシュメモリ）は、基板上での書換えが可能であるという長所を生かして、当初、プログラムコード格納用メモリとして E P R O M やマスク R O M の代替として普及した。

【 0 0 0 3 】

近年では、半導体加工技術の微細化が進歩したため、画像データや音声データを記憶できる大容量フラッシュメモリが登場し、デジタスチルカメラや携帯オーディオへの応用が急速に進んでいる。

【 0 0 0 4 】

しかし、動画データの記録を可能にするためにフラッシュメモリにはさらなる大容量化が要求されている。

【 0 0 0 5 】

フラッシュメモリのさらなる大容量化実現のための重要な技術として、半導体加工技術の微細化とならんで、多値化の技術が挙げられる。フラッシュメモリは、一般的に絶縁膜によって周囲と絶縁されたフローティングゲートに高電界をかけ、電荷を注入するまたは放出することにより、メモリセルのしきい値を変化させて、データを記憶する。

【 0 0 0 6 】

通常のフラッシュメモリ（2 値フラッシュメモリ）の場合、メモリのしきい値の高い状態を“ 1 ”（または“ 0 ”）、メモリセルのしきい値の低い状態を“ 0 ”（または“ 1 ”）に対応させている。

【 0 0 0 7 】

多値技術を用いたフラッシュメモリ（多値フラッシュメモリ）の場合、メモリセルのしきい値を 3 以上の複数の状態に設定する。たとえば、4 値を記憶することができるフラッシュメモリでは、メモリセルのしきい値を 4 つの状態にして、順に、“ 1 1 ”（しきい値の最も低い状態）、“ 1 0 ”、“ 0 0 ”、“ 0 1 ”（しきい値の最も高い状態）に対応させる。これにより、1 つのメモリセルに 2 ビットのデータを記憶することができる。メモリセルの物理的な状態と論理的なデータとの対応は、2 値フラッシュメモリと同様、任意に定めることができることは言うまでもない。

【 0 0 0 8 】

【 発明が解決しようとする課題 】

ところで、多値フラッシュメモリを実現するにあたり、メモリセルに“ 1 ”（または“ 0 ”）を記憶して、長時間放置した後に当該データを読出すと、“ 0 ”（または“ 1 ”）になるという重要な問題がある。

【 0 0 0 9 】

この問題点は、物理的には、主としてフローティングゲートに注入された電子が絶縁膜にエネルギー障壁を通り抜けて半導体基板またはゲートに放出されるため、もしくは半導体基板またはゲートから注入されることによりメモリセルのしきい値が変化するために起こる。

【 0 0 1 0 】

図 4 4 を参照して、2 値フラッシュメモリの場合、たとえば、“ 1 ”状態のしきい値を 1 V ~ 1 . 7 V、“ 0 ”状態のしきい値を 4 . 3 V 以上とし、読出時の判定しきい値を 3 V とする。この場合、“ 1 ”状態および“ 0 ”状態のいずれも、1 . 3 V の読出し余裕がある。この場合、1 . 3 V に相当する電子が注入 / 放出されると、誤読出しが生じる。

【 0 0 1 1 】

これに対し、多値フラッシュメモリの場合、たとえば、“ 1 1 ”状態のしきい値を 1 V ~

10

20

30

40

50

1.7 V、“10”状態のしきい値を2.3 V～2.7 V、“00”状態のしきい値を3.3 V～3.7 V、“01”状態のしきい値を4.3 V以上とする。読出し時の判定しきい値を2 V、3 V、4 Vとすると、それぞれの状態の読出し余裕は、0.3 Vしかない。したがって、0.3 Vに相当する電子が注入／放出されると、誤読出しが生じることになる。

【0012】

図44のF1で表わされる $V_{gs} - I_{ds}$ 特性を有するメモリセルが、フローティングゲートから電子が放出されることにより、F2で表わされる $V_{gs} - I_{ds}$ 特性を有するメモリセルと同じ状態になった場合、多値フラッシュメモリでは、書込まれた“01”のデータが、“00”と誤読み出しされてしまう。

10

【0013】

同様に、F3で表わされる $V_{gs} - I_{ds}$ 特性を有するメモリセルが、F4で表わされる $V_{gs} - I_{ds}$ 特性を有するメモリセルと同じ状態になった場合、多値フラッシュメモリでは、書込まれた“11”のデータが、“10”と誤読み出しされてしまう。

【0014】

これに対し、2値フラッシュメモリでは、F1の状態のメモリセルがF2の状態になった場合であっても、またはF3の状態のメモリセルがF4の状態になっても、正しくデータが読み出される。

【0015】

このように、多値フラッシュメモリと2値フラッシュメモリでは、互いに物理的には同等のデータ保持特性を有するにもかかわらず、データの信頼性は多値フラッシュメモリより2値フラッシュメモリのほうが優れている。また、データ転送速度の点からは、2値フラッシュメモリのほうが優れている。その一方で、上述したように、コストおよび大容量化の点では、多値フラッシュメモリのほうが優れている。したがって、今後は、これらのすべての特性を有効に生かしたデバイスの開発が要請される。

20

【0016】

そこで、本発明はかかる問題を解決するためになされたものであり、その目的は、メモリの大容量を実現し、かつデータの信頼性、高速動作を可能にする不揮発性半導体記憶装置およびデータ記憶システムを提供することにある。

【0017】

30

【課題を解決するための手段】

この発明の一つの局面による半導体記憶装置は、複数のメモリセルを含む不揮発性メモリセルアレイと、複数のメモリセルに対する書込動作、読出動作および消去動作を制御するための制御回路とを備え、制御回路は、書込要求に応じて、書込対象となるメモリセルに2値データまたは3値以上の多値データを書込み、読出動作時、読出対象となるメモリセルの書込内容に応じて、2値データまたは多値データを読出す。

【0018】

好ましくは、制御回路は、書込対象となるメモリセルを、2値データの書込みの際には、消去状態である第1状態または第1状態と異なる第n状態のいずれか1つに設定し、多値データの書込みの際には、第1状態から第n状態までの互いに異なる合計n個（3個以上）の状態のうちいずれか1つに設定する。さらに、制御回路は、読出動作時、2値データを書込んだメモリセルについては、第1状態から第k状態（ただし、 $k < n$ ）まで、または第（ $k + 1$ ）状態から第n状態までのいずれに属するかを判定し、多値データを書込んだメモリセルについては、合計n個の状態のうちのいずれに属するかを判定する

40

特に、読出動作時、2値データを書込んだメモリセルが合計n個の状態のうちのいずれに属するかを判定し、第1状態または第n状態と異なる状態に属すると判定された場合に、外部に2値データが変化したことを示す警告信号を出力する。または、前記読出動作時、2値データを書込んだメモリセルが合計n個の状態のうちのいずれに属するかを判定し、第1状態または第n状態と異なる状態に属すると判定された場合に、メモリセルに対して再度前記2値データを書込むための書込動作を行なう。

50

【 0 0 1 9 】

好ましくは、複数のメモリセルは、一括して書込動作および読出動作の対象となる複数の書込 / 読出単位に分割され、複数の書込 / 読出単位のそれぞれに対して配置される複数のフラグをさらに備え、複数のフラグのそれぞれは、対応する書込 / 読出単位のメモリセルに 2 値データを書込んだか、多値データを書込んだかを示す値を格納する。特に、フラグは、メモリセルと同じ構造を有する。

【 0 0 2 0 】

特に、制御回路は、書込動作において、書込対象となる書込 / 読出単位に 2 値データまたは多値データを書込むと同時に、対応するフラグに 2 値データを書込んだか多値データを書込んだかを示す値を書込む。

10

【 0 0 2 1 】

特に、制御回路は、外部から受ける書込要求に応じて、書込対象となる書込 / 読出単位に対して、2 値データを書込むための第 1 書込シーケンス、または多値データを書込むための第 2 書込シーケンスを実行する。そして、制御回路は、読出動作において、読出対象となる書込 / 読出単位に対応するフラグの値に基づき、読出対象となる書込 / 読出単位に 2 値データが書込まれている場合には、2 値データを読出すための第 1 読出シーケンスを、多値データが書込まれている場合には、多値データを読出すための第 2 読出シーケンスを実行する。

【 0 0 2 2 】

好ましくは、複数のメモリセルのそれぞれは、消去状態である第 1 状態と第 1 状態に最も近い第 2 状態とを含む、互いに異なる合計 n 個の状態 (n は、3 以上) を有し、制御回路は、2 値データの書込時には、書込対象となるメモリセルを第 1 状態または第 2 状態に設定し、2 値データの読出時には、読出対象となるメモリセルが、第 1 状態または合計 n 個の状態のうち第 1 状態を除く状態のいずれに属するかを判定する。

20

【 0 0 2 3 】

この発明のさらなる局面によるデータ記憶システムは、第 1 特性を有する第 1 不揮発性半導体メモリと、第 1 特性と異なる第 2 特性を有する第 2 不揮発性半導体メモリを含むメモリ領域と、外部とデータの授受を行ない、メモリ領域におけるデータの書込およびメモリ領域からのデータの読出を行なうための制御装置とを備え、制御装置は、外部から受けるメモリ領域に書込むための格納データに応じて、第 1 特性に合致した書込みが要求されているか、第 2 特性に合致した書込みが要求されているかを判断し、判断に応じて、第 1 不揮発性半導体メモリまたは第 2 不揮発性半導体メモリに格納データを書込む。

30

【 0 0 2 4 】

好ましくは、第 1 特性とは、所定の信頼性でデータを記憶し、かつ所定の処理速度で動作することができる特性であって、第 2 特性とは、第 1 特性よりも相対的に高い信頼性でデータを記憶することができ、かつ第 1 特性よりも高速に動作することができる特性である。

【 0 0 2 5 】

好ましくは、第 1 不揮発性半導体メモリは、各々が 2 ビット以上のデータを記憶する複数の多値データ用メモリセルを含み、第 2 不揮発性半導体メモリは、各々が 1 ビットのデータを記憶する複数のメモリセルを含む。

40

【 0 0 2 6 】

好ましくは、格納データに応じて、メモリ領域に相対的に高信頼性を要求されるデータを書込みまたは高速にデータを授受することが外部から要求されていると判断する場合には、第 2 不揮発性半導体メモリに格納データを書込み、それ以外の場合には、第 1 不揮発性半導体メモリに格納データを書込む。

【 0 0 2 7 】

好ましくは、制御装置は、格納データを、第 1 不揮発性半導体メモリが動作中であれば第 2 不揮発性半導体メモリに、第 1 不揮発性半導体メモリが動作中でなければ第 1 不揮発性半導体メモリに格納データを書込む。

50

【 0 0 2 8 】

好ましくは、制御装置は、一定期間内に、外部から受ける格納データの大きさを測定する測定回路と、測定回路の出力を受けて、格納データの大きさが基準値以下である場合には第 1 不揮発性半導体メモリに格納データを書込み、格納データの大きさが基準値を超える場合には第 2 不揮発性半導体メモリに格納データを書込むように制御する回路とを含む。

【 0 0 2 9 】

好ましくは、制御装置は、外部との間でデータの授受が無いことに応じて、第 2 不揮発性半導体メモリに既に書込んだデータを第 1 不揮発性半導体メモリに転送する。

【 0 0 3 0 】

好ましくは、制御装置は、メモリ領域を管理するための管理データを、第 2 不揮発性半導体メモリに書込む。

10

【 0 0 3 1 】

好ましくは、データに誤り検出符号を付加する誤り訂正回路をさらに備え、制御装置は、第 1 不揮発性半導体メモリに格納データを書込む際には、書込データに誤り検出符号を付加して書込みを行ない、第 2 不揮発性半導体メモリに前記格納データを書込む際には、書込データに誤り検出符号を付加せずに書込みを行なう。

【 0 0 3 2 】

この発明のさらなる局面によるデータ記憶システムは、複数のメモリセルを含む不揮発性メモリ領域を備え、複数のメモリセルのそれぞれは、2 値または 3 値以上の多値の状態でデータを記憶し、記憶した 2 値または多値のデータを読出すことが可能であり、外部とデータの授受を行ない、不揮発性メモリ領域におけるデータの書込および不揮発性メモリ領域からのデータの読出を行なうための制御装置をさらに備え、制御装置は、格納データに応じて、相対的に高信頼性を要求されるデータを書込みまたは高速にデータを授受することが外部から要求されていると判断する場合には、2 値の状態で格納データを不揮発性メモリ領域に書込む。

20

【 0 0 3 3 】

好ましくは、制御装置は、一定期間内に、外部から受ける格納データの大きさを測定する測定回路と、測定回路の出力を受けて、格納データの大きさが基準値以下である場合には不揮発性メモリ領域に格納データを多値の状態で書込み、格納データの大きさが基準値を超える場合には不揮発性メモリ領域に格納データを 2 値の状態で書込むように制御する回路とを含む。

30

【 0 0 3 4 】

特に、制御装置は、メモリ領域を管理するための管理データを、不揮発性メモリ領域に 2 値の状態で書込む。

【 0 0 3 5 】

好ましくは、制御装置は、データに誤り検出符号を付加する誤り訂正回路を含み、制御装置は、多値の状態でデータを書込む際には、誤り検出符号を付加して書込みを行ない、2 値の状態でデータを書込む際には、誤り検出符号を付加せずに書込みを行なう。

【 0 0 3 6 】

【 発明の実施の形態 】

40

以下、本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【 0 0 3 7 】

[実施の形態 1]

本発明の実施の形態 1 によるフラッシュメモリ 1 0 0 0 について説明する。本発明の実施の形態 1 は、多値データを記憶する領域と 2 値データを記憶する領域とを混在させることができるフラッシュメモリに関するものである。

【 0 0 3 8 】

図 1 を参照して、フラッシュメモリ 1 0 0 0 は、外部との間で信号の授受を行なうための複数のピン、複数のピンに対応して設けられる入出力バッファ 1 1、入出力バッファ 1 1

50

から出力される内部アドレス信号をデコードするアドレスデコーダ12、入出力バッファ11から出力される内部制御信号をデコードしてコマンドを発行するコマンドデコーダ13、ならびに行列状に配置される複数の不揮発性メモリセルを含むメモリセルアレイMAおよびMBを備える。

【0039】

複数のピンは、メモリが動作中であるか(Busy状態)、動作可能な状態であるか(Ready状態)を示す信号R/Bを出力するR/BピンP1、データの入出力を行なうデータ入出力ピン群P2、および内部動作を制御する外部制御信号を受ける制御ピン群P3を含む。制御ピン群P3は、チップイネーブル/CE信号を受ける/CEピンを含む。

【0040】

メモリセルアレイMAおよびMBの含まれるメモリセルは、複数の状態に設定可能であり、2値データまたは多値データ(3値以上)を記憶する。以下では、多値データの一例として、“01”、“00”、“10”、“11”を用いて説明する。多値データ/2値データとしきい値との関係は、図44に示す対応関係を適用する。なお、実施の形態1では、2値データ“0”の書込要求があった場合、メモリセルを多値データ“01”の状態にする。

【0041】

フラッシュメモリ1000はさらに、データの書込、読出、消去等を制御するための制御用CPU16、およびペリファイ動作を制御するためのペリファイ回路17を備える。制御用CPU16は、デバイス内部のステータスを保持するステータスレジスタ18を含む。

【0042】

外部から受けるコマンドにより、メモリセルにデータを2値で記憶するか、多値で記憶するかを制御する。コマンドデコーダ13で、2値書込コマンド/多値書込コマンドのいずれが入力されたかを認識させる。制御用CPU16は、コマンドデコーダ13の出力に応じて、2値の書込シーケンスまたは多値の書込シーケンスに従って、メモリセルにデータを書込むための制御を行なう。

【0043】

読出/書込は、1本のワード線に接続されるメモリセルからなるセクタ(またはページ)単位で行なう。

【0044】

フラッシュメモリ1000はさらに、アドレスデコーダ12の出力を受けてメモリセルアレイMAの行方向の選択をおこなうXデコーダ14A、アドレスデコーダ12の出力を受けてメモリセルアレイMBの行方向の選択をおこなうXデコーダ14B、メモリセルアレイMAに対して設けられる多値フラグ部15A、メモリセルアレイMBに対して設けられる多値フラグ部15B、アドレスデコーダ12の出力と制御用CPU16の出力とに応じて動作するYデコーダ/データラッチ19、20、アドレスデコーダ12の出力と制御用CPU16の出力とに応じて動作するYデコーダ/センスラッチ21、および多値フラグセンスラッチ部22を備える。Yデコーダは、メモリセルアレイの列方向の選択をおこなう。

【0045】

多値フラグ部15A、15Bには、後述するように、メモリセルに2値データを記憶したか多値データを記憶したかを示す値を格納する。多値フラグ部15A、15Bへのデータの書込(多値なら“0”、2値なら“1”)、多値フラグ部15A、15Bのデータの読出は、制御用CPU16で制御する。多値フラグ部15A、15Bのデータは、後述するようにメモリセルからのデータの読出と同じ手順で読出す。

【0046】

図2を参照して、メモリセルアレイMAは、複数の不揮発性メモリセルMと、行方向に配置されるワード線WL00およびWL01とを含む。メモリセルアレイMBは、複数の不揮発性メモリセルMと、行方向に配置されるワード線WL10およびWL11とを含む。

10

20

30

40

50

ビット線 B L 1、B L 2 は、メモリセルアレイ M A および M B の列に対応して共通に配置される。

【 0 0 4 7 】

メモリセル M のコントロールゲート層はワード線と、ドレイン領域はビット線と接続され、ソース領域は、ソース電圧 V S L を受ける。

【 0 0 4 8 】

X デコーダ 1 4 A および 1 4 B は、アドレスデコーダ 1 2 の出力するデコード信号を受ける複数の N A N D 回路と複数のインバータとを含む。X デコーダ 1 4 A に含まれるインバータ V 1 a は、N A N D 回路 N 1 a の出力を反転してワード線 W L 0 0 を駆動し、インバータ V 1 b は、N A N D 回路 N 1 b の出力を反転してワード線 W L 0 1 を駆動する。X デコーダ 1 4 B に含まれるインバータ V 1 c は、N A N D 回路 N 1 c の出力を反転してワード線 W L 1 0 を駆動し、インバータ V 1 d は、N A N D 回路 N 1 d の出力を反転してワード線 W L 1 1 を駆動する。

10

【 0 0 4 9 】

多値フラグ部 1 5 A および 1 5 B のそれぞれは、多値フラグ M F を含む。多値フラグ M F は、メモリセル M (不揮発性メモリセル) と同じ構造を有する。図においては、ワード線 W L 0 0、W L 0 1、W L 1 0 および W L 1 1 のそれぞれ接続される 4 つの多値フラグ M F が示されている。多値フラグ M F は、セクタまたはページ単位で配置される。多値フラグ M F は、ビット線方向に配置される配線 (ビット線 B L 0 と称す) で多値フラグセンスラッチ部 2 2 と接続されている。多値フラグ M F は、同一ワード線に接続されるメモリセル M に 2 値でデータを書込んだか、多値でデータを書込んだかを示す値を記憶する。

20

【 0 0 5 0 】

Y デコーダ / データラッチ 2 1 は、ビット線に対応して設けられるセンスラッチ 3 1 を含む。センスラッチ 3 1 は、インバータ V 2 a およびインバータ V 2 b で構成される。

【 0 0 5 1 】

Y デコーダ / データラッチ 1 9 は、ビット線に対応して配置されるデータラッチ 1 を含む。データラッチ 1 は、インバータ V 3 a およびインバータ V 3 b で構成される。Y デコーダ / データラッチ 2 0 は、ビット線に対応して配置されるデータラッチ 2 を含む。データラッチ 2 は、インバータ V 4 a およびインバータ V 4 b で構成される。

30

【 0 0 5 2 】

一本のワード線に接続されるメモリセルのドレインのそれぞれは、互いに異なるセンスラッチとデータラッチとに電氣的に接続されている。

【 0 0 5 3 】

読出動作時、ワード線に読出電圧を与え、センスラッチを介して、メモリセルに電流が流れるかどうかを判定する。データラッチ 1、2 は、読出した結果を退避するために使用する。本発明の実施の形態 1 では、1 つのメモリセルから 2 ビットの信号を読出すため、データラッチ 1、2 を配置している。データラッチ 1、2 の値を用いて、データを外部に出力する。

【 0 0 5 4 】

書込動作では、まずデータラッチ 1、2 にデータを入力し、次にセンスラッチ 3 1 に値を設定することで、メモリセルのしきい値を変化させる。

40

【 0 0 5 5 】

多値フラグセンスラッチ部 2 2 は、インバータ V 5 a および V 5 b で構成されるセンスラッチ 3 2 を含む。センスラッチ 3 1 および 3 2 を総称的に、センスラッチ 3 と記す。

【 0 0 5 6 】

各ラッチ (データラッチ、センスラッチ) とビット線との間には、信号処理回路 2 5 が配置される。

【 0 0 5 7 】

信号処理回路 2 5 は、図 3 に示されるように、N M O S トランジスタ T 1、T 2 および T

50

3を含む。なお、図3において、ラッチLは、データラッチ、センスラッチのいずれかを示している。

【0058】

トランジスタT1は、ビット線とラッチLの入出力ノードZ1との間に配置される。トランジスタT2は、ノードZ2とノードZ3との間に接続され、ゲートはノードZ1と接続される。トランジスタT3は、ノードZ3とビット線との間に接続される。

【0059】

信号処理回路25により、選択プリチャージ処理・選択ディスチャージ処理・センス処理を行なう。制御用CPU16は、処理に応じて、ノードZ2、トランジスタT1のゲート、トランジスタT3のゲートに信号を与える。

10

【0060】

選択プリチャージ処理では、図4(A)に示されるように、トランジスタT1のゲートにLレベルの信号を、ノードZ2にHレベルの信号を、トランジスタT3のゲートにHレベルの信号を印加する。ラッチLにラッチされる値が“1”ならば、トランジスタT2およびT3により、ビット線は“H”に、“0”ならば、ビット線はそのまま電圧レベルを保持する。

【0061】

選択ディスチャージ処理では、図4(B)に示されるように、トランジスタT1のゲートにLレベルの信号を、ノードZ2にLレベルの信号を、トランジスタT3のゲートにHレベルの信号を印加する。ラッチLにラッチされる値が“1”ならば、ビット線は“L”に、“0”ならば、ビット線はそのまま電圧レベルを保持する。

20

【0062】

さらに、センス処理では、図4(C)に示されるように、トランジスタT1のゲートにHレベルの信号を、ノードZ2にHまたはLレベルの信号を、トランジスタT3のゲートにLレベルの信号を印加する。ラッチLは、ビット線の電位に応じて、“1”または“0”となる。

【0063】

なお、以下に示すラッチからラッチへのデータの転送処理は、転送元のラッチに基づき選択プリチャージ処理を行ない、転送先のラッチでセンス処理を行なうことで実現される。

【0064】

フラッシュメモリ1000の書込/読出/消去の概要について、図27(A)~(D)を用いて説明する。メモリセルMは、基板10上に形成されるソース領域6およびビット線に接続されるドレイン領域7、フローティングゲート層8、ならびにワード線と接続されるコントロールゲート層9を含む。

30

【0065】

データの書込時、図27(A)に示されるように、書込対象となるメモリセルに対しては、ワード線を介してコントロールゲート層9に正の高電圧(たとえば、1.8V)を印加する。この際、対応するセンスラッチを“0”(0V)にして、ドレイン領域7に0Vを印加する。なお、ソース領域6は、オープン状態とする。

【0066】

図27(B)に示されるように、書込対象でないメモリセルに対しては、対応するセンスラッチを“1”(6V)にして、ドレイン領域7に6Vを印加する。

40

【0067】

データの一括消去時には、図27(C)に示されるように、コントロールゲート層9に負の高電圧(たとえば、-1.6V)を印加する。この際、ソース領域6およびドレイン領域7には0Vを印加する。メモリセルのしきい値は最も低い状態になる(多値データ“11”、2値データ“1”に対応)。

【0068】

データの読出時、図27(D)に示されるように、ワード線を介してコントロールゲート層9に正の電圧(たとえば、3V)を、ソース領域6およびドレイン領域7に0Vを印加

50

する。そして、メモリセルに電流が流れるか否かをセンスラッチを用いて判定する。

【0069】

次に、フラッシュメモリ1000におけるデータの読出シーケンスの詳細について、多値データのみを記憶する多値フラッシュメモリと比較しながら説明する。

【0070】

多値フラッシュメモリでは、図5～図7に示される読出シーケンスを実行する。なお、多値データ(“01”、“00”、“10”または“11”)を、本願と同様、データラッチ1、2およびセンスラッチ3を使用して読出すものとする。

【0071】

図5を参照して、3回の読出動作(READ1、READ2、READ3)を実行する。READ1では、ワード線電圧を3.0V、READ2では、ワード線電圧を4.0V、READ3では、ワード線電圧を2.0Vにする。

10

【0072】

READ1では(図6(A)参照)、メモリセルアレイからデータを読出し、読出したデータ(“1”、“1”、“0”、“0”)を、センスラッチ3でラッチする。次にセンスラッチ3からデータラッチ2にデータを転送する(転送処理)。

【0073】

READ2では(図6(B)参照)、メモリセルアレイからデータを読出し、読出したデータ(“1”、“0”、“0”、“0”)を、センスラッチ3でラッチする。次にセンスラッチ3からデータラッチ1にデータを転送する(転送処理)。

20

【0074】

READ3では(図6(C)参照)、メモリセルアレイからデータを読出し、読出したデータ(“1”、“1”、“1”、“0”)を、センスラッチ3でラッチする。

【0075】

次に、演算処理を行なう(図7(A)参照)。演算処理では、センスラッチ3からデータラッチ1にデータを転送し(転送処理)、データラッチ1からセンスラッチ3にデータを転送する(転送反転処理)。これにより、センスラッチ3のデータとデータラッチ1のデータとのXOR処理が行われる。

【0076】

次に、出力処理を行なう(図7(B))。具体的には、センスラッチ3からデータラッチ1にデータを転送する(転送処理)。そして、データラッチ2のデータ(“0”、“0”、“1”、“1”)と、データラッチ1のデータ(“0”、“1”、“1”、“0”)を反転したデータとを出力する。これにより、多値データ(“01”、“00”、“10”、“11”)が読出されることになる。

30

【0077】

なお、データ(3回の読出後のデータラッチの値)と各動作によりセンスラッチ3にラッチされる値との関係は、図8に示されるようになる。

【0078】

これに対し、フラッシュメモリ1000では、図9～図11に示される多値データの読出シーケンスを実行する。まず、制御用CPU16は、1回目の読出動作(READ1)で多値フラグMFのデータを読出し、この値に基づき、2回目および3回目の読出動作を行なうか否かを判断する。多値フラグMFのデータが“0”、すなわち同一セクタ(または同一ページ)のメモリセルMに多値データが記憶されていることを示す場合、2回目、3回目の読出動作READ2、READ3を実行する。READ1では、ワード線電圧を3.0V、READ2では、ワード線電圧を4.0V、READ3では、ワード線電圧を2.0Vにする。

40

【0079】

READ1では(図10(A)参照)、メモリセルアレイMAのメモリセルMおよび当該メモリセルMに対応する多値フラグMFのデータを読出す。メモリセルMのデータ(“1”、“1”、“0”、“0”)をセンスラッチ3 1で、多値フラグMFのデータ(“0

50

”) をセンスラッチ 3 2 でラッチする。

【 0 0 8 0 】

多値フラグ M F のデータが “ 0 ” であるため、制御用 C P U 1 6 は、多値データ読出用のシーケンスを実行する。センスラッチ 3 1 からデータラッチ 2 にメモリセル M の反転データを転送する (転送処理) 。

【 0 0 8 1 】

R E A D 2 では (図 1 0 (B) 参照) 、メモリセル M からデータを読出す。メモリセル M のデータ (“ 1 ” 、 “ 0 ” 、 “ 0 ” 、 “ 0 ”) を、センスラッチ 3 1 でラッチする。センスラッチ 3 1 からデータラッチ 1 にメモリセル M のデータを転送する (転送処理) 。

10

【 0 0 8 2 】

R E A D 3 では (図 1 0 (C) 参照) 、メモリセル M からデータを読出す。メモリセル M のデータ (“ 1 ” 、 “ 1 ” 、 “ 1 ” 、 “ 0 ”) を、センスラッチ 3 1 でラッチする。

【 0 0 8 3 】

次に、演算処理を行なう (図 1 1 (A) 参照) 。演算処理では、メモリセルアレイ M A のビット線に対して、センスラッチ 3 1 に基づき選択プリチャージ処理を行ない、データラッチ 1 に基づき選択ディスチャージ処理を行なう。これにより、データラッチ 1 のデータとセンスラッチ 3 1 のデータとの X O R 処理が行なわれる。

【 0 0 8 4 】

次に、出力処理を行なう (図 1 1 (B) 参照) 。具体的には、データラッチ 1 でセンス処理を行なう。データラッチ 1 に、メモリセルアレイ M A のビット線の電位に対応するデータがラッチされる (“ 0 ” 、 “ 1 ” 、 “ 1 ” 、 “ 0 ”) 。そして、データラッチ 2 のデータ (“ 0 ” 、 “ 0 ” 、 “ 1 ” 、 “ 1 ”) と、データラッチ 1 のデータを反転したデータとを出力する。これにより、多値データ (“ 0 1 ” 、 “ 0 0 ” 、 “ 1 0 ” 、 “ 1 1 ”) が読出されることになる。

20

【 0 0 8 5 】

なお、データ (3 回の読出動作の後のデータラッチの値) と各動作によりセンスラッチ 3 にラッチされる値との関係は、図 1 2 に示されるようになる。

【 0 0 8 6 】

2 値データの読出時には、フラッシュメモリ 1 0 0 0 は、図 1 3 ~ 図 1 4 に示される 2 値データの読出シーケンスを実行する。制御用 C P U 1 6 は、1 回目の読出動作 (R E A D 1) で読出された多値フラグ M F のデータが “ 1 ” であるならば、図 1 3 に示されるように、R E A D 1 で読出動作を終了する。

30

【 0 0 8 7 】

R E A D 1 では (図 1 4 (A) 参照) 、メモリセルアレイ M A のメモリセル M および当該メモリセル M に対応する多値フラグ M F のデータを読出す。メモリセル M のデータ (“ 1 ” 、 “ 1 ” 、 “ 0 ” 、 “ 0 ”) をセンスラッチ 3 1 で、多値フラグ M F のデータ (“ 1 ”) をセンスラッチ 3 2 でラッチする。

【 0 0 8 8 】

多値フラグ M F のデータが “ 1 ” であるため、制御用 C P U 1 6 は、2 値データ読出用のシーケンスを実行するように制御する。センスラッチ 3 1 からデータラッチ 2 にデータを転送する (転送処理) 。データラッチ 2 に、読出したデータの反転データがラッチされる。

40

【 0 0 8 9 】

次に、出力処理を行なう (図 1 4 (B) 参照) 。具体的には、データラッチ 2 のデータ (“ 0 ” 、 “ 0 ” 、 “ 1 ” 、 “ 1 ”) を出力する。これにより、2 値データ (“ 0 ” 、 “ 0 ” 、 “ 1 ” 、 “ 1 ”) が読出されることになる。

【 0 0 9 0 】

なお、データ (1 回の読出動作後のデータラッチの値) と 1 回の読出動作でセンスラッチ 3 にラッチされる値との関係は、図 1 5 に示されるようになる。このように、多値フラグ

50

の値に基づき、読出動作を1回で終了することができる。

【0091】

次にフラッシュメモリ1000へのデータの書込シーケンスについて、多値データのみを記憶する多値フラッシュメモリと比較しながら説明する。

【0092】

多値フラッシュメモリでは、図16～図19に示される書込シーケンスを実行する。なお、多値データ(“01”、“00”、“10”または“11”)を、本願と同様、データラッチ1、2およびセンスラッチ3 1を使用して書込むものとする。

【0093】

図16を参照して、3回の書込動作(PROGRAM1、PROGRAM2、PROGRAM3)を実行する。PROGRAM1では、ワード線電圧を18V、PROGRAM2では、ワード線電圧を17V、PROGRAM3では、ワード線電圧を16Vにする。

【0094】

PROGRAM1でデータ“01”が、PROGRAM2でデータ“00”が、PROGRAM3でデータ“10”が書込まれる。

【0095】

PROGRAM1の処理は、図17(A)～(D)に示されるとおりである。図17(A)を参照して、データラッチ1に1ビット目のデータ(“1”、“0”、“0”、“1”)を、データラッチ2に2ビット目のデータ(“0”、“0”、“1”、“1”)を格納する。データラッチ1からセンスラッチ3にデータを転送する(転送処理)。

【0096】

図17(B)を参照して、データラッチ2とセンスラッチ3との間のビット線をすべてプリチャージする(“1”)。図17(C)を参照して、当該ビット線に対して、データラッチ2に基づき選択ディスチャージ処理を、センスラッチ3に基づき選択ディスチャージ処理を行なう。

【0097】

次に、図17(D)を参照して、センスラッチ3でセンス処理を行なう。センスラッチ3に、当該ビット線の電位に対応するデータ(“1”、“0”、“0”、“0”)および反転データがラッチされる。“0”をラッチしたセンスラッチに接続されるメモリセルMにデータ“01”が書込まれる。

【0098】

PROGRAM2の処理は、図18(A)～(D)に示されるとおりである。図18(A)を参照して、データラッチ1からセンスラッチ3にデータを転送する(転送処理)。図18(B)を参照して、センスラッチ3に基づき、データラッチ2とセンスラッチ3との間のビット線に対して選択プリチャージ処理を行なう。図18(C)を参照して、データラッチ2に基づき、当該ビット線に対して選択ディスチャージ処理を行なう。図18(D)を参照して、センスラッチ3でセンス処理を行なう。センスラッチ3に、当該ビット線の電位に対応するデータ(“0”、“1”、“0”、“0”)および反転データがラッチされる。“0”をラッチしたセンスラッチに接続されるメモリセルMにデータ“00”が書込まれる。

【0099】

PROGRAM3の処理は、図19(A)～(D)に示されるとおりである。図19(A)を参照して、データラッチ1からセンスラッチ3にデータを転送する(転送処理)。図19(B)を参照して、センスラッチ3とデータラッチ1との間のビット線をすべてプリチャージ(“1”)する。図19(C)を参照して、当該ビット線に対して、センスラッチ3に基づき選択ディスチャージ処理を、データラッチ1に基づき選択ディスチャージ処理を行なう。

【0100】

次に、図19(D)を参照して、センスラッチ3でセンス処理を行なう。センスラッチ3に、当該ビット線の電位に対応するデータ(“0”、“0”、“1”、“0”)および反

10

20

30

40

50

転データがラッチされる。“0”をラッチしたセンスラッチに接続されるメモリセルMにデータ“10”が書込まれる。

【0101】

なお、データ（データロード後のデータラッチの値）と各動作でセンスラッチ3にラッチされる値との関係は、図20に示されるようになる。

【0102】

これに対し、フラッシュメモリ1000は、多値データの書込時には、図21～図23に示される書込シーケンスを実行する。

【0103】

図21を参照して、3回の書込動作（PROGRAM1、PROGRAM2、PROGRAM3）を実行する。PROGRAM1では、ワード線電圧を18V、PROGRAM2では、ワード線電圧を17V、PROGRAM3では、ワード線電圧を16Vにする。

【0104】

PROGRAM1の処理は、図22（A）～（D）に示されるとおりである。図22（A）を参照して、データラッチ1に1ビット目のデータ（“1”、“0”、“0”、“1”）を、データラッチ2に2ビット目のデータ（“0”、“0”、“1”、“1”）を格納する。データラッチ1からセンスラッチ3にデータを転送する（転送処理）。

【0105】

同時に、メモリセルアレイMA側の多値フラグMFに“0”を書込むため、センスラッチ3のメモリセルアレイMA側に“0”を格納する。

【0106】

図22（B）を参照して、メモリセルアレイMBのビット線をすべてプリチャージする（“1”）。図22（C）を参照して、メモリセルアレイMBのビット線に対して、データラッチ2に基づき選択ディスチャージ処理を、センスラッチ3に基づき選択ディスチャージ処理を行なう。

【0107】

図22（D）を参照して、センスラッチ3でセンス処理を行なう。センスラッチ3に、当該ビット線の電位に対応するデータ（“1”、“0”、“0”、“0”）および反転データがラッチされる。“0”をラッチしたセンスラッチに接続されるメモリセルMにデータ“01”が書込まれる。

【0108】

PROGRAM2、3の処理内容は、上述した多値フラッシュメモリにおけるPROGRAM2、3の処理と同じである。これにより、データ“00”、“10”が書込まれる。

【0109】

なお、データ（データロード後のデータラッチの値）と各書込動作においてセンスラッチ3にラッチされる値との関係は、図23に示されるようになる。

【0110】

このように、多値データの書込時には、データラッチに書込データをラッチする。そして、多値データ“01”を書込むときは、対応するセンスラッチを“0”に、“01”以外の多値データに対応するメモリセルのセンスラッチを“1”にする。同様に、多値データ“00”を書込むときは、対応するセンスラッチを“0”に、“00”以外の多値データに対応するメモリセルのセンスラッチを“1”にする。さらに、多値データ“10”を書込むときは、対応するセンスラッチを“0”に、“10”以外の多値データに対応するメモリセルのセンスラッチを“1”にする。この際、多値フラグには、多値データであることを示す値を格納する。

【0111】

さらに、フラッシュメモリ1000は、2値データの書込時には、図24～図25に示される書込シーケンスを実行する。

【0112】

図24を参照して、1回の書込動作（PROGRAM1）を実行する。PROGRAM1

10

20

30

40

50

では、ワード線電圧を 1.8 V にする。

【0113】

PROGRAM 1 の処理は、図 25 (A) ~ (C) に示されるとおりである。図 25 (A) を参照して、データラッチ 2 に書込データ (“0”、“0”、“1”、“1”) を格納する。同時に、メモリセルアレイ MA 側の多値フラグ MF に “1” を書込むため、センスラッチ 3 のメモリセルアレイ MA 側に “1” を格納する。そして、メモリセルアレイ MB のビット線をすべてプリチャージする (“1”)。

【0114】

図 25 (B) を参照して、メモリセルアレイ MB のビット線に対して、データラッチ 2 に基づき選択ディスチャージ処理を行なう。図 25 (C) を参照して、センスラッチ 3 でセンス処理を行なう。センスラッチ 3 に、当該ビット線の電位に対応するデータ (“1”、“1”、“0”、“0”) および反転データがラッチされる。これにより、“0” をラッチしたセンスラッチに接続されるメモリセル M にデータ “0” (データ “01” に相当) が書込まれる。

【0115】

データ (データロード後のデータラッチの値) と 1 回の書込動作でセンスラッチ 3 にラッチされる値との関係は、図 26 に示されるようになる。

【0116】

このように、2 値での書込み要求があった場合には、データ “01” を書込んだ時点で書込み動作を終了することができる。

【0117】

このように、本発明の実施の形態 1 によるフラッシュメモリ 1000 によると、多値データと 2 値データとを混在して記憶することができる。したがって、書込要求に応じて、たとえば、高い信頼性を必要とされるデータについては 2 値で記憶し、また大容量のデータは、多値で記憶することができる。また、多値データについては、多値で、2 値データについては、2 値でデータを読出すことができる。

【0118】

[実施の形態 2]

本発明の実施の形態 2 では、フラッシュメモリ 1000 の改良例について説明する。本発明の実施の形態 2 による制御用 CPU 16 は、2 値データを読出す際も、多値データと同様、3 回の読出動作を行なうように制御する。そして、1 回目の読出動作と 3 回目の読出動作とで読出データの値が異なった場合、より具体的には、多値データの “10”、“00” に相当するしきい値になっている場合、2 値で記憶させたデータのしきい値が変化していることを示す警告を発生する。

【0119】

警告が発生した場合、制御用 CPU 16 は、2 値データを再度書込むための制御を行なう。

【0120】

本発明の実施の形態 2 によるフラッシュメモリにおける 2 値データの読出シーケンスを、図 28 ~ 図 31 を用いて説明する。

【0121】

本発明の実施の形態 2 においては、図 28 に示されるように、合計 3 回の読出動作 (READ 1、READ 2、READ 3) を実行する。READ 1 では、ワード線電圧を 3.0 V、READ 2 では、ワード線電圧を 4.0 V、READ 3 では、ワード線電圧を 2.0 V にする。

【0122】

2 値データを書込んだメモリセルが、多値データ “01” の状態 (“0P”)、多値データ “00” の状態 (“0E”)、多値データ “11” の状態 (“1P”)、または多値データ “10” の状態 (“1E”) になったとする。制御用 CPU 16 は、“0E” および “1E” の状態を検出し、警告を発生する。

【 0 1 2 3 】

R E A D 1 では (図 2 9 (A) 参照)、メモリセルアレイ M A のメモリセル M および当該メモリセル M に対応する多値フラグ M F のデータを読み出し、センスラッチでラッチする。センスラッチ 3 1 には、メモリセル M (“ 0 P ”、 “ 0 E ”、 “ 1 E ”、 “ 1 P ”) に対応するデータ (“ 1 ”、 “ 1 ”、 “ 0 ”、 “ 0 ”) が、センスラッチ 3 2 のメモリセルアレイ M A 側には、多値フラグ M F のデータ (“ 1 ”) が格納される。センスラッチ 3 1 からデータラッチ 2 にデータを転送する (転送処理)。

【 0 1 2 4 】

R E A D 2 では (図 2 9 (B) 参照)、メモリセル M からデータを読み出す。読み出したデータ (“ 1 ”、 “ 0 ”、 “ 0 ”、 “ 0 ”) を、センスラッチ 3 1 でラッチする。センスラッチ 3 1 からデータラッチ 1 にデータを転送する (転送処理)。

【 0 1 2 5 】

R E A D 3 では (図 2 9 (C) 参照)、メモリセル M からデータを読み出す。読み出したデータ (“ 1 ”、 “ 1 ”、 “ 1 ”、 “ 0 ”) を、センスラッチ 3 1 でラッチする。

【 0 1 2 6 】

次に、演算処理を行なう (図 2 9 (D) 参照)。演算処理では、メモリセルアレイ M A のビット線に対して、センスラッチ 3 1 に基づき選択プリチャージ処理を行ない、データラッチ 1 に基づき選択ディスチャージ処理を行なう。これにより、データラッチ 1 のデータとセンスラッチ 3 1 のデータとの X O R 処理が行なわれる。

【 0 1 2 7 】

次に、出力処理を行なう (図 2 9 (E) 参照)。具体的には、データラッチ 1 でセンス処理を行なう。データラッチ 1 に、メモリセルアレイ M A のビット線の電位に対応するデータがラッチされる (“ 0 ”、 “ 1 ”、 “ 1 ”、 “ 0 ”)。

【 0 1 2 8 】

なお、データ (3 回の読み出し動作の後のデータラッチの値) と各動作によりセンスラッチ 3 1 にラッチされる値との関係は、図 3 2 に示されるようになる。

【 0 1 2 9 】

制御用 C P U 1 6 は、読み出したデータが 2 値データの場合 (多値フラグ M F が “ 1 ”)、0 0 レベル検出処理および 1 0 レベル検出処理をさらに行なう。

【 0 1 3 0 】

0 0 レベル検出処理では、第 1 処理として (図 3 0 (A) 参照)、メモリセルアレイ M A のビット線をすべてプリチャージする。第 2 処理では (図 3 0 (B) 参照)、メモリセルアレイ M A のビット線に対して、データラッチ 1 に基づき選択ディスチャージ処理を行ない、センスラッチ 3 1 でセンス処理を行なう。

【 0 1 3 1 】

第 3 処理では (図 3 0 (C) 参照)、メモリセルアレイ M B のビット線に対して、センスラッチ 3 1 に基づき選択プリチャージ処理を行ない、データラッチ 2 に基づき選択ディスチャージ処理を行なう。さらに、第 4 処理として (図 3 0 (D) 参照)、センスラッチ 3 1 でセンス処理を行なう。センスラッチ 3 1 に、メモリセルアレイ M B のビット線の電位に対応するデータがラッチされる (“ 0 ”、 “ 1 ”、 “ 0 ”、 “ 0 ”)。

【 0 1 3 2 】

“ 0 E ” の状態のメモリセルに対応するセンスラッチには、他のメモリセルに対応するセンスラッチと異なる値が格納される。ラッチされた値を用いて、図 3 3 に示される全ラッチ判定回路 2 0 0 で A L L 判定処理を行なう。そして、0 0 レベル検出処理の第 4 処理が終了すると、1 0 レベル検出処理を行なう。

【 0 1 3 3 】

1 0 レベル検出処理の第 1 処理では (図 3 1 (A) 参照)、データラッチ 1 からセンスラッチ 3 1 にデータを転送する (転送処理)。続く第 2 処理では (図 3 1 (B) 参照)、メモリセルアレイ M B のビット線に対して、センスラッチ 3 1 に基づき選択ディスチャージ処理を行ない、データラッチ 2 に基づき選択プリチャージ処理を行なう。

【 0 1 3 4 】

続く第3処理では(図31(C)参照)、センスラッチ3 1でセンス処理を行なう。センスラッチ3 1に、メモリセルアレイMBのビット線の電位に対応するデータがラッチされる(“0”、“0”、“1”、“0”)。

【 0 1 3 5 】

“1E”の状態のメモリセルに対応するセンスラッチには、他のメモリセルに対応するセンスラッチと異なる値が格納される。ラッチされた値を用いて、図33に示される全ラッチ判定回路200でALL判定処理を行なう。

【 0 1 3 6 】

ALL判定処理を行なう全ラッチ判定回路200は、図33に示されるように、信号線Lと接地電圧を受けるノードとの間に設けられる複数のNMOSトランジスタT10、T11、T12、...、信号線Lと電源電圧を受けるノードとの間に設けられる抵抗素子R、ならびに信号線Lの信号を反転するインバータV20およびV21を含む。

【 0 1 3 7 】

トランジスタT10、T11、T12、...は、複数のセンスラッチ3 1のそれぞれに対応して設けられる。トランジスタT10、T11、T12、...のそれぞれは、対応するセンスラッチ3 1の出力に応じてオン/オフする。

【 0 1 3 8 】

すべてのセンスラッチ3 1の出力が“L”レベルであれば、インバータV21から出力される判定値は、“H”レベルになる。

【 0 1 3 9 】

したがって、図30および図31に示される場合、1つのセンスラッチ3 1からHレベルの信号が出力されるため、判定値は“L”レベルになる。この判定値に基づき、制御CPU16は、しきい値のずれを修正するため再度2値データの書込みを行うとともに、しきい値のずれを示す警告信号を発生する。警告信号は、たとえば、ステータスレジスタ18を介して外部に出力する。

【 0 1 4 0 】

このように、本発明の実施の形態2によるフラッシュメモリによると、2値データを正確に記憶することができる。また、2値データのずれを検出した場合には、外部にずれの発生を知らせることができる。

【 0 1 4 1 】

[実施の形態3]

本発明の実施の形態3では、フラッシュメモリ1000の改良例を示す。上述した実施の形態1では、2値データ“0”の書込要求があった場合、メモリセルを多値データ“01”の状態、すなわちしきい値が最も高い状態に設定する。

【 0 1 4 2 】

これに対して、本発明の実施の形態3における制御用CPU16は、2値データ“0”の書込要求があった場合、メモリセルを、多値データ“11”の状態に最も近い多値データ“10”の状態に設定する(図43参照)。

【 0 1 4 3 】

“01”に書込む場合よりも、しきい値のシフト量が少ないので、書込み時間を短縮することができる。この結果、本発明の実施の形態3によるフラッシュメモリによると、高速な書込動作が実現される。

【 0 1 4 4 】

[実施の形態4]

本発明の実施の形態4によるデータ記憶システム4000について、図34を用いて説明する。データ記憶システム4000は、図34に示されるように、2値フラッシュメモリ102、多値フラッシュメモリ104Aおよび104B、ならびにカウンタ/タイマ401、バッファ402、コントローラ403、およびエラー訂正回路404を含むシステムコントローラ400を備える。

【 0 1 4 5 】

2 値フラッシュメモリ 1 0 2 は、複数の不揮発性メモリセルを含む。2 値フラッシュメモリ 1 0 2 に含まれるメモリセルには 2 値データが書込まれ、また当該メモリセルからは 2 値データが読出される。

【 0 1 4 6 】

多値フラッシュメモリ 1 0 4 A および 1 0 4 B のそれぞれは、複数の不揮発性メモリセルを含む。多値フラッシュメモリ 1 0 4 A および 1 0 4 B のそれぞれに含まれるメモリセルには多値データが書込まれ、また当該メモリセルからは多値データが読出される。

【 0 1 4 7 】

2 値フラッシュメモリ 1 0 2、多値フラッシュメモリ 1 0 4 A および 1 0 4 B のそれぞれは、I / O ピンからデータを入出力する。I / O ピンは、バッファ 4 0 2 と接続されている。

10

【 0 1 4 8 】

2 値フラッシュメモリ 1 0 2 は、R / B ピンから動作中であるか否かを示す信号 R / B 0 を出力する。多値フラッシュメモリ 1 0 4 A および 1 0 4 B のそれぞれは、R / B ピンから動作中であるか否かを示す信号 R / B 1、R / B 2 を出力する。信号 R / B 0、R / B 1、R / B 2 は、コントローラ 4 0 3 に入力される。

【 0 1 4 9 】

2 値フラッシュメモリ 1 0 2、多値フラッシュメモリ 1 0 4 A および 1 0 4 B のそれぞれは、コントローラ 4 0 3 から出力されるチップイネーブル信号を / O E ピンで受けて動作する。

20

【 0 1 5 0 】

カウンタ / タイマ 4 0 1 は、一定期間内にホストシステム 4 1 0 0 から要求される書込データの大きさを測定する。カウンタ / タイマ 4 0 1 の測定結果は、コントローラ 4 0 3 に出力される。

【 0 1 5 1 】

バッファ 4 0 2 は、ホストシステム 4 1 0 0 から転送されるデータを取込み、またフラッシュメモリから読出されたデータを取込む。

【 0 1 5 2 】

エラー訂正回路 4 0 4 は、コントローラ 4 0 3 の制御に基づき、バッファ 4 0 2 に取込まれた書込データに誤り訂正検出信号を付加し、またホストシステム 4 1 0 0 への読出データの転送時に、バッファ 4 0 2 に取込まれたデータに対してエラー訂正処理を行なう。

30

【 0 1 5 3 】

コントローラ 4 0 3 は、カウンタ / タイマ 4 0 1 の出力、信号 R / B 0、R / B 1、R / B 2 をモニタして、フラッシュメモリへのデータの書込みを制御する。また、データの読出時、エラー訂正を行なうか否かを制御する。

【 0 1 5 4 】

図 3 5 に示されるように、データ記憶システム 4 0 0 0 を駆動するためのソフトウェア、F A T 情報（フラッシュメモリのアドレスとデータ記憶システム 4 0 0 0 におけるアドレスとの対応を示すファイル情報）および高速書込要求時のユーザデータは、相対的に高信頼性かつ高速動作が可能なフラッシュメモリ 1 0 2 に書込む。これら以外のユーザデータは、多値フラッシュメモリ 1 0 4 A および 1 0 4 B に書込む。

40

【 0 1 5 5 】

システムコントローラ 4 0 0 によるフラッシュメモリへの書込制御の第 1 例について、多値フラッシュメモリのみを複数個配置したデータ記憶システムと対比して説明する。

【 0 1 5 6 】

多値フラッシュメモリのみを用いる場合、図 3 6 に示される手順で書込みが行なわれる。なお、データ記憶システムが、多値フラッシュメモリを N 個搭載しているものとする。N 個の多値フラッシュメモリのそれぞれにデバイス番号 1 ~ N を割当て、ホストシステムからの書込要求があると（ステップ S 4 0 1）、書込対象として指定するデバイス番号（

50

DEVICE NO)を初期化“0”する(ステップS401)。

【0157】

続いて、デバイス番号を“1”インクリメントする(ステップS402)。対応する多値フラッシュメモリの信号R/Bに応じて、書込可能であるか(Ready状態)か、書込不可である(Busy状態)かを判断する(ステップS403)。

【0158】

書込可能(Ready状態)であれば、デバイス番号に対応する多値フラッシュメモリにホストシステムから受けるデータを書込む(ステップS404)。そして、ホストシステムからの次の書込要求を受付ける(ステップS400)。

【0159】

書込不可(Busy状態)であれば、デバイス番号が最大値“N”に達したか否かを判断する(ステップS405)。デバイス番号がNより小さければ、デバイス番号を“1”インクリメントする処理に移る(ステップS402)。デバイス番号が“N”である場合には、デバイス番号を初期化“0”する処理に移る(ステップS401)。このようにして、搭載される複数の多値フラッシュメモリのうち、書込可能なフラッシュメモリにデータを順次書込んでいく。

【0160】

一方、データ記憶システム4000によると、図37に示される手順で書込みが実行される。なお、データ記憶システム4000が、N個の多値フラッシュメモリと1個の2値フラッシュメモリとを搭載しているものとする。N個の多値フラッシュメモリのそれぞれにデバイス番号1～Nを、2値フラッシュメモリにデバイス番号(N+1)を割当てる。

【0161】

ホストシステム4100から書込要求があると(ステップS410)、書込対象となるデバイス番号を初期化“0”する(ステップS411)。続いて、デバイス番号を“1”インクリメントする(ステップS412)。対応する多値フラッシュメモリの信号R/Bに応じて、書込可能であるか(Ready状態)か、書込不可である(Busy状態)かを判断する(ステップS413)。

【0162】

書込可能(Ready状態)であれば、デバイス番号に対応するフラッシュメモリにデータを書込む(ステップS414)。そして、ホストシステム4100からの次の書込要求を受付ける(ステップS410)。

【0163】

書込不可(Busy状態)であれば、デバイス番号が最大値“N+1”に達したか否かを判断する(ステップS415)。デバイス番号が“N+1”より小さければ、デバイス番号を“1”インクリメントする処理に移る(ステップS412)。

【0164】

デバイス番号が“N+1”である場合には、対応するフラッシュメモリ(2値フラッシュメモリ)がReady状態かBusy状態であるかを判断する処理に移る(ステップS413)。

【0165】

すなわち、システムコントローラ400は、フラッシュメモリの状態(R/B)をモニタして、Ready状態の多値フラッシュメモリからデータの書込みを行なうよう制御する。そして、すべての多値フラッシュメモリがBusy状態になると、2値フラッシュメモリにデータを書込むように制御する。この動作により、データ記憶システム4000に、大容量のデータを格納することができる。

【0166】

システムコントローラ400によるフラッシュメモリへの書込制御の第2例について、図38を用いて説明する。図38を参照して、ホストシステム4100からの書込要求があるか否かを判断する(ステップS420)。書込要求がある場合には、後述するデータの大きさによる書込制御処理(ステップS421)に移る。

10

20

30

40

50

【 0 1 6 7 】

書込要求が無い場合、2値フラッシュメモリ102に高速書込要求時のユーザデータが書込まれているか否かを判断する(ステップS422)。2値フラッシュメモリ102に高速書込要求時のユーザデータが無いときには、処理を行なわない(ステップS423)。2値フラッシュメモリ102に高速書込要求時のユーザデータが書込まれているときには、2値フラッシュメモリ102の当該データをバッファ402に転送させる(ステップS424)。

【 0 1 6 8 】

バッファ402を介して、多値フラッシュメモリに当該データを書込む(ステップS425)。そして、ホストシステム4100の次の書込要求を判断する処理に移る(ステップS420)。

10

【 0 1 6 9 】

すなわち、ホストシステム4100から書込要求が無いときには、2値フラッシュメモリ102に書込まれた高速書込要求時のユーザデータを多値フラッシュメモリに移し替える。これにより、高速書込と大容量とを両立させることができる。

【 0 1 7 0 】

書込データの大きさによる書込制御処理(ステップS421)について、図39を用いて説明する。ホストシステム4100からの書込み要求があると(ステップS430)、カウンタ/タイマ401の出力に基づき、一定時間の大きさ(基準値)の書込データがあるか否かを判断する。書込データの大きさが基準値以内の場合、書込対象とするデバイス番号を初期化“0”する(ステップS432)。続いて、デバイス番号を“1”インクリメントして(ステップS433)、対応するフラッシュメモリのReady/Busy状態を判定する処理に移る(ステップS435)。

20

【 0 1 7 1 】

書込データの大きさが基準値以上の場合、デバイス番号を“N+1”にして(ステップS434)、対応する2値フラッシュメモリのReady/Busy状態を判定する処理に移る(ステップS435)。

【 0 1 7 2 】

対応するフラッシュメモリがReady状態であるならば、当該フラッシュメモリにデータを書込む(ステップS436)。そして、ホストシステム4100からの次の書込要求を受付ける(ステップS430)。

30

【 0 1 7 3 】

対応するフラッシュメモリがBusy状態の場合、デバイス番号が最大値“N+1”に達したか否かを判断する(ステップS437)。デバイス番号が“N+1”より小さければ、デバイス番号を“1”インクリメントする処理に移る(ステップS433)。

【 0 1 7 4 】

デバイス番号が“N+1”の場合、対応するフラッシュメモリ(2値フラッシュメモリ)がReady状態かBusy状態であるかを判断する処理に移る(ステップS435)。

【 0 1 7 5 】

すなわち、システムコントローラ400は、データが大きい場合には高速なデータの書込が要求されていると判断して、高速動作が可能な2値フラッシュメモリに当該データを書込む。

40

【 0 1 7 6 】

次に、システムコントローラ400によるフラッシュメモリの読出制御例について、図40を用いて説明する。ホストシステム4100からの読出要求があると(ステップS450)、フラッシュメモリに格納される対応するデータがバッファ402に転送される(ステップS451)。

【 0 1 7 7 】

バッファ402に転送されたデータが、多値フラッシュメモリから読出された多値データであるか否かを判断する(ステップS452)。

50

【 0 1 7 8 】

データが2値フラッシュメモリから読出された場合、エラー訂正回路404におけるエラー訂正処理を行わず、バッファ402からホストシステム4100へデータを転送する処理に移る(ステップS456)。

【 0 1 7 9 】

データが多値フラッシュメモリから読出された場合、バッファ402に転送されたデータをエラー訂正回路404に送る(ステップS453)。エラー訂正回路404においてエラー訂正処理が実施される(ステップS454)。エラー訂正後のデータは、バッファ402に格納する(ステップS455)。そして、バッファ402からホストシステム4100へデータを転送する処理に移る(ステップS456)。

10

【 0 1 8 0 】

すなわち、2値フラッシュメモリへの書込み時には、誤り訂正符号を付けず、多値フラッシュメモリへの書込み時には、誤り訂正符号を付加しておく。そして、ホストシステム4100からのデータ読出要求に対し、高信頼性の2値フラッシュメモリからデータを読出した場合には、エラー訂正を行わず、多値フラッシュメモリからデータを読出した場合には、エラー訂正を行ってからホストシステム4100にデータを転送するよう制御する。これにより、高速動作を実現することができる。

【 0 1 8 1 】

[実施の形態5]

本発明の実施の形態5によるデータ記憶システム5000について、図41を用いて説明する。データ記憶システム5000は、図41に示されるように、多値/2値フラッシュメモリ100A、100Bおよび100C、ならびにシステムコントローラ400を含む。多値/2値フラッシュメモリ100A~100Cは、実施の形態1、2または3で説明した構成を有し、メモリセルに2値データまたは多値データを記憶させることができる。

20

【 0 1 8 2 】

実施の形態5による構成の場合、図42に示されるように、フラッシュメモリ100A、100Bに、ユーザデータを多値データで、高速書込要求時のユーザデータを2値データで書込み、フラッシュメモリ100Cに、ユーザデータを多値データで、高速書込要求時のユーザデータ、データ記憶システムを駆動するためのソフトウェアおよびFAT情報(フラッシュメモリのアドレスとデータ記憶システム5000におけるアドレスとの対応を示すファイル情報)を2値データで書込むことができる。

30

【 0 1 8 3 】

システムコントローラ400は、ホストシステム4100から受ける書込みデータの種類に応じて、多値で記憶させるか2値で記憶させるかを制御する。また、システムコントローラ400は、データの種類に応じて、エラー訂正を行なう否かを制御することも可能である。

【 0 1 8 4 】

また、書込要求が無い場合、フラッシュメモリに高速書込要求時のユーザデータ(2値データ)が書込まれているときには、当該データをバッファ402に転送させ、バッファ402を介して、多値の状態当該データを記憶させることも可能である。

40

【 0 1 8 5 】

実施の形態4の場合、2値フラッシュメモリ102に未使用領域が多く残っているにもかかわらず多値フラッシュメモリには未使用領域が無くなり、または、多値フラッシュメモリに未使用領域が多く残っているにもかかわらず2値フラッシュメモリ102には未使用領域が無くなることもあり得る。

【 0 1 8 6 】

そこで、本発明の実施の形態5では、多値データ/2値データを書込み、書込んだ多値データ/2値データを読出すことができるフラッシュメモリを配置する。これにより、メモリ空間を有効に使用しつつ、信頼性の高いかつ高速動作が行なうことが可能になる。

【 0 1 8 7 】

50

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0188】

【発明の効果】

請求項1および2に係る不揮発性半導体記憶装置によると、要求に応じて、2値データまたは3以上の多値データを書込み、読出すことができる。これにより、大容量のデータを記憶しつつ、必要に応じて、高信頼性かつ高速にデータを書込みかつ読出すことができる。

10

【0189】

請求項1に係る不揮発性半導体記憶装置は、2値データを記憶したメモリセルに対して、しきい値のずれを検出することができる。

【0190】

請求項2に係る不揮発性半導体記憶装置は、2値データを記憶したメモリセルに対して、しきい値のずれを検出した場合、再度2値データを書込み（データ修復）することができる。

【0191】

請求項3に係る不揮発性半導体記憶装置は、請求項1または2に係る不揮発性半導体記憶装置であって、書込／読出単位（セクタ、ページ）毎にフラグを配置する。これにより、2値データを書込んだか多値データを書込んだかを示す値をフラグに格納することができる。

20

【0192】

請求項4に係る不揮発性半導体記憶装置は、請求項3に係る不揮発性半導体記憶装置であって、フラグをメモリセルと同じ構造とする。これにより、メモリセルの書込／読出と同時に、フラグに対する書込／読出を行なうことが容易にできる。

【0193】

請求項5に係る不揮発性半導体記憶装置は、請求項3に係る不揮発性半導体記憶装置であって、メモリセルへの書込みと同時に、フラグに、メモリセルに2値データを書込んだか多値データを書込んだかを記憶させることができる。

30

【0194】

請求項6に係る不揮発性半導体記憶装置は、請求項3に係る不揮発性半導体記憶装置であって、外部から2値データの書込要求がある場合には、2値データの書込シーケンスを、外部から多値データの書込要求がある場合には、多値データの書込シーケンスを実行することができる。

【0195】

請求項7に係る不揮発性半導体記憶装置は、請求項3に係る不揮発性半導体記憶装置であって、フラグに基づき、書込／読出単位ごとに、2値データまたは多値データを読出すことができる。

【図面の簡単な説明】

40

【図1】 本発明の実施の形態1によるフラッシュメモリ1000の全体構成の概要を示すブロック図である。

【図2】 フラッシュメモリ1000の主要部の構成を示す回路図である。

【図3】 信号処理回路25の構成について説明するための回路図である。

【図4】 (A)～(C)は、選択プリチャージ処理・選択ディスチャージ処理・センス処理における信号の状態を示す図である。

【図5】 多値フラッシュメモリの読出動作時におけるワード線電圧を示す図である。

【図6】 (A)～(C)は、多値フラッシュメモリにおける読出シーケンス(READ1～READ3)を示す図である。

【図7】 (A)および(B)は、多値フラッシュメモリにおける読出シーケンスを示す

50

図である。

【図 8】 多値フラッシュメモリの読出動作時におけるデータとセンスラッチの値との関係を示す図である。

【図 9】 フラッシュメモリ 1 0 0 0 の多値データ読出動作時におけるワード線電圧を示す図である。

【図 1 0】 (A) ~ (C) は、フラッシュメモリ 1 0 0 0 における多値データの読出シーケンス (R E A D 1 ~ R E A D 3) を示す図である。

【図 1 1】 (A) および (B) は、フラッシュメモリ 1 0 0 0 における多値データの読出シーケンスを示す図である。

【図 1 2】 フラッシュメモリ 1 0 0 0 の多値データ読出動作時におけるデータとセンスラッチの値との関係を示す図である。

10

【図 1 3】 フラッシュメモリ 1 0 0 0 の 2 値データ読出動作時におけるワード線電圧を示す図である。

【図 1 4】 (A) および (B) は、フラッシュメモリ 1 0 0 0 における 2 値データの読出シーケンスについて説明するための図である。

【図 1 5】 フラッシュメモリ 1 0 0 0 の 2 値データ読出動作時におけるデータとセンスラッチの値との関係を示す図である。

【図 1 6】 多値フラッシュメモリの書込動作時におけるワード線電圧を示す図である。

【図 1 7】 (A) ~ (D) は、多値フラッシュメモリにおける書込シーケンス (P R O G R A M 1) について説明するための図である。

20

【図 1 8】 (A) ~ (D) は、多値フラッシュメモリにおける書込シーケンス (P R O G R A M 2) について説明するための図である。

【図 1 9】 (A) ~ (D) は、多値フラッシュメモリにおける書込シーケンス (P R O G R A M 3) について説明するための図である。

【図 2 0】 多値フラッシュメモリの書込動作時におけるデータとセンスラッチの値との関係を示す図である。

【図 2 1】 フラッシュメモリ 1 0 0 0 の多値データ書込動作時におけるワード線電圧を示す図である。

【図 2 2】 (A) ~ (D) は、フラッシュメモリ 1 0 0 0 における多値データの書込シーケンス (P R O G R A M 1) を示す図である。

30

【図 2 3】 フラッシュメモリ 1 0 0 0 の多値データ書込動作時におけるデータとセンスラッチの値との関係を示す図である。

【図 2 4】 フラッシュメモリ 1 0 0 0 の 2 値データ書込動作時におけるワード線電圧を示す図である。

【図 2 5】 (A) ~ (C) は、フラッシュメモリ 1 0 0 0 における 2 値データの書込シーケンス (P R O G R A M 1) を示す図である。

【図 2 6】 フラッシュメモリ 1 0 0 0 の 2 値データ書込動作時におけるデータとセンスラッチの値との関係を示す図である。

【図 2 7】 (A) ~ (D) は、フラッシュメモリ 1 0 0 0 の書込 / 消去 / 読出時における電圧関係を説明するための図である。

40

【図 2 8】 本発明の実施の形態 2 によるフラッシュメモリの 2 値データ読出時におけるワード線電圧を示す図である。

【図 2 9】 (A) ~ (E) は、本発明の実施の形態 2 によるフラッシュメモリにおける 2 値データの読出シーケンスを示す図である。

【図 3 0】 (A) ~ (D) は、本発明の実施の形態 2 における 0 0 レベル検出処理の内容を示す図である。

【図 3 1】 (A) ~ (C) は、本発明の実施の形態 2 における 1 0 レベル検出処理の内容を示す図である。

【図 3 2】 2 値データ読出動作時におけるデータとセンスラッチの値との関係を示す図である。

50

【図 3 3】 全ラッチ判定回路 2 0 0 の構成を示す回路図である。

【図 3 4】 本発明の実施の形態 4 によるデータ記憶システム 4 0 0 0 について説明するための図である。

【図 3 5】 データ記憶システム 4 0 0 0 におけるアドレス空間上のデータ配置例を示す図である。

【図 3 6】 多値フラッシュメモリのみを複数個配置したデータ記憶システムにおける書込制御を示すフローチャートである。

【図 3 7】 データ記憶システム 4 0 0 0 における第 1 の書込制御を示すフローチャートである。

【図 3 8】 データ記憶システム 4 0 0 0 における第 2 の書込制御を示すフローチャートである。

10

【図 3 9】 データ記憶システム 4 0 0 0 における書込データの大きさによる書込制御処理を示すフローチャートである。

【図 4 0】 データ記憶システム 4 0 0 0 における読出制御を示すフローチャートである。

【図 4 1】 本発明の実施の形態 5 によるデータ記憶システム 5 0 0 0 について説明するための図である。

【図 4 2】 データ記憶システム 5 0 0 0 におけるアドレス空間上のデータ配置例を示す図である。

【図 4 3】 多値データと 2 値データとの関係を示す図である。

20

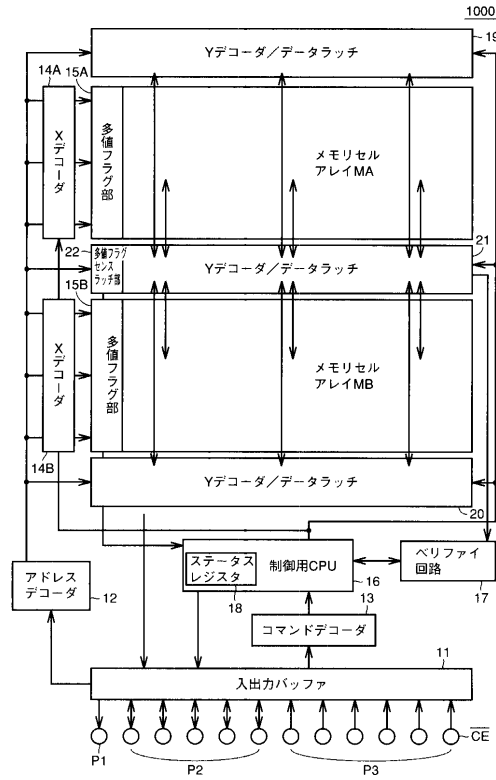
【図 4 4】 不揮発性メモリセルにおける多値データと 2 値データとの関係を示す図である。

【符号の説明】

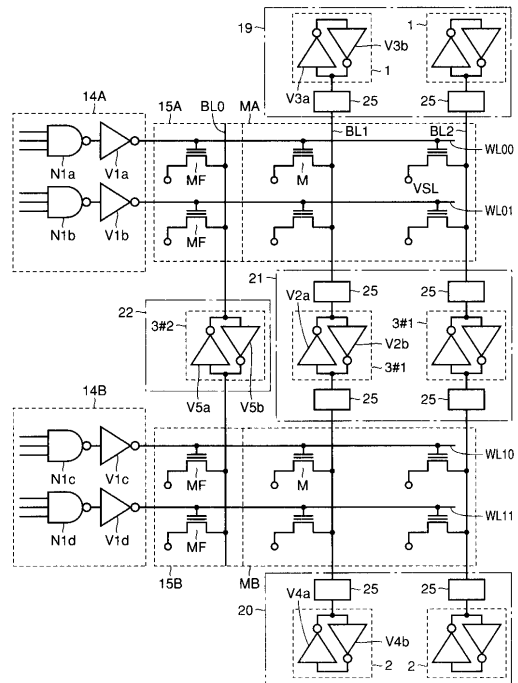
1, 2 データラッチ、3 1, 3 2 センスラッチ、1 1 入出力バッファ、1 2 アドレスデコーダ、1 3 コマンドデコーダ、1 4 A, 1 4 B Xデコーダ、1 5 A, 1 5 B 多値フラグ部、1 6 制御用 CPU、1 7 ベリファイ回路、1 8 ステータスレジスタ、1 9, 2 0 Yデコーダ/データラッチ、2 1 Yデコーダ/センスラッチ、2 2 多値フラグセンスラッチ部、2 5 信号処理部、1 0 0 A ~ 1 0 0 C 多値/2 値フラッシュメモリ、1 0 2 2 値フラッシュメモリ、1 0 4 A, 1 0 4 B 多値フラッシュメモリ、4 0 0 システムコントローラ、4 0 1 カウンタ/タイマ、4 0 2 バッファ
4 0 2 コントローラ、4 0 4 エラー訂正回路、1 0 0 0 フラッシュメモリ、4 0 0
0 データ記憶システム、4 1 0 0 ホストシステム、M A, M B メモリセルアレイ、
M メモリセル、M F 多値フラグ。

30

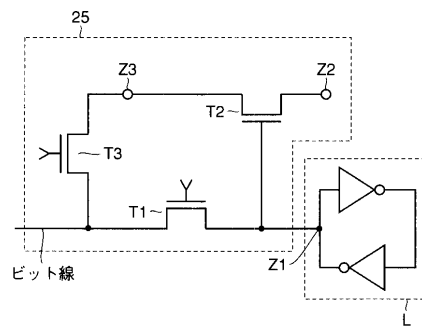
【図 1】



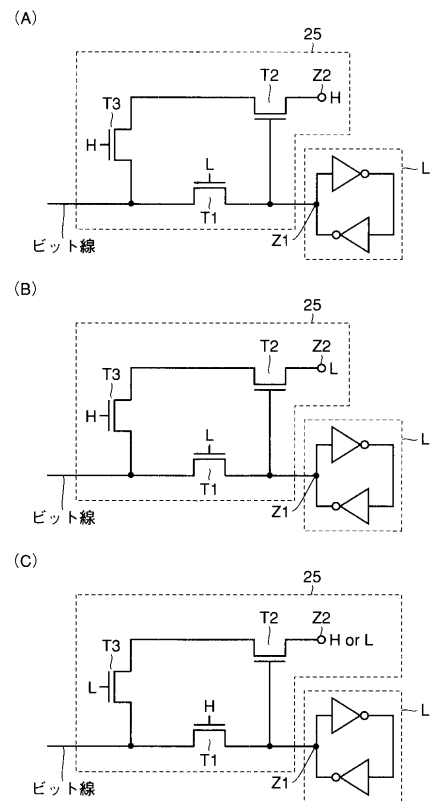
【図 2】



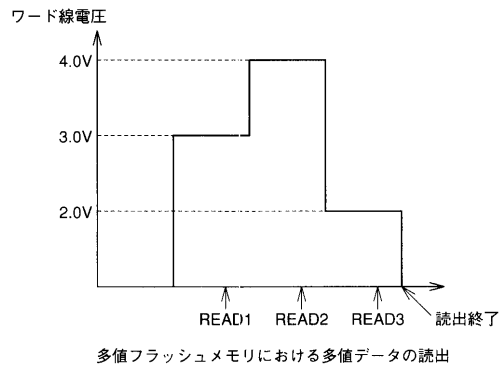
【図 3】



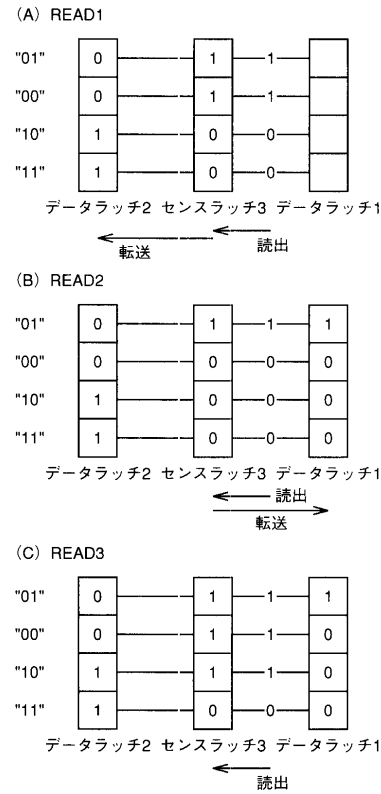
【図 4】



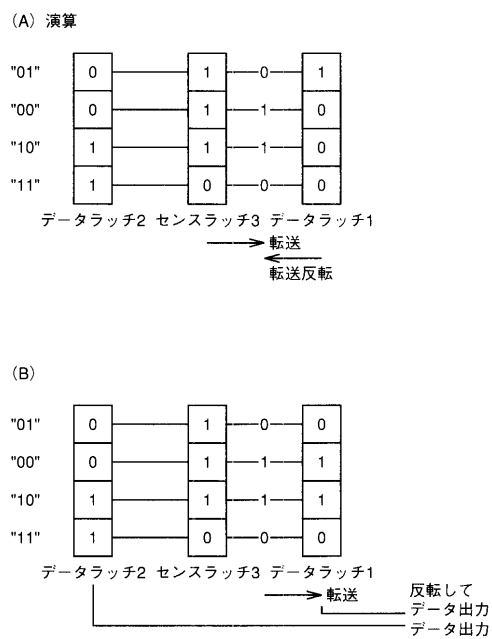
【図 5】



【図 6】



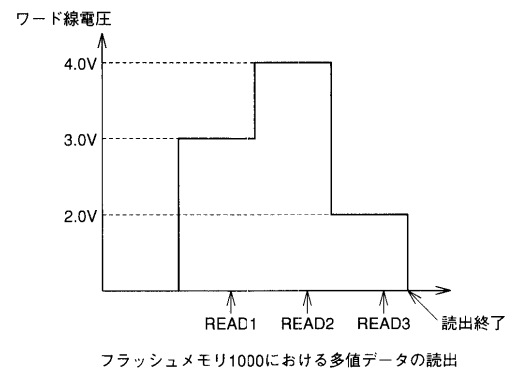
【図 7】



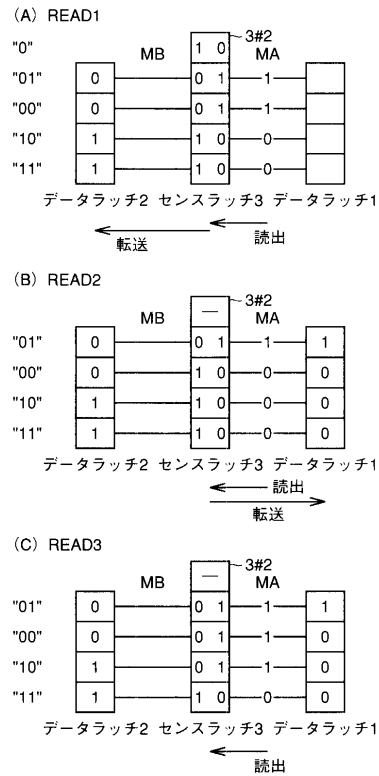
【図 8】

データ		11	10	00	01
センスラッチの値	READ1	0	0	1	1
	READ2	0	0	0	1
	READ3	0	1	1	1

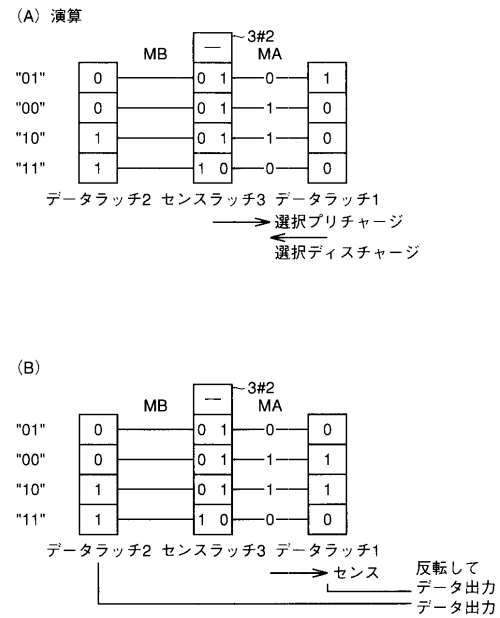
【図 9】



【図 10】



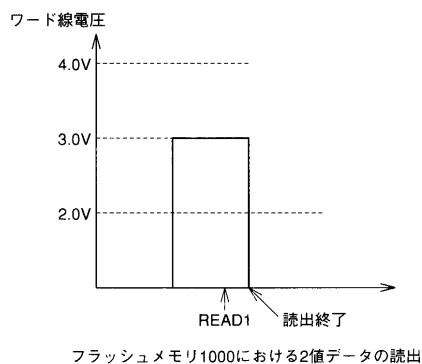
【図 11】



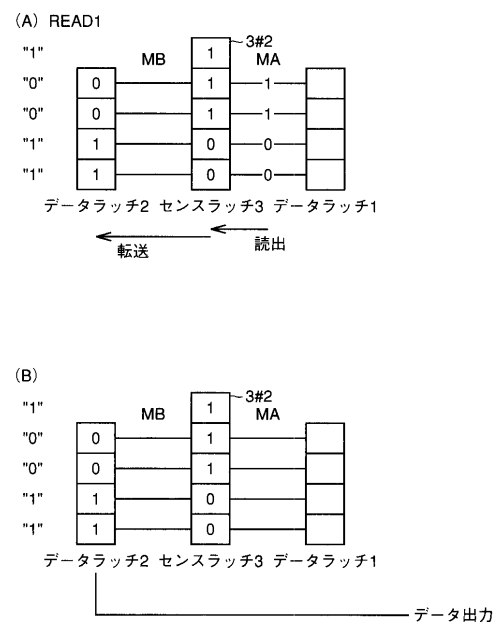
【図 12】

記憶位置		MF	M	M	M	M
データ		0	11	10	00	01
センスラッチの値	READ1	0	0	0	1	1
	READ2	—	0	0	0	1
	READ3	—	0	1	1	1

【図 13】



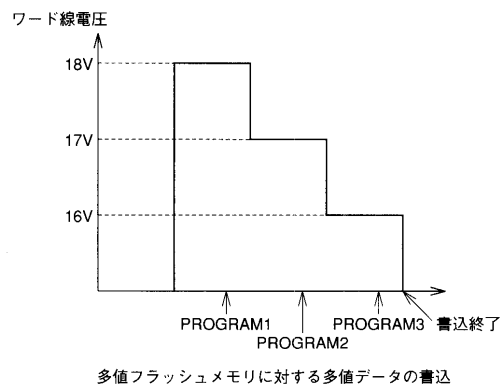
【図 14】



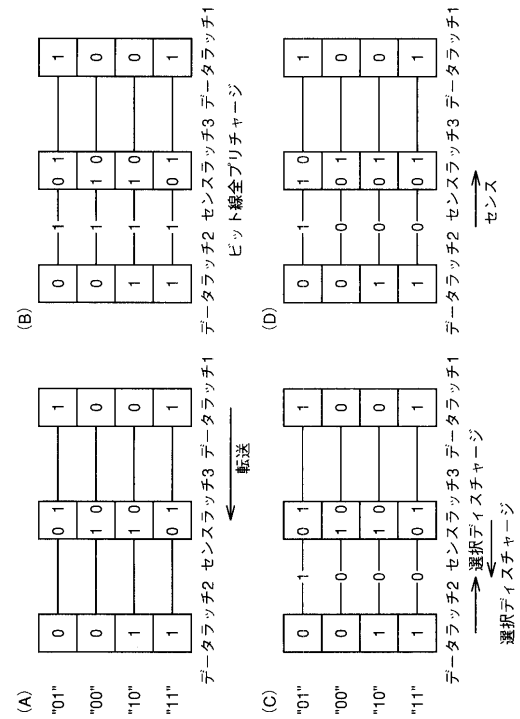
【図 15】

記憶位置		MF	M	M	M	M
データ		1	0	0	1	1
センス ラッチの 値	READ1	1	0	0	1	1
	READ2	—	—	—	—	—
	READ3	—	—	—	—	—

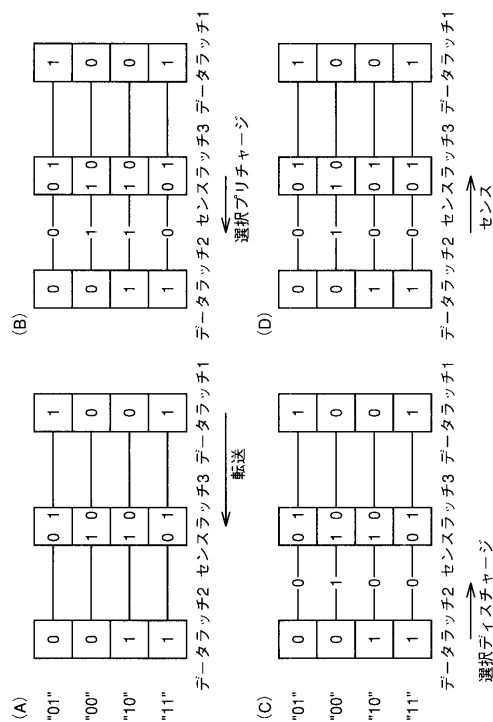
【図 16】



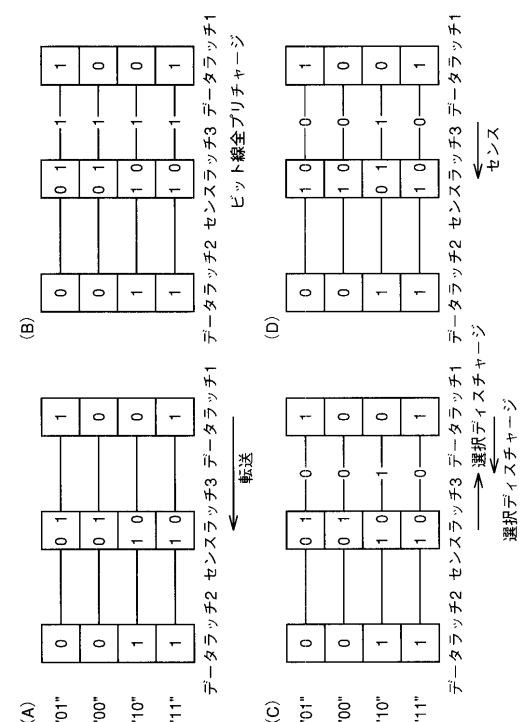
【図 17】



【図 18】



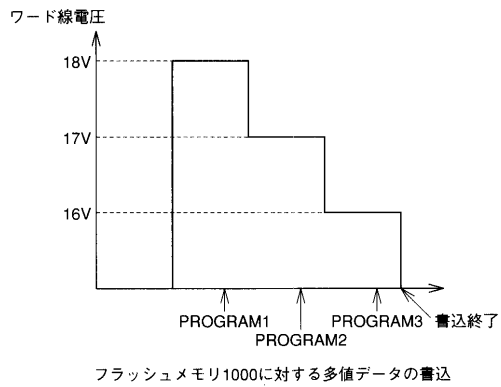
【図 19】



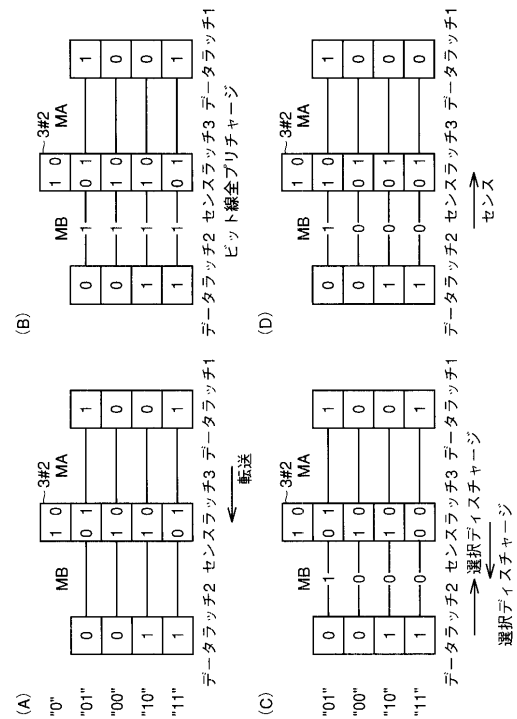
【 図 2 0 】

データ		11	10	00	01
センス ラッチ LSの値	PROGRAM1	1	1	1	0
	PROGRAM2	1	1	0	1
	PROGRAM3	1	0	1	1

【 図 2 1 】



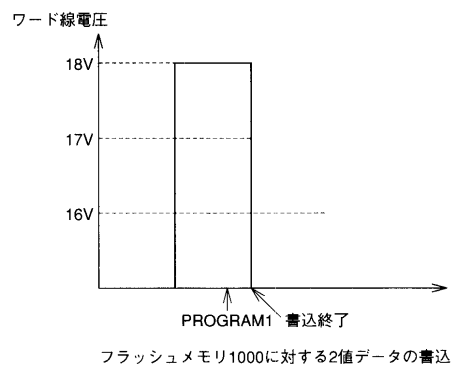
【 図 2 2 】



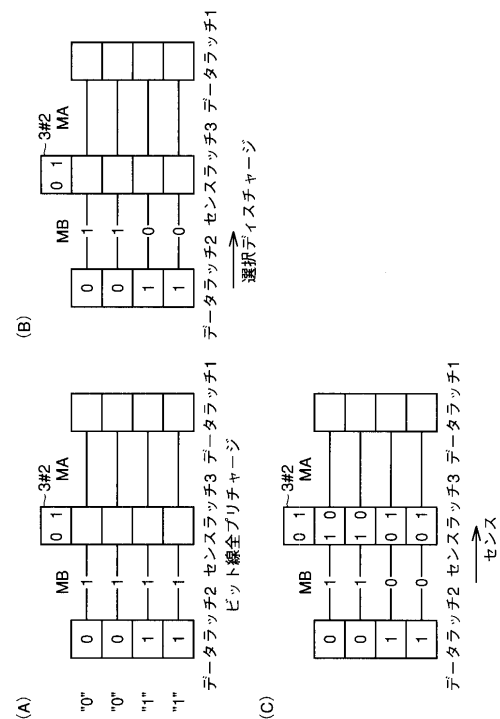
【 図 2 3 】

記憶位置		MF	M	M	M	M
データ		0	11	10	00	01
センスラッチの値	PROGRAM1	0	1	1	1	0
	PROGRAM2	1	1	1	0	1
	PROGRAM3	1	1	0	1	1

【 図 2 4 】



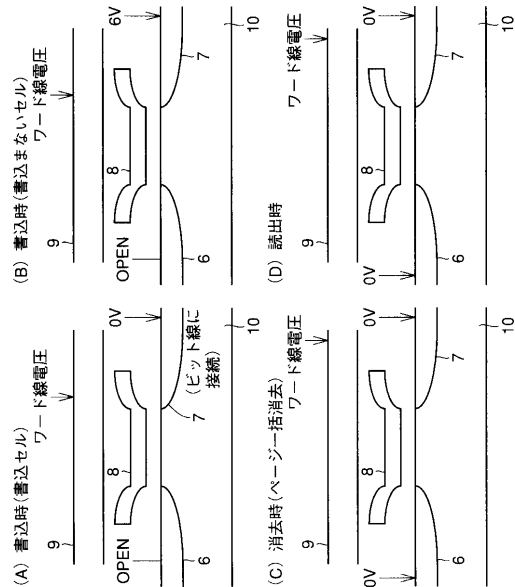
【 図 2 5 】



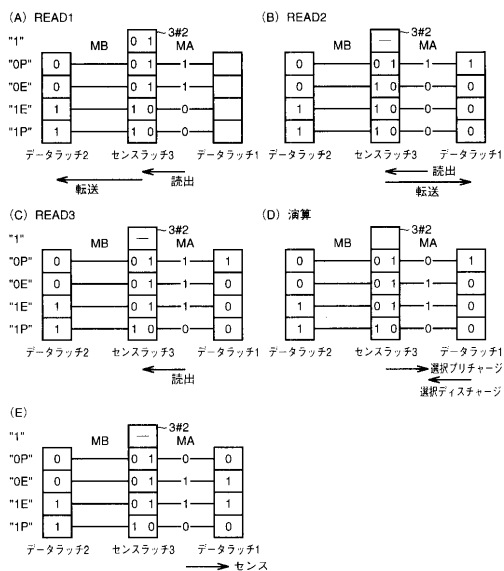
【図 26】

記憶位置		MF	M	M	M	M
データ		1	1	1	0	0
センス タッチの 値	PROGRAM1	1	1	1	0	0

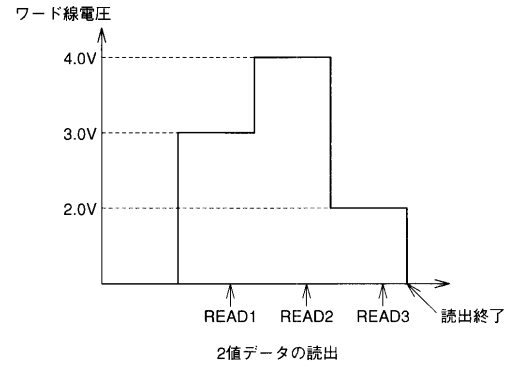
【図 27】



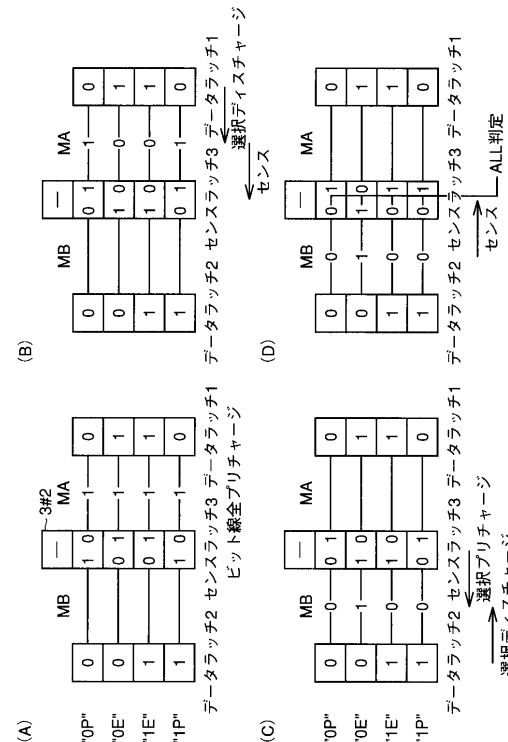
【図 29】



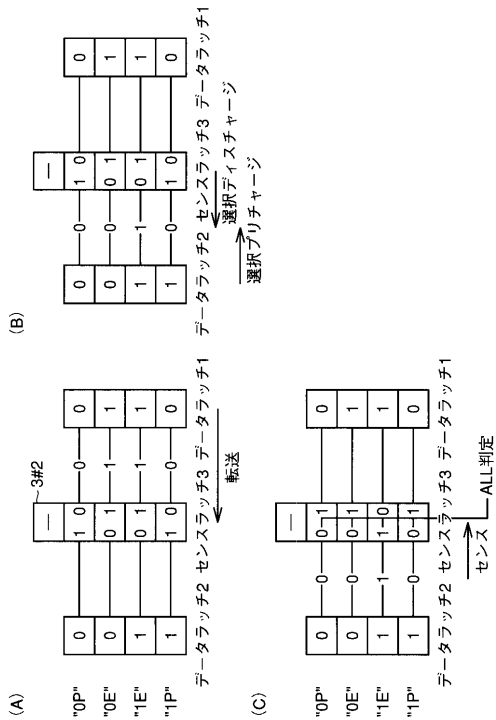
【図 28】



【図 30】



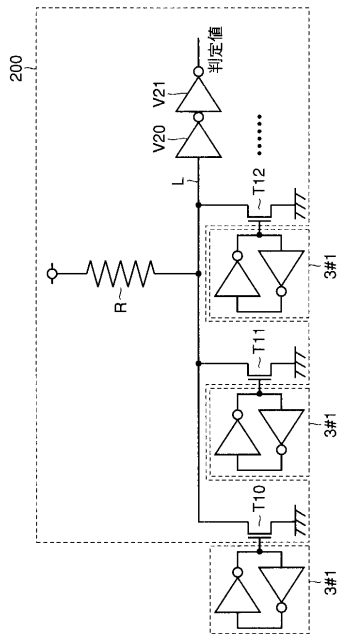
【図 3 1】



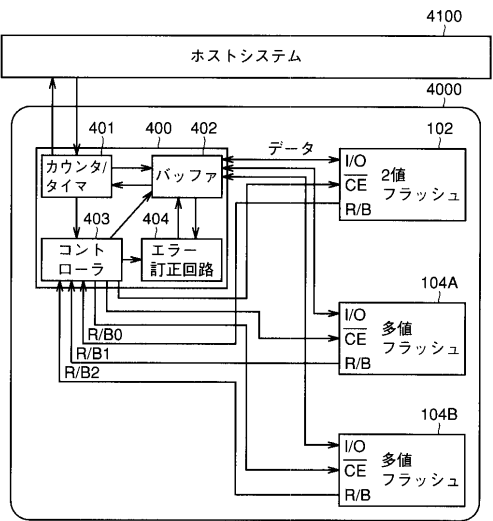
【図 3 2】

記憶位置		MF	M	M	M	M
データ		0	1P	1E	0E	0P
センスラッチの値	READ1	0	0	0	1	1
	READ2	—	0	0	0	1
	READ3	—	0	1	1	1

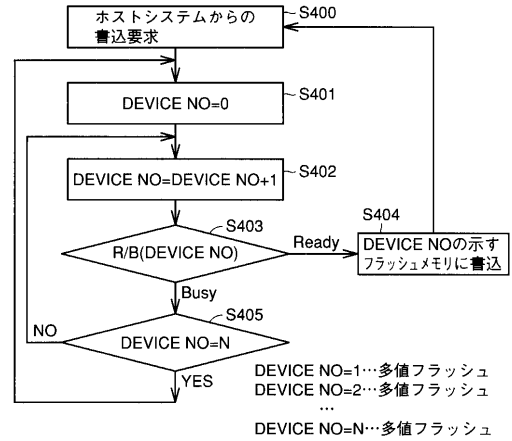
【図 3 3】



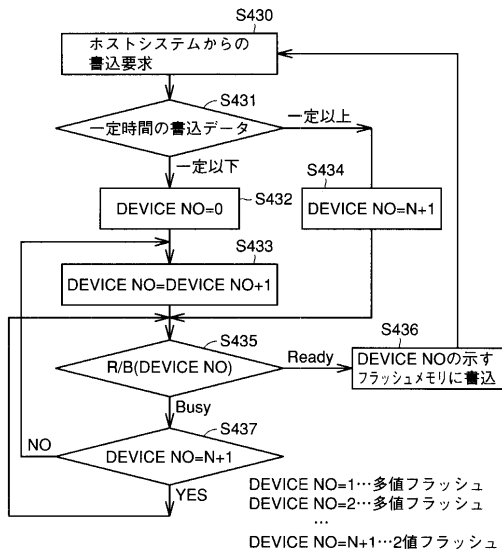
【図 3 4】



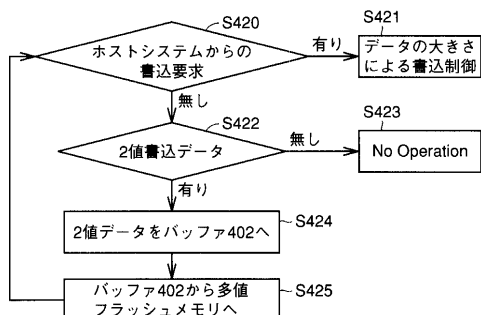
【 図 3 6 】



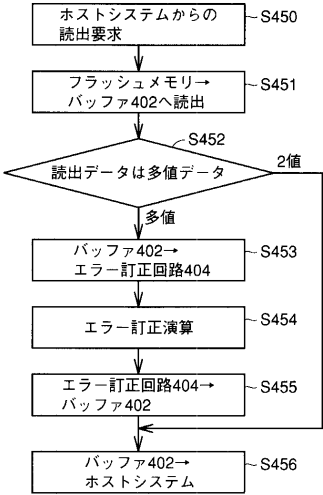
【 図 3 9 】



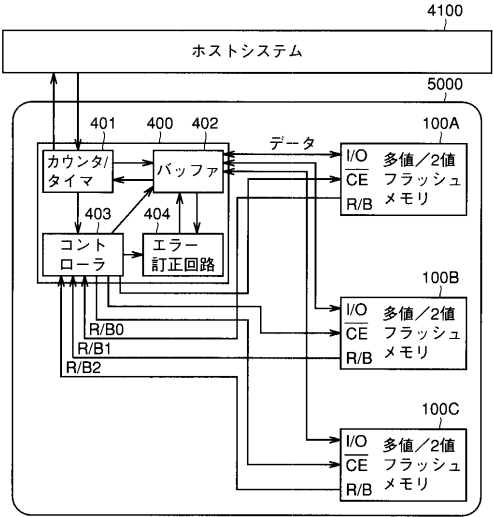
10



【図 4 0】



【図 4 1】

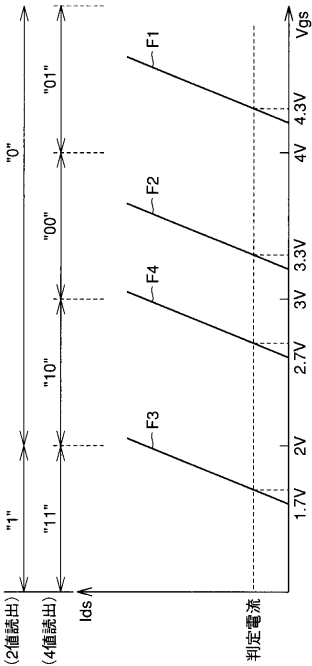


【図 4 2】

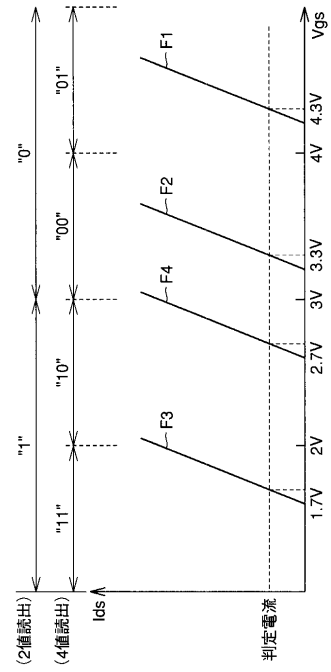
	多値/2値 フラッシュ メモリ 100C					多値/2値 フラッシュ メモリ 100B					多値/2値 フラッシュ メモリ 100A			
	多値	多値	多値	多値		2値	多値	2値	多値		2値	多値	2値	多値
未使用														
ユーザデータ														
ユーザデータ														
ユーザデータ														
ユーザデータ														
ユーザデータ														
高速書き込み要求時のユーザデータ														
高速書き込み要求時のユーザデータ														
未使用														
未使用														
未使用														
高速書き込み要求時のユーザデータ														
ユーザデータ														
高速書き込み要求時のユーザデータ														
ユーザデータ														
高速書き込み要求時のユーザデータ														
ユーザデータ														
ユーザデータ														
ユーザデータ														
FAT情報														
データ記憶システムのソフトウェア														

#0000

【図 4 3】



【図 44】



フロントページの続き

- (72)発明者 玉田 悟
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 佐伯 達也
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 興枙 泰宏
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 滝谷 亮一

- (56)参考文献 特開平06-222974(JP,A)
特開平11-176178(JP,A)
特開平06-309890(JP,A)
特開平10-106276(JP,A)
特開平10-106279(JP,A)
特開平11-031102(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 16/02-16/06