



(12)发明专利

(10)授权公告号 CN 103367635 B

(45)授权公告日 2018.02.06

(21)申请号 201310093311.2

(22)申请日 2013.03.22

(65)同一申请的已公布的文献号

申请公布号 CN 103367635 A

(43)申请公布日 2013.10.23

(30)优先权数据

JP2012-080643 2012.03.30 JP

(73)专利权人 索尼半导体解决方案公司

地址 日本神奈川县

(72)发明人 清宏彰 大场和博 曾根威之

五十岚实

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 赵国荣

(51)Int.Cl.

H01L 45/00(2006.01)

H01L 27/24(2006.01)

(56)对比文件

US 2009/0173930 A1, 2009.07.09,

CN 1921134 A, 2007.02.28,

JP 特开2009-218411 A, 2009.09.24,

审查员 韩婷

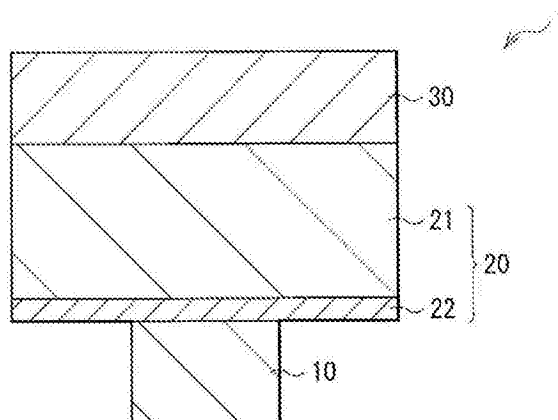
权利要求书1页 说明书14页 附图17页

(54)发明名称

存储元件和存储装置

(57)摘要

本发明提供一种存储元件和存储装置,该存储元件包括:第一电极;存储层,包括离子源层;以及第二电极。第一电极、存储层和第二电极以该顺序提供。离子源层至少包括硫族元素、氧和一种或多种过渡金属元素,该过渡金属元素选自元素周期表的第4、5和6族元素构成的组。



1. 一种存储元件,包括:

第一电极;

存储层,包括离子源层;以及

第二电极,

该第一电极、该存储层和该第二电极以该顺序提供,

其中该离子源层至少包括硫族元素、氧以及选自由元素周期表的第4、5和6族元素构成的组的一种或多种过渡金属元素,

其中该离子源层中包括的该氧的原子百分比含量在28%以上且在55%以下,

该离子源层中包括的该一种或多种过渡金属元素与该硫族元素的原子百分比在3:7以上且在7:3以下,以及

该离子源层不包括除硫族元素、氧以及选自由元素周期表的第4、5和6族元素构成的组的一种或多种过渡金属元素外的其他元素。

2. 根据权利要求1所述的存储元件,其中该一种或多种过渡金属元素选自由钛、锆和铅组成的组。

3. 根据权利要求1所述的存储元件,其中该存储层包括阻变层,该阻变层提供为更靠近该第一电极而不是该第二电极,并且该阻变层包括金属氧化物膜、金属氮化物膜和金属氧氮化物膜之一。

4. 根据权利要求1所述的存储元件,其中

该存储层包括阻变层,并且

该阻变层的电阻响应于低阻抗部分的形成而变化,在该第一电极和该第二电极之间施加电压时,该低阻抗部分形成在该阻变层中,并且该低阻抗部分包含该一种或多种过渡金属元素或氧空位。

5. 一种具有多个存储元件和脉冲施加部分的存储装置,该脉冲施加部分给该多个存储元件选择性地施加脉冲电压或提供脉冲电流,该多个存储元件的每一个包括:

第一电极;

存储层,包括离子源层;以及

第二电极,

该第一电极、该存储层和该第二电极以该顺序提供,

其中该离子源层至少包括硫族元素、氧和选自由元素周期表的第4、5和6族元素构成的组的一种或多种过渡金属元素,

其中该离子源层中包括的该氧的原子百分比含量在28%以上且在55%以下,

该离子源层中包括的该一种或多种过渡金属元素与该硫族元素的原子百分比在3:7以上且在7:3以下,以及

该离子源层不包括除硫族元素、氧以及选自由元素周期表的第4、5和6族元素构成的组的一种或多种过渡金属元素外的其他元素。

存储元件和存储装置

技术领域

[0001] 本发明涉及存储元件和存储装置,其借助于包括离子源层的存储层的电特性的变化而存储信息。

背景技术

[0002] 通常,NOR或NAND型闪存用作数据存储的半导体非挥发存储器。这些类型的半导体非挥发存储器已经通过小型化各存储元件和驱动晶体管而实现了大容量。然而,应指出,它们的小型化受到限制,因为高电压对于写入或擦除数据是必要的,并且限制了注入每个浮置栅极中的电子数。

[0003] 当前,阻变型存储器,例如,电阻随机存取存储器(ReRAM)或者相变随机存取存储器(PRAM),建议作为下一代非挥发存储器,其潜在地超越小型化的限制(例如,见日本特开第2006-196537号公报以及Waser,et al.,“Advanced Material”Volume21,page2932(2009))。这样的存储器具有简单的结构,其中阻变层形成在两个电极之间,并且它们的写入和擦除操作借助于阻变层电阻的变化而实现。认为电阻变化的一个原因是原子或离子随着热或电场行进以形成导电通道。

[0004] 除了上面描述的用于小型化存储器的技术外,还有实现大容量存储器的另一种技术,也称为多值技术(multi-valued technique)。具体而言,该技术通过使单一元件执行多位(bit)记录而实现多值记录。如果每个装置记录2位(4值)或3位(8值)数据,则总容量增加两倍或三倍。

发明内容

[0005] 构造为借助于电阻的变化写入且擦除数据的存储器要求以很低的电流保持相对高的电阻值。为了实现多值记录,例如,必须使存储器排列在低电阻值(例如,几十k Ω 或更低)和高电阻值(例如,几百k Ω 至几M Ω)之间的中间电阻值(例如,几十k Ω 至几M Ω),并且保持这些电阻值很长时间。

[0006] 在小型化的非挥发存储器中,随着元件面积的减小,其电阻倾向于增加,如上所述。此外,小型化涉及晶体管驱动电流的减小。因此,随着每个元件的小型化,用于写入数据的驱动电流减小,因此进一步增加低电阻状态下的电阻值。为此,难以控制多值记录所需的中间氧化状态(中间电阻值),并且难以保持这些中间的电阻值。

[0007] 所希望的是提供能保持用低电流记录的相对高的电阻值且能改善这些电阻值的控制性能的存储元件和存储装置。

[0008] 根据本发明实施例的存储元件包括:第一电极;存储层,包括离子源层;以及第二电极。第一电极、存储层和第二电极以该顺序提供。离子源层包括硫族元素、氧和一种或多种过渡金属元素,该过渡金属元素选自元素周期表的第4、5和6族元素的组。

[0009] 一旦脉冲电压在“正方向”(例如,其中第一和第二电极分别具有负电压电位和正电压电位)施加到或者脉冲电流提供到初始状态(高电阻状态)的根据本发明上述实施例的

存储元件,离子源层中包含的金属元素离子化,并且金属离子扩散在存储层(例如,阻变层)中,或者氧离子行进到其中。结果,在阻变层中形成氧空位(oxygen vacancy)。这导致低氧化状态的低阻部分(导电通道)形成在存储层中,从而阻变层的电阻减小(记录状态)。而且,一旦脉冲电压在“负方向”(例如,其中第一和第二电极分别具有正电压电位和负电压电位)施加到低电阻状态下的元件,阻变层中的金属离子行进到离子源层,或者氧离子从离子源层行进。结果,在导电通道中减少氧空位(oxygen vacancy)。作为回应,包含金属元素的导电通道不再存在,并且阻变层转变到高电阻状态(初始或擦除状态)。

[0010] 离子源层包含硫族元素、氧和过渡金属元素。特别是,元素周期表的第4、5和6族元素中的一种或多种金属元素用于过渡金属元素。元素周期表的第4、5和6族中的过渡金属元素比任何其它的过渡金属元素更可能键接氧。为此,形成高化学稳定导电通道,其中抑制金属离子或氧离子在没有施加电压时行进。

[0011] 根据本发明实施例的存储装置提供有多个存储元件和脉冲施加部分。脉冲施加部分选择性地施加脉冲电压或提供脉冲电流到存储元件。存储元件的每一个包括:第一电极;存储层,包括离子源层;以及第二电极。第一电极、存储层和第二电极以该顺序提供。离子源层包括硫族元素、氧和一种或多种过渡金属元素,该过渡金属元素选自元素周期表的第4、5和6族元素的组。

[0012] 在根据本发明上述实施例的存储元件和存储装置的每一个中,包括硫族元素、氧和过渡金属元素的离子源层提供为存储层。关于过渡金属元素,特别是,采用元素周期表的第4、5和6族元素中的一种或多种金属元素。利用该构造,形成化学稳定的导电通道,其中抑制金属离子或氧离子在不施加电压时行进,并且因此改善了中间电阻值的稳定性。因此,能在写入数据时容易控制中间电阻值,并且改善保持这些中间电阻值的性能。

[0013] 应当理解的是,前面的总体描述和下面的详细描述二者都是示范性的,并且旨在提供对如权利要求所述的技术的进一步说明。

附图说明

[0014] 包括附图以提供对本发明的进一步理解,并且附图被结合在说明书中且构成其一部分。附图示出了实施例,并且与说明书一起用于说明本发明的原理。

[0015] 图1是根据本发明实施例的存储元件构造的截面图。

[0016] 图2是包括图1的存储元件的存储器阵列构造的截面图。

[0017] 图3是存储器阵列的平面图。

[0018] 图4A、4B和4C是在热加速保持试验之前和之后本发明实施例的示例(实验1)中电阻值和电导值的分布图。

[0019] 图5是示出在热加速保持试验之前和之后每个材料系统的电导值的变化特性图。

[0020] 图6A至6F是在热加速保持试验之前和之后实验2中的电导值的分布图。

[0021] 图7A和7B是实验2中电阻值的分布图。

[0022] 图8是示出在热加速保持试验之前和之后每个材料系统的电导值的变化特性图。

[0023] 图9A至9D是在实验3中热加速保持试验之前和之后的电导值的分布图。

- [0024] 图10A至10E是在实验4中热加速保持试验之前和之后的电导值的分布图。
- [0025] 图11是示出实验5中氧的注入量和氧含量之间关系的特性图。
- [0026] 图12A至12G是在实验5中热加速保持试验之前和之后电导值的分布图。
- [0027] 图13A至13D是在实验6中热加速保持试验之前和之后的电导值的分布图。

具体实施方式

[0028] 在下文,将参考附图以下面的顺序描述本发明的实施例等。

[0029] 1. 实施例

[0030] 1-1. 存储元件

[0031] 1-2. 存储装置

[0032] 2. 示例

[0033] [实施例]

[0034] (1-1. 存储元件)

[0035] 图1是根据本发明实施例的存储元件1构造的截面图。存储元件1依次包括下电极10(第一电极)、存储层20和上电极30(第二电极)。

[0036] 下电极10例如提供在其中形成互补金属氧化物半导体(CMOS)电路的硅基板41上,将在下面描述(见图2),并且用作到CMOS电路的连接。下电极10由在半导体工艺中采用的配线材料构造,例如,由钨(W)、氮化钨(WN)、铜(Cu)、铝(Al)、钼(Mo)、钽(Ta)或硅化物等构造。如果下电极10由诸如Cu的材料构造,其可能导致电场内的离子导电,则由Cu等制作的下电极10的表面可涂有几乎不可能导致离子导电或热扩散的诸如钨(W)、氮化钨(WN)或氮化钽(TaN)等的材料。

[0037] 存储层20的结构为其中离子源层21和阻变层22以该顺序层叠在上电极30上。离子源层21包含变为正离子以在阻变层22中形成导电通道的元素以及具有负离子化能力的元素。应注意,如上所述的金属离子(可运动离子)在此情况下称为正离子。

[0038] 该实施例的离子源层21包含一种或多种硫族元素,包括碲(Te)、硫(S)和硒(Se),作为负离子化的离子导电材料,并且还包含氧(O)。另外,离子源层21包含一种或两种或多种过渡金属元素,作为具有正离子化能力的金属元素,特别是,元素周期表的第4族(钛(Ti)、锆(Zr)和铪(Hf))、第5族(钒(V)、铌(Nb)和钽(Ta))和第6族(铬(Cr)、钼(Mo)和钨)中的一种或两种或多种金属元素。

[0039] 在该实施例中,离子源层21提供为与上电极30接触。在离子源层21中,如上所述的过渡金属元素、硫族元素和氧键接为形成金属硫族化物氧化物层。金属硫族化物氧化物层主要具有非晶结构,并且起离子提供源的作用。在离子源层21附近或在阻变层22中,包含上面过渡金属元素的导电通道比任何其它过渡金属元素更加化学稳定,并且倾向于呈现中间氧化状态且保持该状态。为此,改善了控制存储元件1的电阻值和保持数据的性能。

[0040] 由过渡金属元素形成的导电通道或其围绕区域能呈现由金属状态、硫族化合物状态和氧化物状态组成的三种状态,其分别显示低电阻值、中电阻值和高电阻值。阻变层22的电阻根据混合三种状态的多少决定,并且通过改变该混合状态而显示各种电阻值(中间电阻值)。在该实施例中,如上所述,具有形成显示中间电阻值的化学稳定导电通道能力的过渡金属元素用于离子源层21。这改善了控制电阻值的性能,特别是,控制存储元件1中的中

间电阻值的性能,以及保持数据的性能。

[0041] 阻变层22包含金属氧化物、金属氮化物或金属氧氮化物,并且在该实施例中提供为与下电极10接触。当预定的电压施加在下电极10和上电极30之间时,阻变层22变化其电阻。对于用于阻变层22的金属材料没有具体限制,只要阻变层22是在初始状态下具有高电阻,例如,近似几M Ω 至几百G Ω ,的层。例如,当金属氧化物用作阻变层22的材料时,希望形成具有高电阻或高带隙的金属氧化物的Zr、Hf、Al或稀土元素等用作金属元素。在采用金属氮化物时,根据阻变层22获得近似几M Ω 至几百G Ω 的电阻的优点,希望也采用Zr、Hf、Al或稀土元素等,并且在擦除操作期间,由于氧的运动导电通道可能被氧化且具有高电阻。类似地,在采用金属氧氮化物时,在其金属元素上没有限制,只要它们获得近似几M Ω 至几百G Ω 。阻变层22的厚度可被确定以获得具有近似几M Ω 至几百G Ω 的元件电阻,如上所述。优选阻变层22的厚度例如为近似1nm至10nm,然而,优化的厚度可根据元件的尺寸或离子源层21的电阻值而变化。

[0042] 阻变层22可不特意形成。在制造存储元件1的工艺期间,键接离子源层21中包含的过渡金属元素和氧,从而对应于阻变层22的金属氧化物膜自然形成在下电极10上。作为选择,通过在擦除方向上施加偏压形成的氧化物膜可对应于阻变层22。

[0043] 对于上电极30,可类似于下电极10采用现有的半导体配线材料。另外,优选上电极30的材料是稳定的,以通过后退火(post annealing)不与离子源层21反应。

[0044] 当通过下电极10和上电极30脉冲电压或脉冲电流从电源电路(脉冲施加部分60)施加到该实施例的存储元件1时,存储层20改变其电特性(电阻值)。利用该特性,信息写入到存储元件1,从其擦除,或者重新写入到存储元件1。该操作将在下面具体描述。

[0045] 首先,例如在上电极30和下电极10分别具有正电压电位和负电压电位的条件下,正电压施加到处于具有高电阻的初始状态的存储元件1。作为回应,离子源层21中的过渡金属元素离子化,并且行进到下电极10侧,或者氧离子从下电极10侧行进,因此导致在下电极10侧的阴极反应。然后,还原反应发生在形成到下电极10的界面处的阻变层22中。作为还原反应的结果,具有高氧空位浓度的部分或者在低氧化状态下的部分彼此连接,从而导电通道形成在阻变层22中。在此情况下,阻变层22显示的电阻值(低电阻状态)低于初始状态(高电阻状态)。

[0046] 在形成导电通道后,甚至通过去除正电压停止给存储元件1施加电压时,也保持低电阻状态。通过上面的处理,信息已经写入到存储元件1。如果存储元件1应用于仅能一次性写入的存储装置,即可编程的只读存储器(PROM),则记录操作仅通过上面的记录程序完成。

[0047] 而且,存储元件1应用于能擦除的存储装置,即随机存取存储器(RAM)或可电擦除且可编程的只读存储器(EEPROM)等,则擦除程序是必要的。在擦除程序期间,例如,在上电极30和下电极10分别具有负电压电位和正电压电位的条件下,负电压施加给存储元件1。作为响应,由于阳极反应发生在已经形成在阻变层22中的导电通道中,过渡金属离子在具有高氧空位浓度的部分中或者在构成导电通道的低氧化状态下的部分中氧化,因此行进到离子源层21侧。作为选择,氧离子从离子源层21行进到阻变层22中围绕导电通道的区域,因此降低了氧空位浓度或者增加了导电通道中的氧化状态。因此,导电通道断开,并且阻变层22显示的电阻值从低电阻状态改变到高电阻状态。

[0048] 在导电通道断开后,甚至在通过去除负电压而停止给存储元件1施加电压时,也保

持高电阻值。通过上面的处理,信息已经从存储元件1擦除。通过重复上面的程序,信息重复写入到存储元件1且从其擦除。

[0049] 在如上所述的存储元件1中,例如,假设具有高电阻值的状态和具有低电阻值的状态分别对应于信息“0”和“1”。在此情况下,在通过施加正电压执行信息记录程序期间,信息“0”改变成“1”。而且,在通过施加负电压执行信息擦除程序期间,信息“1”改变成“0”。在这样的假设下,减小存储元件1的电阻的操作对应于写入操作,并且增加存储元件1的电阻的操作对应于擦除操作。然而,该对应关系可相反地定义。

[0050] 在该实施例中,当在写入操作期间将偏压施加给下电极10时,通过控制偏压、限制电阻(limit resistance)或施加给驱动MOS晶体管的栅极的电压而控制所谓的写入电阻,因此调整中间电阻值。而且,在擦除操作期间,调整偏压、限制电阻或者由施加给MOS晶体管的栅极的电压提供的电流,因此控制中间电阻值。这样,不仅能提供二进位存储器,而且能提供多值存储器。

[0051] 例如,通过调整对应于“0”和“1”的两个电阻值之间的中间电阻值,重新加入两个级别。在此情况下,实现了四个值“00”、“01”、“10”和“11”或者2位信息记录到每个元件。

[0052] 具体而言,在该实施例的存储元件1中,如上所述,在包含硫族元素和氧的层中相对稳定的上面的过渡金属元素用在离子源层21中。结果,该构造改善了控制和保持中间电阻值的性能。而且,当离子源层21中氧的含量和过渡金属元素对硫族元素的成分比被调整时,进一步改善控制和保持电阻值的性能。在下文,将描述离子源层21中包含的优选的氧含量和优选的过渡金属元素对硫族元素的成分比。

[0053] 如上所述,阻变层22显示的电阻值根据围绕导电通道的区域内过渡金属元素的状态,即,“金属/碲化合物/氧化物”的三个状态,而控制。该三个状态根据离子源层21中包含的氧含量而改变,并且实现了通过调整氧含量落入10%至55%的范围(氧含量包括两个端值)内而适当控制三个状态。如果离子源层21中的氧含量大于55%,则过渡金属元素与氧的键接的贡献变得太强。在此情况下,难以获得“金属/碲化合物/氧化物”的三个状态,因此降低了保持中间电阻的性能。而且,如果离子源层21中的氧含量小于10%,则中间成分和键接状态难以保持,因此使得难以保持中间电阻值。其确切原因并不明确,但是相信因为过渡金属元素对氧的键接的贡献变弱,所以氧、碲和过渡金属元素的键接状态可能不平衡。

[0054] 上面的现象适合于碲之外的硫族元素,即,与氧有不同电负性(electronegativity)的硫和硒。硫、硒和碲的两种或多种组合可用作离子源层21中包含的硫族元素。应注意,在该实施例中,如上所述,氧的含量通过用卢瑟福背散射(RBS)测量存储元件1的离子源层21决定。

[0055] 除了其中的氧含量外,“金属/碲化合物/氧化物”的三个状态还由离子源层21中包含的过渡金属元素对硫族元素的成分比控制。能使三个状态得到适当控制的过渡金属元素对硫族元素的成分比落入3:7至7:3的范围内,且包括两个端值。如果过渡金属元素对硫族元素的比太低,则离子源层21的电阻变得太高。在此情况下,即使用MOS电路产生的电压,也难以实现元件操作。这样的倾向是显著的,特别是通过先进工艺生产的精细元件中。而且,如果过渡金属元素对硫族元素的比太高,则氧、碲和过渡金属元素的键接状态倾向于不平衡。因此,相位或化学变化可能发生,因此使其难以保持中间电阻。

[0056] 在下文,将描述制造该实施例的存储元件1的方法。

[0057] 首先,例如由TiN制作的下电极10形成在其中形成包括选择晶体管的CMOS电路的基板上。在此情况下,根据需要,例如通过反溅射从下电极10的表面去除氧化物等。然后,准备靶体,该靶体具有对应于阻变层22、离子源层21和上电极30的相应材料的成分,并且通过在溅射设备中改变靶体而顺序形成各层。在此情况下,电极的直径约为50nm至300nm,并且通过同时采用这些合金膜的构成元素的靶体形成合金膜。

[0058] 在已经形成上电极30后,形成要连接到上电极30的配线层(未示出),并且配线层的接触部分连接到存储元件1,以便获得与其它存储元件1公用的电压电位。然后,层叠的层经受后退火处理。通过上面的处理,已经生产了如图1所示的存储元件1。

[0059] 在存储元件1中,如上所述,导电通道通过施加电压到上电极30和下电极10二者形成在阻变层22中,从而上电极30和下电极10之一具有正电压电位,而其另一个具有负电压电位。由于导电通道,减小了阻变层22的电阻,从而实现了写入操作。而且,当极性与写入操作时相反的电压施加到上电极30和下电极10时,阻变层22中形成的导电通道的金属元素离子化,因此行进到离子源层21。作为选择,氧离子从离子源层21行进至阻变层22,特别是行进到导电通道的区域。作为响应,氧空位浓度降低,或者氧化状态提高,因此断开导电通道。结果,阻变层22的电阻增加,从而实施擦除操作。此外,通过调整写入和擦除操作时施加的电压,控制了中间电阻值,因此实现了多值记录。

[0060] 作为采用小型化技术的当前可用的存储元件的示例,报道了这样的存储元件,其构造为“下电极/存储层/上电极”,例如,由包含氧和过渡金属元素的RRAM(注册商标)材料制造。在该类型的小型化存储元件中,减小了晶体管的驱动电流,并且因此减小了用于写入操作的驱动电流。因此,进一步增加了低电阻状态下的电阻。结果,高电阻状态和低电阻状态下的相应电阻值的范围(电阻范围)变窄。为了实现多值记录,如上所述,必须使存储器借助于电阻的改变以控制低电阻值和高电阻值之间的中间电阻值且保持这些值在很长的周期内来执行写入和擦除操作。具体而言,为了实现多值操作,必须将窄的电阻范围分成例如4级别(2位/单元)或者8级别(3位/单元),并且保持这些电阻值。

[0061] 然而,在如上所述的存储元件中,键接到金属元素的元素限于氧。因此,甚至在导电通道通过施加电压形成时,该导电通道的热性能和化学性能也不十分稳定。从而,导电通道可能再一次氧化,并且其电阻会因长时间存储或热加速而增加。这使得难以保持高电阻值和低电阻值之间的中间电阻值,而保持高电阻值和低电阻值之间的中间电阻值对实现多值记录,特别是,排列中间电阻值为多个位是必要的,并且难以保持中间电阻值在很长的周期内。

[0062] 而且,在包含过渡金属元素和诸如碲的硫族元素的存储元件中,除了过渡金属元素外还采用铜(Cu)。铜(Cu)包含在这样的存储元件的导电通道中。铜(Cu)倾向于导致在硫族元素的矩阵(matrix)中离子导电。因此,在硫族元素中的铜(Cu)的热特性和化学特性不十分稳定,因此使得难以控制中间电阻值且保持这些值在很长的周期上,类似于如上所述的当前可用的存储元件。

[0063] 相反,在该实施例的存储元件1中,硫族元素、氧和过渡金属元素用作离子源层21的材料,且特别是元素周期表的第4、5和6族元素中的一种或多种金属元素用作过渡金属元素。元素周期表的第4、5和6族中的各金属元素比任何其它过渡金属元素更可能地键接到氧,因此形成化学稳定的导电通道。具体而言,一旦键接到或者俘获氧原子,这些金属元素

的每一个不倾向于将其释放。结果,可形成组成的金属离子不可能在没有电压施加时通过其行进的导电通道。

[0064] 在该实施例的存储元件1中,如上所述,离子源层21用硫族元素、氧和过渡金属元素形成,且特别是选自元素周期表的第4、5和6族元素的组的一种或多种金属元素用作过渡金属元素。利用该构造,在没有电压施加时形成化学稳定的导电通道,因此使得能容易控制中间氧化状态(中间电阻值),并且改善保持这些中间电阻值的性能。

[0065] (1-2. 存储装置)

[0066] 存储装置(存储器)通过将很多存储元件1例如排列成行或矩阵形式而构成。在此情况下,用于元件选择的MOS晶体管或二极管可根据需要连接到每个存储元件1,因此构成存储器单元。而且,每个存储器单元可通过配线连接到例如感应放大器、地址记录器和写入/擦除/读取电路。

[0067] 图2和3示出了其中很多存储元件1设置成矩阵形式的存储装置(存储器单元阵列)的示例。更具体而言,图2示出了存储装置的截面构造,而图3示出了其平面构造。对于该存储器阵列中的每个存储元件1,连接到其下电极10的配线和连接到其上电极30的配线提供为彼此交叉。例如,每个存储元件1设置为靠近这些配线的交叉点。

[0068] 各存储元件1共享阻变层22、离子源层21和上电极30。换言之,阻变层22、离子源层21和上电极30的每一个由对各存储元件1公用的单一层(相同层)构成。上电极30用作板电极PL,其对彼此相邻设置的单元公用。

[0069] 为每个存储器单元提供下电极10,并且下电极10的相邻电极彼此电隔离。用作存储器单元的每个存储元件1由对应于每个下电极10的位置限定。下电极10连接到用于单元选择的对应的MOS晶体管Tr,并且各存储元件1提供在这些MOS晶体管Tr之上。

[0070] 每个MOS晶体管Tr包括源-漏区域43和栅极电极44,它们形成在基板41由元件隔离层42分隔的区域内。侧壁绝缘层形成在每个栅极电极44的壁表面上。每个栅极电极44也用作字线WL,其为每个存储元件1的地址配线之一。每个MOS晶体管Tr中的源-漏区域43之一通过插塞层45、金属配线层46和插塞层47电连接到每个存储元件1的下电极10。每个MOS晶体管Tr中的源-漏区域43的另一个通过插塞层45连接到金属配线层46。每个金属配线层46连接到位线BL(见图3),它是每个存储元件1的另一个地址配线。在图3中,每个MOS晶体管Tr的有源区域48由虚线表示。此外,接触部分51连接到存储元件1的下电极10,并且接触部分52连接到位线BL。

[0071] 在如上所述的存储器阵列中,当MOS晶体管Tr的栅极由字线WL导通(ON),并且电压施加到位线BL,电压通过MOS晶体管Tr的源极-漏极施加到选择的存储单元的下电极10。这里,当施加给下电极10的电压的极性相对于上电极30(板电极PL)处的电压电位为负时,如上所述,存储元件1的电阻转变到低电阻状态。这样,信息写入到选择的存储单元。而且,当相对于上电极30(板电极PL)的电压电位为正电位的电压施加到下电极10时,存储元件1的电阻再一次转为高电阻状态。这样,写入的信息从选择的存储单元擦除。写入的信息从存储单元读出时,例如,MOS晶体管Tr选择该存储单元,并且预定的电压或电流施加或提供到选择的存储单元。在此情况下,根据存储元件1的电阻状态变化的电流或电压通过连接到位线BL或板电极PL端部的感应放大器等检测。施加到或提供到选择的存储单元的电压或电流设定为低于或小于存储元件1的电阻发生转变的阈值电压等。

[0072] 如上所述,该实施例的存储装置2可应用于各种类型的存储器装置。例如,存储装置2可应用于任何的存储构造,包括:仅能一次性写入操作的PROM、能电擦除操作的EEPROM和能高速写入、擦除和再现操作的所谓RAM。

[0073] [2.示例]

[0074] 在下文,将描述本发明一个实施例的具体示例。

[0075] (实验1:由实施例和现有技术材料制作的存储元件的电阻保持特性)

[0076] 通过采用存储元件1的上述制造方法制造了样品1-1至1-3。首先,用反溅射清洗已经通过在基板中埋设晶体管而形成的由TiN制造的下电极10;Al膜形成到约2nm的厚度;并且Al膜用氧等离子体氧化以形成作为阻变层22的AlOx膜。接下来,50%(原子百分比)的Zr和50%(原子百分比)的Te用氩(Ar)和氧混合的氩工艺气体经受反应溅射,从而Ar(sccm)对氧(sccm)的流量比为75:5。结果,约45nm厚的ZrTeOx层形成为离子源层21。随后,约30nm厚的W膜形成为上电极30。最后,该形成物经受在320°C下的热处理两个小时,然后图案化,从而制造存储元件(样品1-1)。而且,样品1-2和1-3通过类似的工艺制造。各样品的成分以“下电极/阻变层/离子源层/上电极”的顺序示出如下。

[0077] (样品1-1) TiN/Al(2nm)-Ox/Zr50Te50-Ox(45nm)/W(30nm)

[0078] (样品1-2) TiN/Al(2nm)-Ox/Zr50Te50(45nm)/W(30nm)

[0079] (样品1-3) TiN/ZrOx(5nm)/W(30nm)

[0080] 各存储器阵列通过采用上面的样品制造。在每个样品中,元件电导 $3\mu\text{S}$ 和 $10\mu\text{S}$ 分别被设置为二进制级别1和2。此外,每个样品执行60位数据的写入操作。更具体而言,写入电压设定到3.5V,并且栅极电压从0.8V以0.05V的梯级增加。在增加栅极电压时,写入脉冲电压施加到每个样品,直到每个样品的电导变为预定的电导值。当其电导达到预定的电导值时,每个样品停止写入操作。这样,排列了各电导值。在样品甚至在写入脉冲电压施加40次或更多时不显示预定电导值的情况下,使该样品终止该次的写入操作。接下来,每个样品经受150°C下的热加速保持试验一个小时。然后,测量每个样品的电阻值(图4A、4B和4C的左侧部分)和电导值(图4A、4B和4C的右侧部分)的变化。

[0081] 二进制级别1($3\mu\text{S}$)和2($10\mu\text{S}$)的每一个对应于高电阻状态和低电阻状态之间的中间电阻值。在采用由现有技术中使用的材料构造的离子源层的情况下,难以排列电导值,并且难以保持这些值。在图4A至4C的左侧部分中所示的感应系数值的分布图中,横轴表示累积频率分布,由通常分布的标准偏差 σ 标准化,并且每个数据标注由概率%表示。另外,横轴表示电导值(μS)。每个实心圆表示数据设定后的读出值,并且每个空心圆表示在热加速保持试验后的电导值的分布。

[0082] 如上所述,可通过小型化存储元件和晶体管而增加存储器的容量。然而,减小了小型化的晶体管的驱动电流,这涉及记录电流的减小。因此,要求存储器操作在 $100\text{k}\Omega$ 或更大的电阻下或者 $10\mu\text{S}$ 或更低的电导下(对应于级别1和2)。样品1-1(图4A)显示出电阻值在热加速保持试验之前和之后的非常小的偏移量。而且,关于样品1-1的电导值,其初始电导值为 $0.002\mu\text{S}$,并且两个分布曲线分别形成在 $3\mu\text{S}$ 和 $10\mu\text{S}$ 附近。该结果表明样品1-1通常在级别1和2处执行写入操作。而且,在级别1和2的每一个处的电导值接近相等,并且分布曲线的每一个显示出电导值在热加速保持试验中的很小偏移量。关于上面的原因,认为样品1-1配备有适当控制且保持中间电阻值的特性。接下来,其中离子源层21仅由过渡金属元素和硫族

元素组成的样品1-2以及其中没有形成离子源层且仅由氧化锆制作的层形成为存储层20的样品1-3与样品1-1进行比较。样品1-2和1-3二者不能适当地保持100k Ω 或更大的电阻值；不能适当地显示出电导值在级别1和2处的写入分布；并且显示出电导值在热加速保持试验之前和之后的很大偏移量。

[0083] 级别1处的电导值(3 μ S)是最难保持的,并且因此清楚地展现存储元件的性能。图5是通过采用级别1的数据表示样品1-1至1-3的每一个的各电导在热加速保持试验之前和之后产生的分布曲线与理想线(表示电导在热加速保持试验之前和之后完全不变化的理想状态)偏离大小的特性图。在图5的示意图中,横轴表示在热加速保持试验前电导分布中的电导值,并且纵轴表示在热加速保持试验后电导分布中的各值的图表。图5显示根据本发明一个实施例的其中过渡金属元素、碲(Te)和氧用于离子源层21的样品1-1与采用现有技术材料制作的存储元件(样品1-2和1-3)相比改善了保持电导值在低电导范围内的特性。换言之,可理解的是:多值存储器所需的控制且保持中间电阻值的特性通过采用过渡金属元素、碲(Te)和氧作为离子源层22的材料而得到改善。

[0084] (实验2:其中采用各种过渡金属元素的存储元件的特性)

[0085] 样品2-1至2-19通过类似于上面存储元件(样品1)的工艺制造。在这些样品当中,采用相同的下电极、阻变层和上电极,它们分别由TiN、Al(2nm)-Ox和W(30nm)制造。各样品中离子源层的成分列表如下。

[0086] (样品2-1) Ti40Te60-Ox(45nm)

[0087] (样品2-2) Zr40Te60-Ox(45nm)

[0088] (样品2-3) Hf40Te60-Ox(45nm)

[0089] (样品2-4) V50Te50-Ox(45nm)

[0090] (样品2-5) Nb40Te60-Ox(45nm)

[0091] (样品2-6) Ta40Te60-Ox(45nm)

[0092] (样品2-7) Cr40Te60-Ox(45nm)

[0093] (样品2-8) Mo40Te60-Ox(45nm)

[0094] (样品2-9) W40Te60-Ox(45nm)

[0095] (样品2-10) Co40Te60-Ox(45nm)

[0096] (样品2-11) Mn55Te45-Ox(45nm)

[0097] (样品2-12) Ni40Te60-Ox(45nm)

[0098] (样品2-13) Pd40Te60-Ox(45nm)

[0099] (样品2-14) Cu40Te60-Ox(45nm)

[0100] (样品2-15) Ag50Te50-Ox(45nm)

[0101] (样品2-16) Zn50Te50-Ox(45nm)

[0102] (样品2-17) CuZrTeAl(45nm)

[0103] (样品2-18) AlZrTeO(45nm)

[0104] (样品2-19) CuZrTeO(45nm)

[0105] 数据写入到在上面条件下制造的样品2-1和2-19的每一个,方式为对于每60位其电导值在级别1(3 μ S)和级别2(10 μ S)之间变化。然后,每个样品中电导值的变化在热加速保持试验之前和之后被测量。图6A至6F分别示出了样品2-3、2-12、2-15、2-17、2-18和2-19在

热加速保持试验之前和之后的电导值分布。此外,在形成存储层20且在320°C下执行退火工艺后进行了膜剥离试验。随后,在元件微处理时确认了膜的浮置和剥离,并且这些结果如表1所示。

[0106] 表1

[0107]

	材料	在形成存储层后	在320°C下退火后	微处理
样品2-1	Ti40-Te60-0x	良好	良好	良好
样品2-2	Zr40-Te60-0x	良好	良好	良好
样品2-3	Hf50-Te50-0x	良好	良好	良好
样品2-4	V50-Te50-0x	良好	良好	良好
样品2-5	Nb40-Te60-0x	良好	良好	良好
样品2-6	Ta40-Te60-0x	良好	良好	良好
样品2-7	Cr40-Te60-0x	良好	良好	良好
样品2-8	Mo40-Te60-0x	良好	良好	良好
样品2-9	W40-Te60-0x	良好	良好	良好
样品2-10	Mn55-Te45-0x	良好	良好	良好
样品2-11	Co40-Te60-0x	良好	差	差
样品2-12	Ni40-Te60-0x	良好	良好	良好
样品2-13	Pd55-Te45-0x	良好	一般	一般
样品2-14	Cu40-Te60-0x	良好		差
样品2-15	Ag60-Te40-0x	一般	一般	差
样品2-16	Zn40-Te60-0x	良好	良好	差

[0108]

样品2-17	Cu-Zr-Te-Al	良好	良好	良好
样品2-18	Zr-Al-Te-0x	良好	良好	良好
样品2-19	Cu-Zr-Te-0x	良好	良好	良好

[0109] 在根据上述实施例的样品2-3(图6A)中,元素周期表第4族中的Hf用作离子源层21中的过渡金属元素。样品2-3比上面的采用现有技术材料的样品1-2和1-3更加适合于保持电导值在级别1和2。相反,例如,元素周期表的第10族中的Ni用作过渡金属元素的样品2-12(图6B)显示在数据写入后降低的电导分布。具体而言,级别1和2处的大部分电导值在热加速保持试验后减少到大约0。因此,不能适当地保持电阻值。尽管图中没有示出,但是上面的倾向也适用于其中分别采用锰(Mn)(第7族)和钯(Pd)(第10族)的样品2-11和2-13二者。如图6C所示,实际上,数据没有写入采用银(Ag)(第11族)的样品2-15。这样的失败也发生在钴(Co)(第9族)(样品2-10)、铜(Cu)(第11族)(样品2-14)和锌(Zn)(第12族)(样品2-16)中。样品2-17(+CuAl)、2-18(+Al)和2-19(+Cu)的每一个具有离子源层,其除了第4、5和6族中的过渡金属元素外包含第4、5和6族之外的族中的过渡金属元素作为附加元素。如图6D至6F所示,样品2-17、2-18和2-19的每一个都不显示足够的保持特性,因为级别1和2处的电导值的大部分或全部在热加速保持试验后减小到近似0,与样品2-12类似。尽管图中没有示出,但是样品2-1、2-2和2-4至2-9的每一个具有包含元素周期表的第4、5和6族中的过渡金属元素

的离子源层,与样品2-3类似,具有控制且保持级别1和2二者处的电导值的适当特性。

[0110] 在(样品2-10和2-13至2-16的)离子源层中,其每一个包含第4至6族之外的族中的过渡金属元素,特别是其分别包含Ni、Pd、Ag、Cu、Zn,在320°C下退火后或元件微处理时发生膜浮置或剥离。因此,样品2-10和2-13至2-16难以适当地形成它们的元件结构。关于具有该实验成分比的Mn(样品2-11)和Ni(样品2-12),在形成存储层20后和元件微处理时没有观察到膜浮置或剥离。然而,Mn(样品2-11)和Ni(样品2-12)的任何一种对于具有一定成分比的膜可导致浮置或剥离。因此,可理解的是,对于根据本发明实施例的离子源层22,采用选自元素周期表的第4至6族的过渡金属元素是优选的。

[0111] 图7A和7B分别示出了样品2-18和2-19在热加速保持试验之前和之后的电阻值变化。可理解的是,当元素周期表的第4至6族之外的过渡金属元素用作离子源层的附加元素时,降低了保持100k Ω 或更大的电阻值的性能,与上面的样品1-2和1-3类似。

[0112] 图8类似于图5,是示出级别1处的样品2-1至2-9和2-17的每一个在热加速保持试验之前和之后的电导值分布的特性图。这里,样品2-1至2-9的每一个具有包含第4、5和6族中的过渡金属元素的离子源层,并且样品2-17具有除了上面元素外还包含Cu和Al的离子源层。样品2-1至2-9的每一个的分布曲线在热加速保持试验后偏离3.5 μ S至5 μ S附近的理想线不大。相反,样品2-17的分布曲线偏离理想线很大,因为3.5 μ S至5 μ S附近的分布曲线在热加速保持试验后接近0。

[0113] (实验3:通过组合多个第4至6族中的过渡金属元素形成的存储元件的特性)

[0114] 多个存储元件(样品3-1至3-4)通过与存储元件(样品1和2)类似的工艺制作。在每个样品中,离子源层由元素周期表的第4至6族中的过渡金属元素的组合制造。然后,样品经受150°C下的热加速保持试验一个小时,并且测量电导值的变化(图9A至9D)。在样品3-1至3-4当中,采用分别由TiN、Al(2nm)-Ox和W(30nm)制造的相同下电极、阻变层和上电极。各样品中离子源层的成分列表如下。

[0115] (样品3-1) TaHfTe-Ox(45nm)

[0116] (样品3-2) MoHfTe-Ox(45nm)

[0117] (样品3-3) TiHfTe-Ox(45nm)

[0118] (样品3-4) NbHfTe-Ox(45nm)

[0119] 图9A至9D显示,甚至在两种或多种过渡金属元素结合在离子源层中时,只要它们是元素周期表的第4至6族中的金属元素,与由现有技术中采用的材料制造的样品1-2和1-3相比,存储元件也显示出级别1和2二者处的控制且保持电导值的适当性能。

[0120] (实验4:过渡金属元素对硫族元素的比)

[0121] 多个存储元件1通过与上面的存储元件(样品1至3)类似的工艺制造。在这些存储元件1中,在构成离子源层21的ZrTe-Ox中Zr对Te的成分比分别设定到20:80(样品4-1)、30:70(样品4-2)、50:50(样品4-3)、70:30(样品4-4)和80:20(样品4-5)。然后,样品4-1至4-5经受150°C下的热加速保持试验一个小时,并且测量电导值的变化。各结果如图10A至10E所示。在样品4-1至4-5当中,采用分别由TiN、Al(2nm)-Ox和W(30nm)制造的相同的下电极10、阻变层22和上电极30。

[0122] (样品4-1) Zr20Te80-Ox(45nm)

[0123] (样品4-2) Zr30Te70-Ox(45nm)

[0124] (样品4-3) Zr₅₀Te₅₀-O_x (45nm)

[0125] (样品4-4) Zr₇₀Te₃₀-O_x (45nm)

[0126] (样品4-5) Zr₈₀Te₂₀-O_x (45nm)

[0127] 由样品4-2至4-4(图10B、10C和10D)可看出,电导值在保持之前和之后没有很大的偏移,并且因此,当过渡金属元素(Zr)对硫族元素(Te)的比落入30:70至70:30的范围内时,电导值被适当保持。关于落入上述范围外的样品4-1(图10A),数据写入失败或从其擦除失败。原因被认为是:在形成存储层后的元件微处理时由于降低了粘合力而发生膜的剥离。此外,样品4-5(图10E)显示写入操作时极差的电导值分布。原因被认为是:电阻降低,因此使得难以给元件施加电压。

[0128] 由上面的结果表明,当离子源层21中除了氧外过渡金属元素对硫族元素的比设定为落入3:7至7:3的范围内时,对写入操作提供了适当的电导分布和保持特性。而且,还表明,如果离子源层21中过渡金属元素对硫族元素的成分比设定为落在上面的范围外,则会发生不利:诸如存储层20的粘合力显著下降或者离子源层的电阻显著下降,因此使得难以给元件施加电压。因此,在此情况下,控制中间电阻值几乎是不可能的。

[0129] (实验5:离子源层中的氧含量)

[0130] 制造样品5-1至5-6,从而确定离子源层中氧的含量。首先,50%的Zr和50%的Te(原子百分比)利用混合有氧的Ar工艺气体经受反应溅射,因此形成约45nm厚的ZrTeO_x层作为离子源层21。此外,在样品5-1至5-6中,ZrTeO_x层分别形成在Ar(sccm)对氧(sccm)的气体流量比设定到75:0、75:3、75:5、75:7、75:10、75:15和75:20的条件下。氧(sccm)/Ar(sccm)的值设定为落入0至0.267的范围内。在样品5-1至5-6当中,采用分别由TiN、Al(2nm)-O_x和W(30nm)制造的相同的下电极10、阻变层22和上电极30。

[0131] 相对于层形成时的氧(sccm)对Ar(sccm)的气体流量比,样品5-1至5-6的离子源层21中的氧含量用RBS测量。结果如图11所示。对于每个样品的离子源层21,用RBS测量的氧成分以及氧(sccm)对Ar(sccm)的气体流量比列表如下。在此情况下,在下面的条件下进行利用RBS的测量。MC分辨率为4.0Key/ch;能量分辨率为20keV;检测器的前孔直径为5mm;入射的离子为4He⁺⁺;入射能量为2.275MeV;束入射角为90°;束电流(样品电流)为约20nA;入射束直径为2mm;样品旋转角为45°;束辐射量为40μC;并且样品腔中的真空度为约2至6Torr。另外,通过采用160°的常规检测器角的后散射角和达到103°的适当的掠射检测器角(grazing detector angle)进行检测。

[0132] (样品5-1) O₂/Ar=0 ZrTe-O: 3.1%

[0133] (样品5-2) O₂/Ar=0.04 ZrTe-O: 10%

[0134] (样品5-3) O₂/Ar=0.067 ZrTe-O: 15%

[0135] (样品5-4) O₂/Ar=0.093 ZrTe-O: 28%

[0136] (样品5-5) O₂/Ar=0.133 ZrTe-O: 50%

[0137] (样品5-6) O₂/Ar=0.2 ZrTe-O: 55%

[0138] (样品5-7) O₂/Ar=0.267 ZrTe-O: 60%

[0139] 图11示出了随着氧(sccm)对Ar(sccm)的比从0改变到0.2,离子源层21中包含的氧含量从3.1%改变到55%。然而,氧含量在氧(sccm)/Ar(sccm)比为0时显示的值3.1%在测量期间可能受到背景噪声的影响。从而,在此情况下实际的氧含量估计为3.1%或更低。而且,制

造具有样品5-1至5-7的成分的各存储器阵列,并且经受150°C下的热加速保持试验一个小时。测量存储器阵列的电导值(图12A至12G),并且样品的电导值在热加速保持试验中的变化与以RBS测量的氧含量比较。

[0140] 氧含量为3.1%或更低的样品5-1(图12A)难以在级别1(3 μ S)和2(10 μ S)二者处平衡电导值。另外,各电导值在热加速保持试验之前和之后有很大的偏移。相反,样品5-2至5-5(图12B至12E)可以几乎平衡级别1和2二者处的电阻值,并且各电导值在热加速保持试验之前和之后没有很大偏移。在这些样品当中,特别是,氧含量为28%的样品5-4(图12D)显示出适当的结果。具体而言,各电导值在热加速保持试验之前和之后的级别1和2二者处几乎不偏移。氧含量为55%的样品5-6(图12F)很难执行写入操作,因为氧含量的增加而增加了元件电阻。然而,各电导值在热加速保持试验之前和之后的级别1和2二者处没有很大的偏移。因此,样品5-6被看作能进行多级记录。氧含量为60%的样品5-7(图12G)在必要的电导值处不执行写入操作,因为显著增加了元件的初始电阻值。考虑到上面的结果,表明:能使中间电阻值得到控制且保持的存储元件1的离子源层21中的氧含量约为10%至55%。

[0141] (实验6:阻变层的材料)

[0142] 存储元件1(样品6-1至6-4)通过与样品1-1类似的工艺制造。在样品6-1至6-4的每一个中,Zr₅₀Te_{50-0x}用于离子源层21。此外,在样品6-1至6-4中,HfO_x(样品6-1)、AlN(样品6-2)、ZrO_x(样品6-3)和Y₂O₃(样品6-4)分别用于阻变层22,置换上面示例中采用的AlO_x。样品6-1至6-4经受150°C下的热加速保持试验一个小时,并且测量电导值的变化(图13A至13D),与如上所述的实验1至4类似。图13A至13D显示出样品6-1至6-4的每一个显示适当的保持特性,因为各电导值在热加速保持试验后在级别1和2处没有很大的偏移,与根据该实施例的上面样品的结果类似。因此,显然:在根据本发明上述实施例的存储元件中阻变层22的材料没有特别限定,只要它是金属元素的氧化物膜、氮化物膜或氧氮化物膜。

[0143] 实验1至6的结果证明,当硫族元素、氧和包括在过渡金属元素中的第4至6族金属元素用作离子源层的材料时,包括由阻变层和离子源层组成的存储层的存储元件可改善保持且控制高电阻状态和低电阻状态之间的中间电阻值的性能,而与阻变层的材料无关。利用该存储元件,改善了阻变多值存储器的性能,因此使得能提供大容量的阻变存储器(存储装置)。而且,当离子源层21中的氧量设定为落入10%至55%的范围内,且包括两个端值,并且过渡金属元素对硫族元素的比设定为落入3:7至7:3的范围内时,进一步改善保持中间电阻值的性能,因此使得能提供更加可靠的存储装置。

[0144] 至此,已经描述了本发明的示范性实施例和示例。应当注意的是,本发明不限于上述实施例和示例,而是可预期对本发明的各种修改。

[0145] 例如,在上面描述的实施例和示例中已经具体描述了存储元件1、存储装置2和存储器阵列的构造。然而,在每个构造中,可不提供所有的层,或者可提供任何其它的附加层。每个层的材料以及形成每个层的方法和条件不限于实施例等描述的那样。作为选择,可采用任何其它的材料和方法。例如,任何给定的附加元素可用于离子源层21,只要不改变如上所述的元素比,或者不降低多值存储器要求的特性。

[0146] 上面实施例等的存储元件1可采用颠倒的结构,其中交换离子源层和阻变层的相应垂直位置。而且,存储元件1可采用具有一个或多个适当二极管的交叉点结构或系统,以便提高存储容量。作为选择,多个存储器元件可垂直堆叠。如上所述,各种已知的存储器结

构可以应用于存储元件1。

[0147] 此外,本发明包括这里描述的和这里结合的各种实施例和修改的某些或全部的任何可能的组合。

[0148] 由本发明的上述示范性实施例、修改和示例可至少实现下面的构造。

[0149] (1)一种存储元件,包括:

[0150] 第一电极;

[0151] 存储层,包括离子源层;以及

[0152] 第二电极,

[0153] 第一电极、存储层和第二电极以该顺序提供,

[0154] 其中离子源层至少包括硫族元素、氧和选自元素周期表的第4、5和6族元素的组的一种或多种过渡金属元素。

[0155] (2)根据(1)的存储元件,其中离子源层中包括的氧的量落入约10%至约55%的范围内,且包括两个端值。

[0156] (3)根据(1)或(2)的存储元件,其中离子源层中包括的一种或多种过渡金属元素与硫族元素的比落入约3:7至约7:3的范围内,且包括两个端值。

[0157] (4)根据(1)至(3)任何一项的存储元件,其中一种或多种过渡金属元素选自钛、锆和铪的组。

[0158] (5)根据(1)至(4)任何一项的存储元件,其中存储层包括阻变层,阻变层提供为更靠近第一电极而不是第二电极,并且包括金属氧化物膜、金属氮化物膜和金属氧氮化物膜之一。

[0159] (6)根据(1)至(5)任何一项的存储元件,其中

[0160] 存储层包括阻变层,并且

[0161] 阻变层的电阻响应于低阻抗部分的形成而变化,在第一电极和第二电极之间施加电压时,低阻抗部分形成在阻变层中且包含一种或多种过渡金属元素或者氧空位。

[0162] (7)根据(1)至(6)任何一项的存储元件,其中离子源层不含铜和铝。

[0163] (8)一种具有多个存储元件和脉冲施加部分的存储装置,脉冲施加部分给存储元件选择性地施加脉冲电压或提供脉冲电流,存储元件的每一个包括:

[0164] 第一电极;

[0165] 存储层,包括离子源层;以及

[0166] 第二电极,

[0167] 第一电极、存储层和第二电极以该顺序提供,

[0168] 其中离子源层至少包括硫族元素、氧和选自元素周期表的第4、5和6族元素的组的一种或多种过渡金属元素。

[0169] 本申请包含2012年3月30日提交日本专利局的日本优先权专利申请JP2012-080643中公开的相关主题事项,其全部内容通过引用结合于此。

[0170] 本领域的技术人员应当理解的是,在所附权利要求或其等同方案的范围内,根据设计需要和其他因素,可以进行各种修改、结合、部分结合和替换。

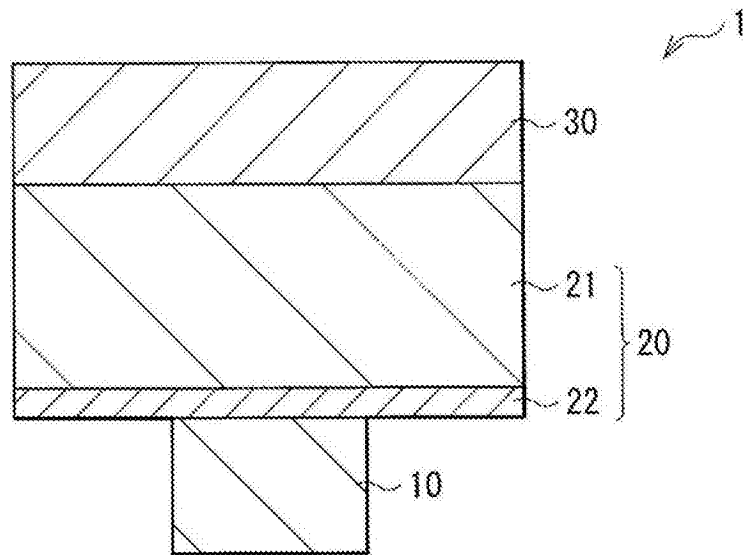


图1

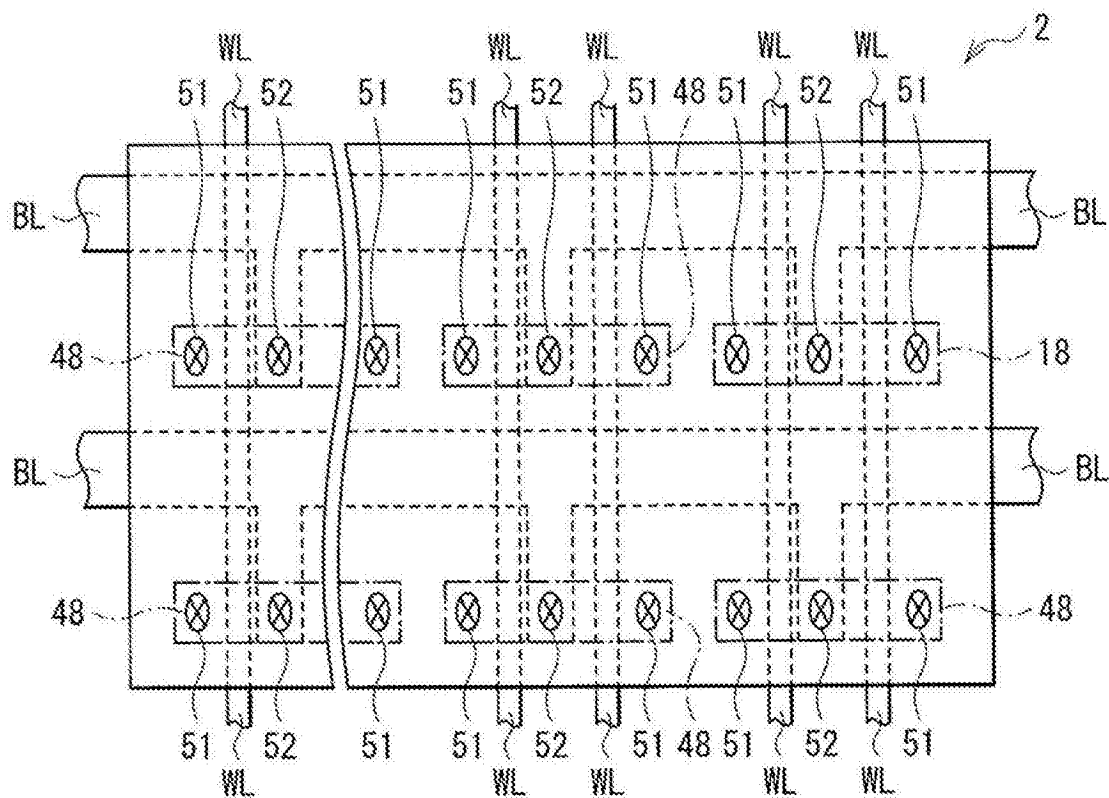


图3

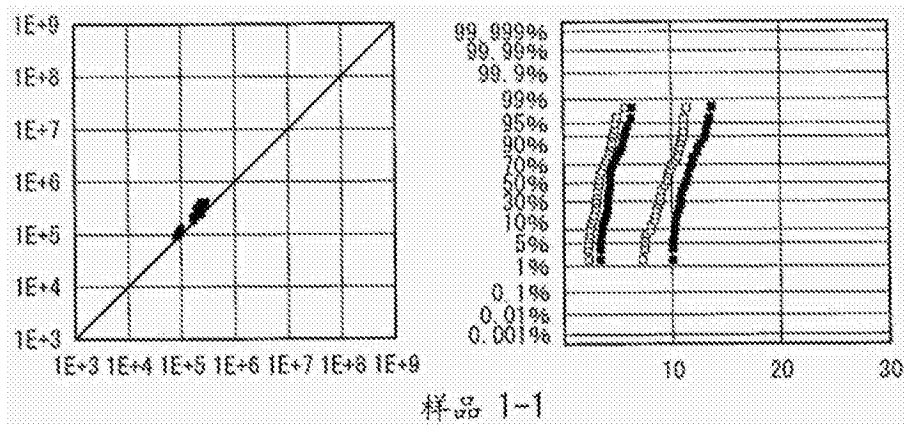


图4A

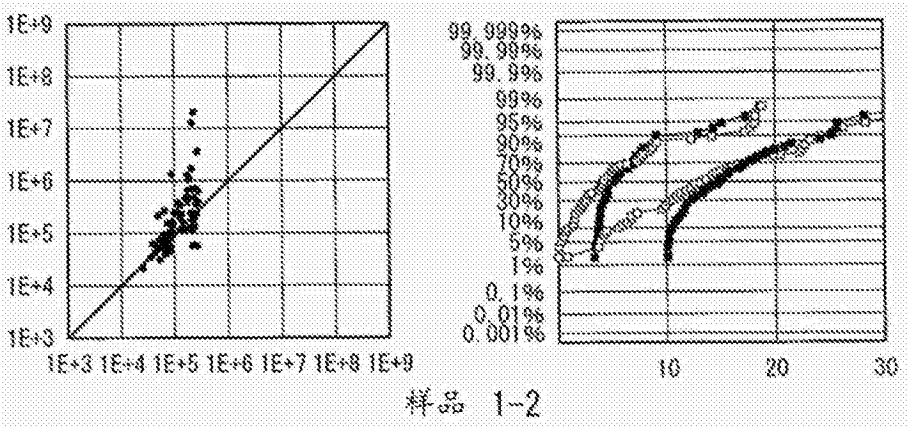


图4B

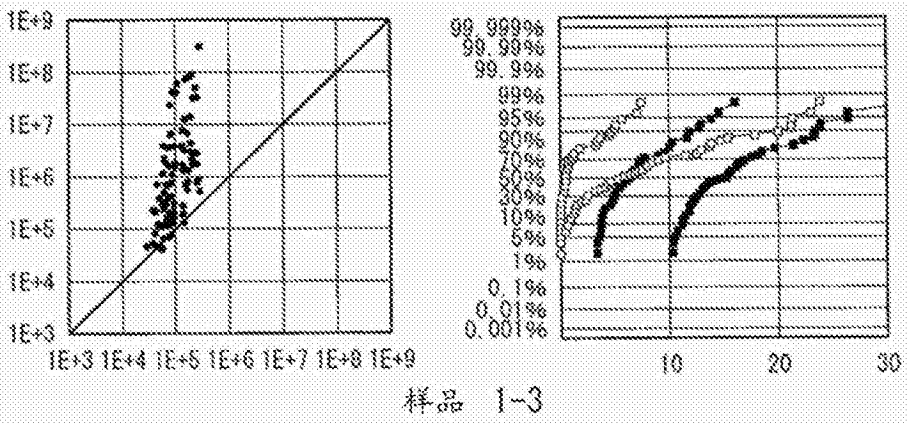


图4C

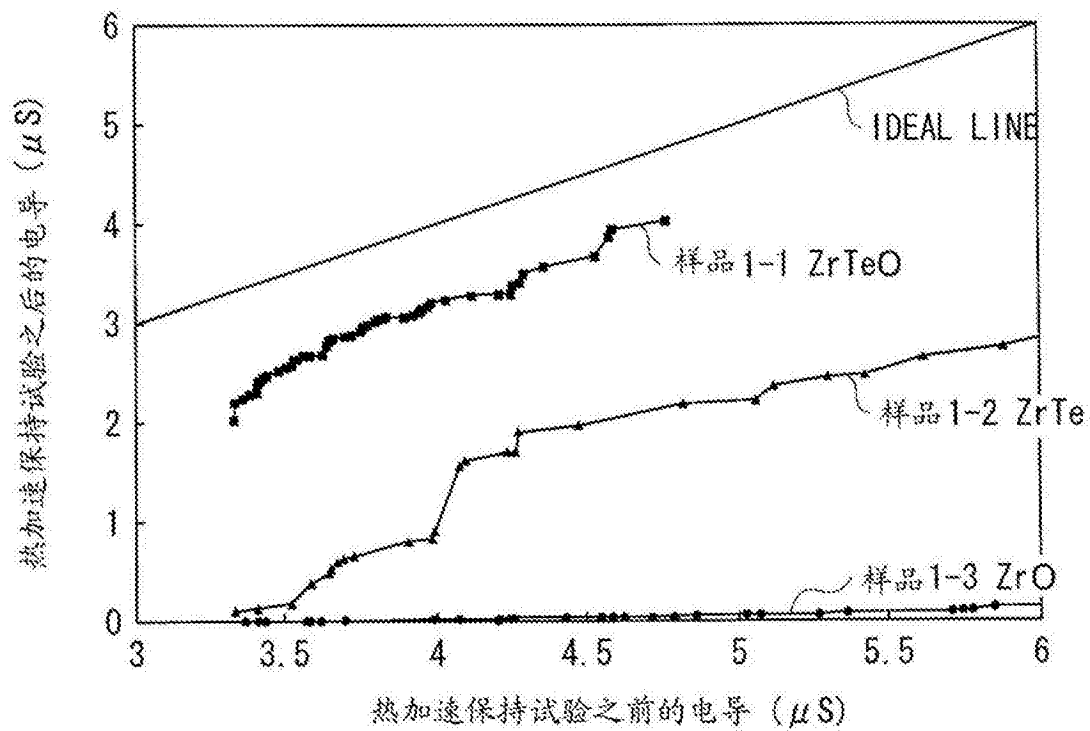


图5

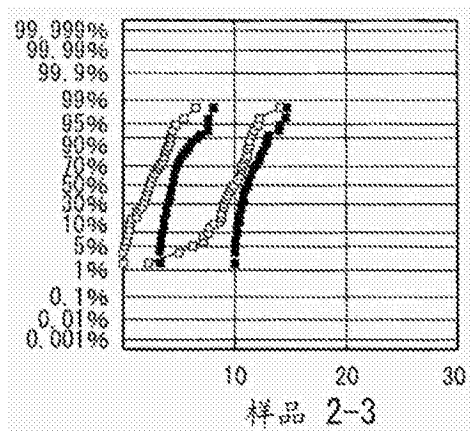


图6A

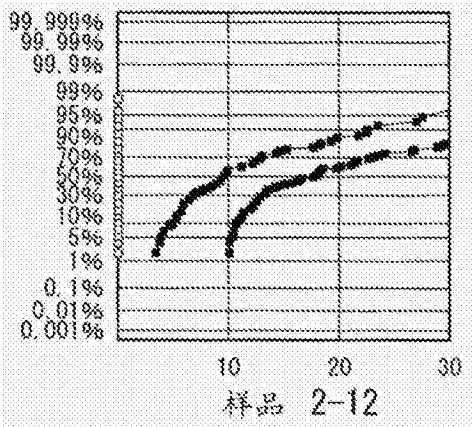


图6B

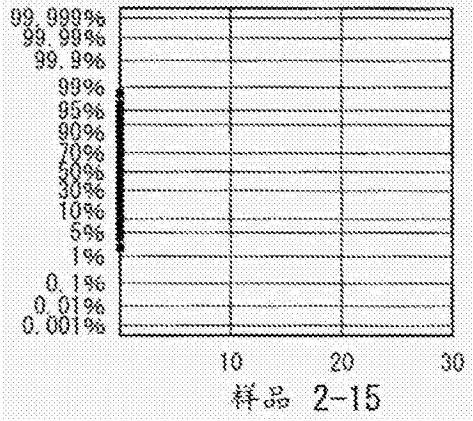


图6C

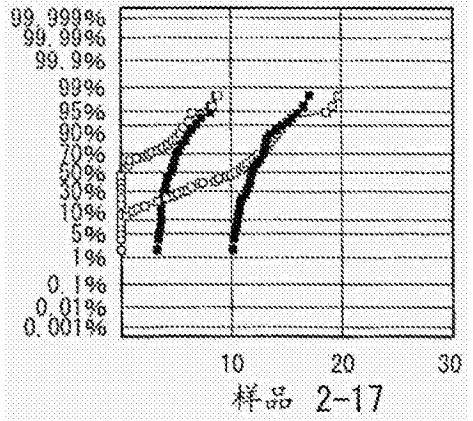


图6D

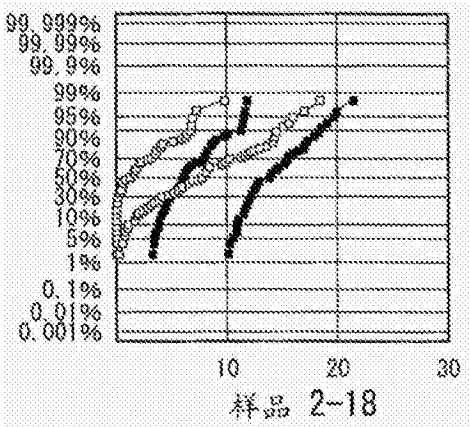


图6E

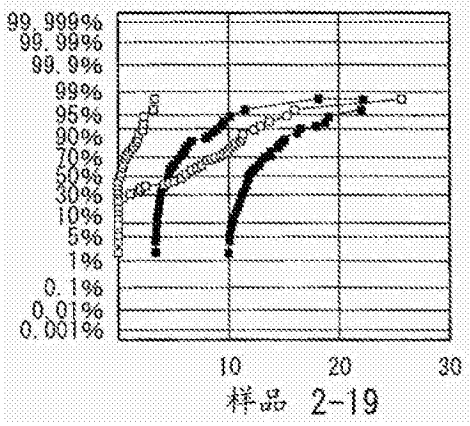


图6F

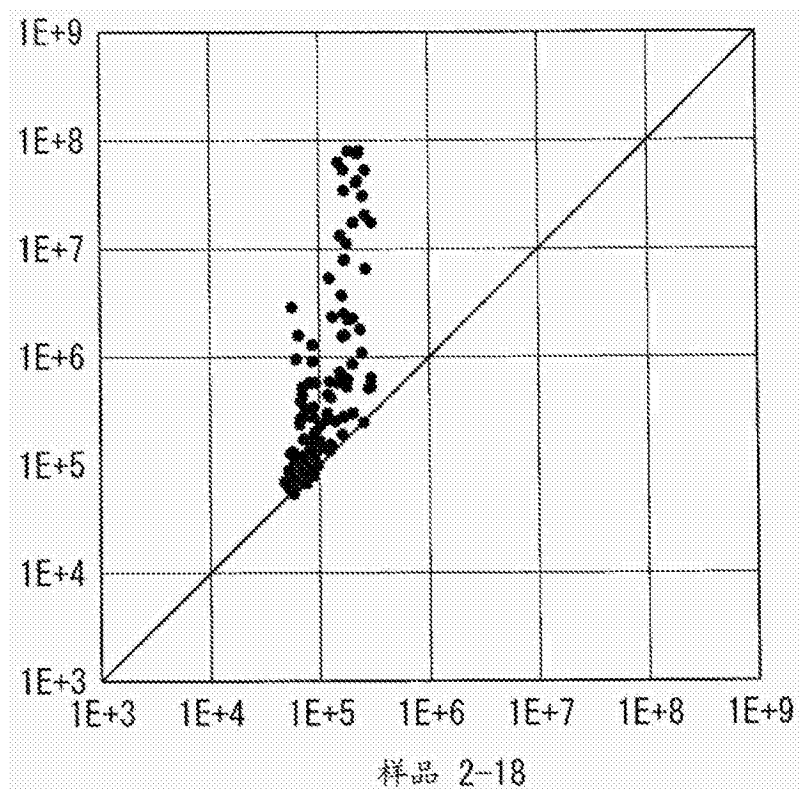


图7A

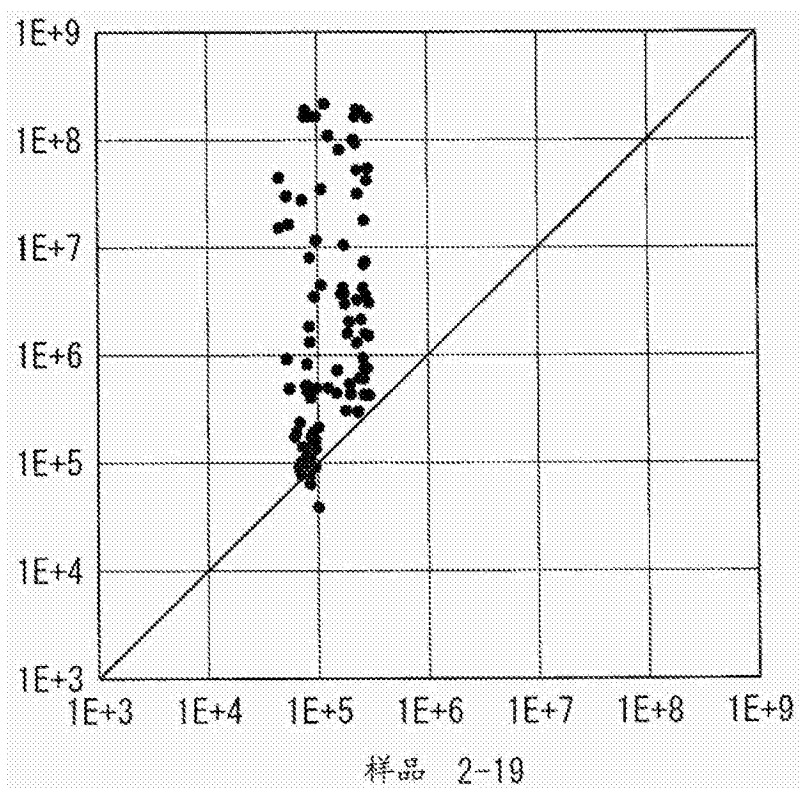


图7B

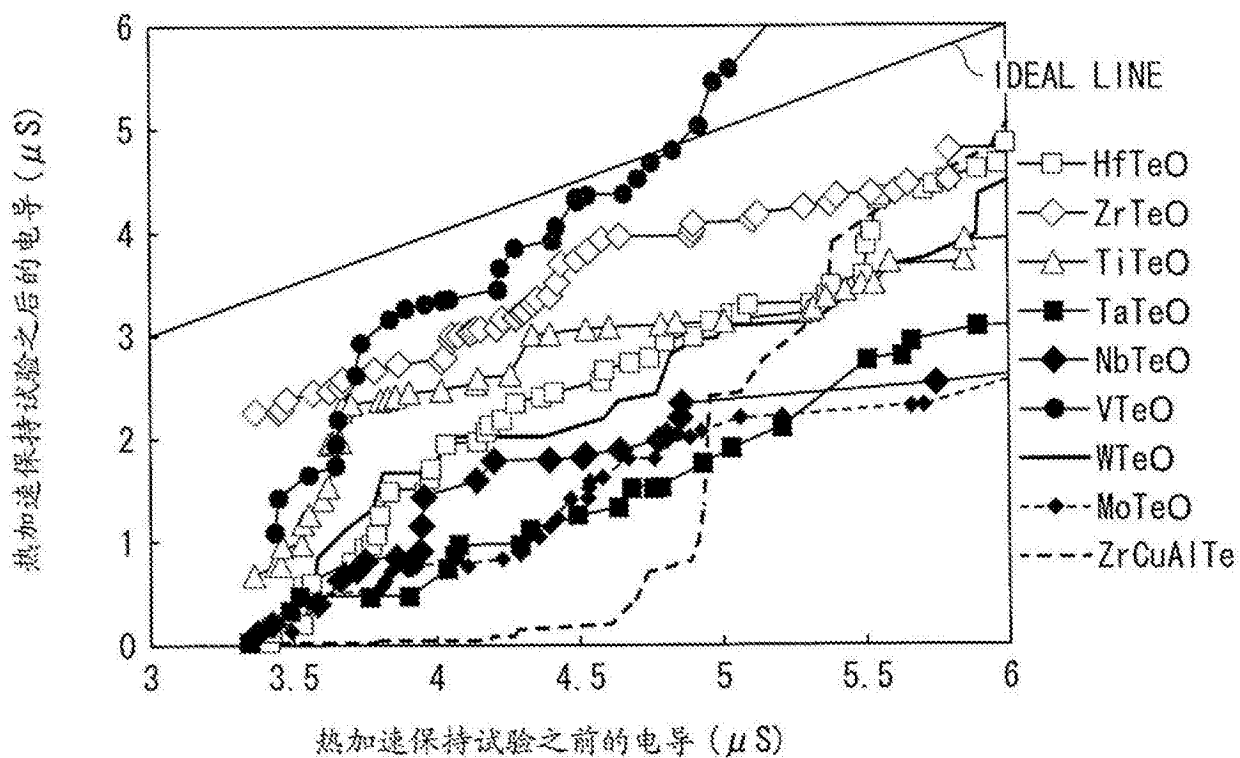


图8

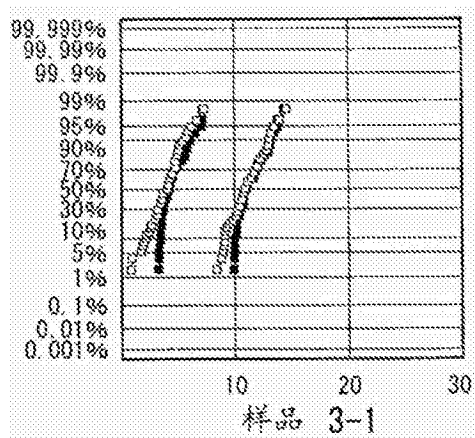


图9A

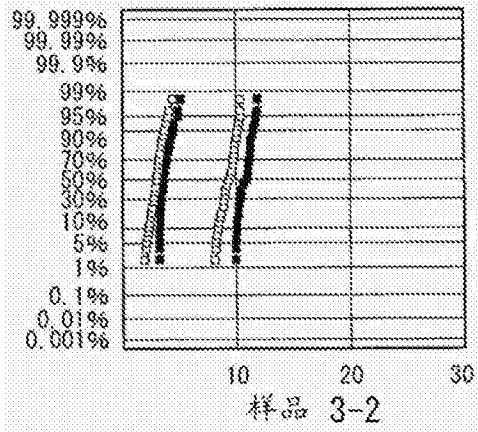


图9B

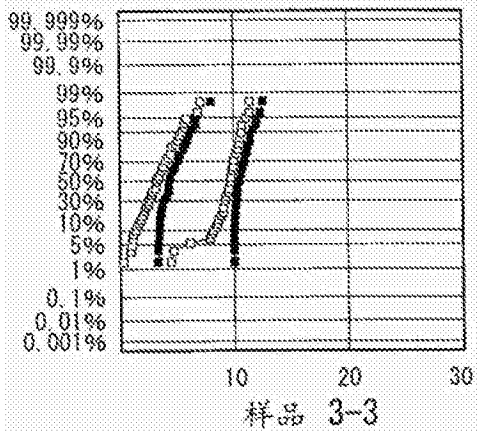


图9C

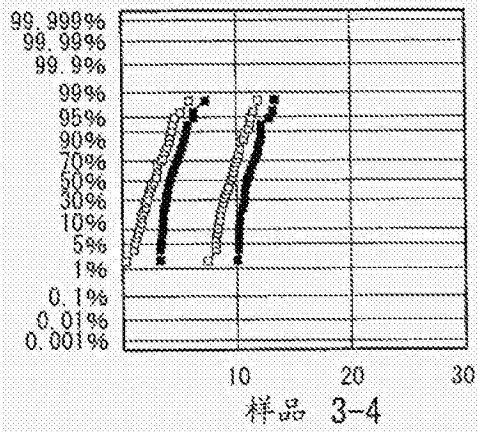


图9D

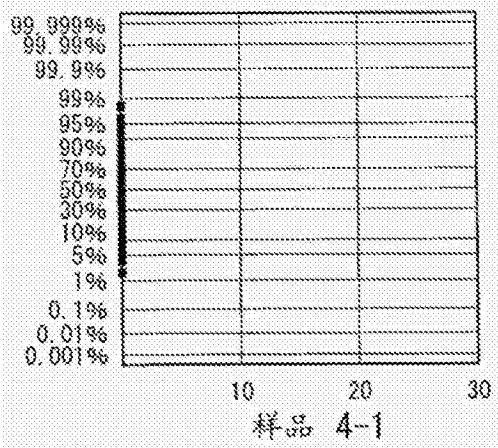


图10A

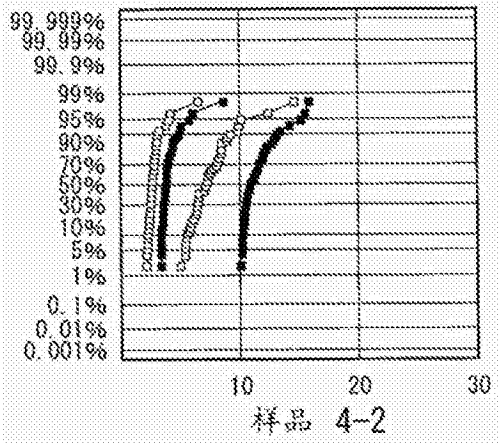


图10B

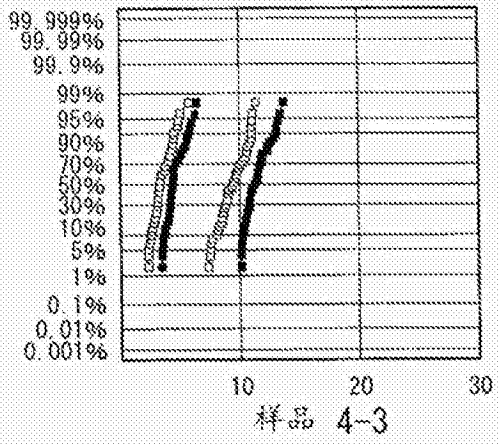


图10C

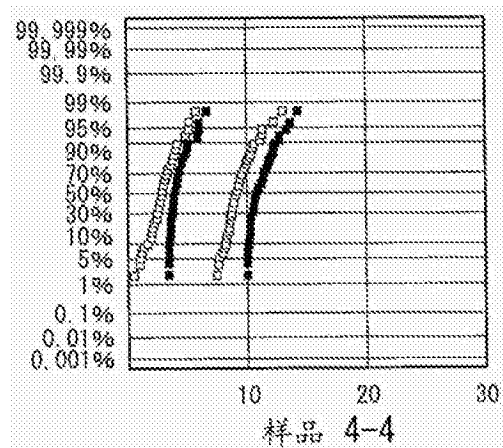


图10D

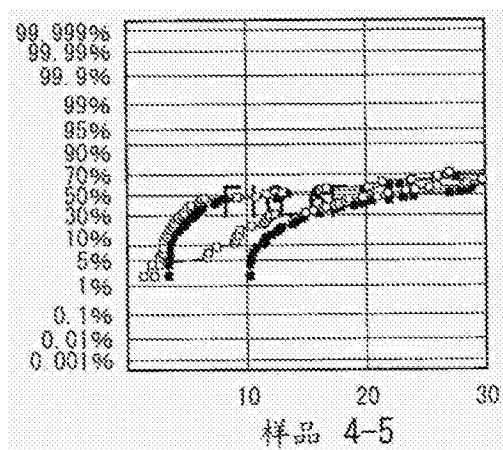


图10E

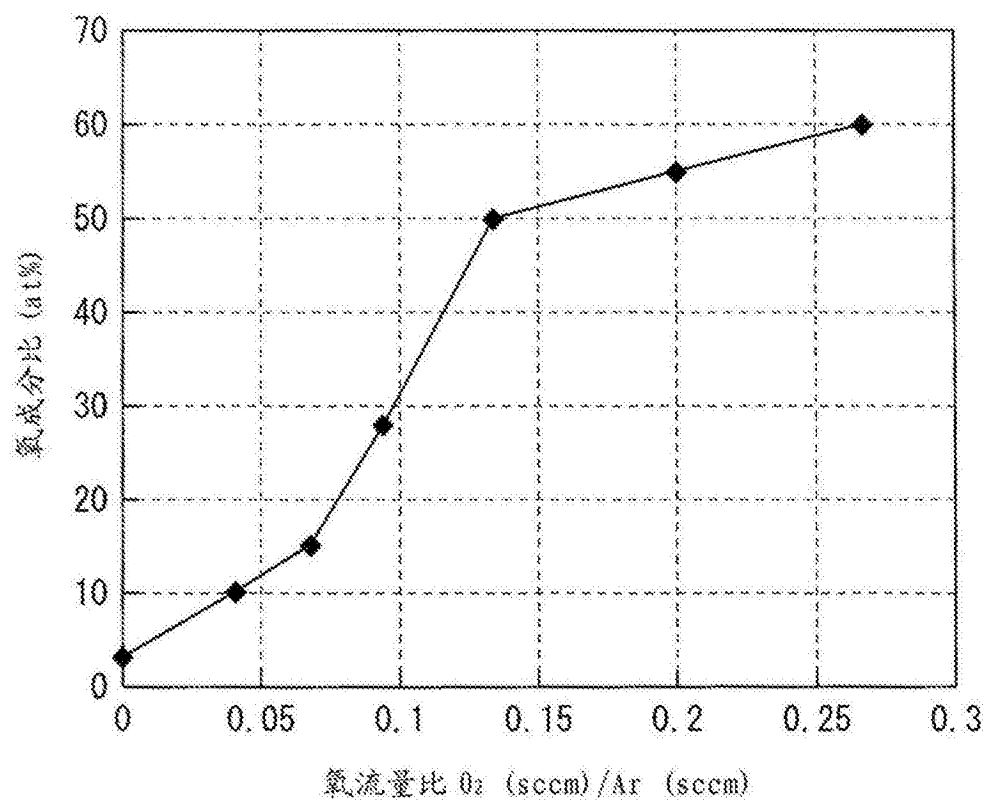


图11

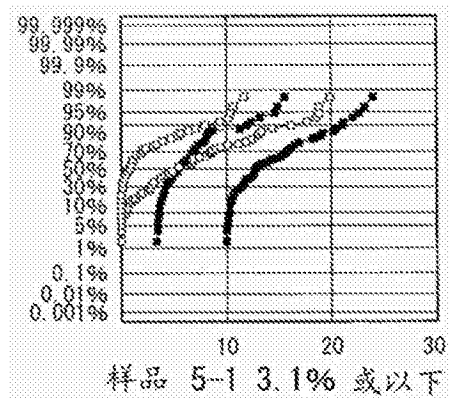


图12A

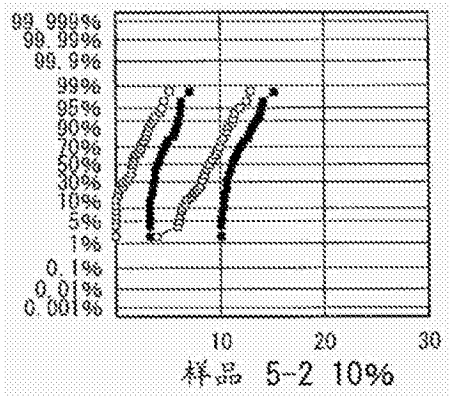


图12B

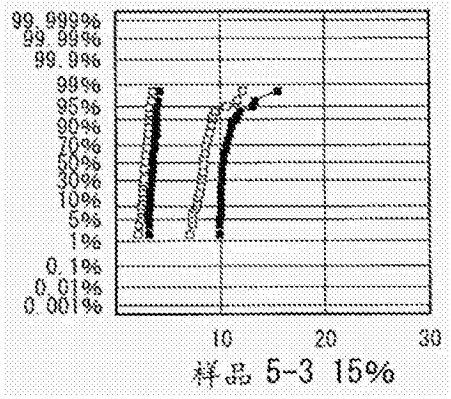


图12C

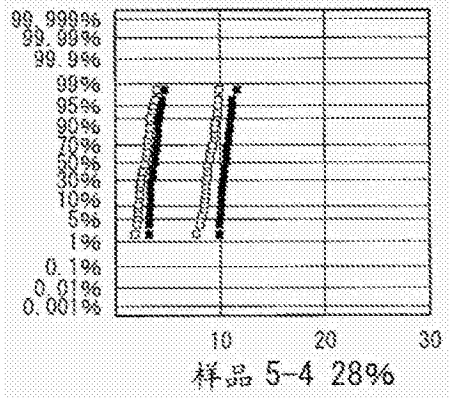


图12D

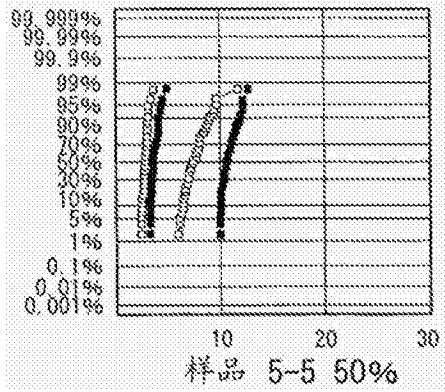


图12E

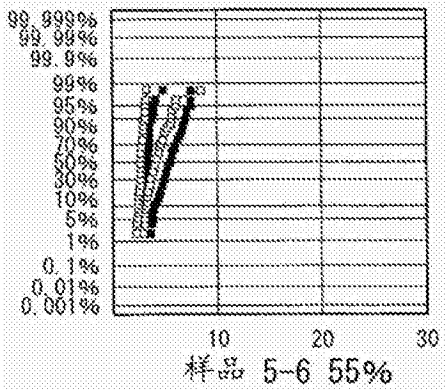


图12F

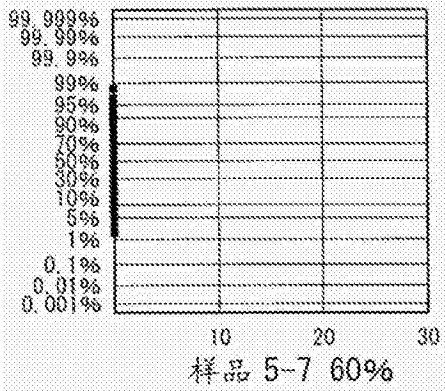


图12G

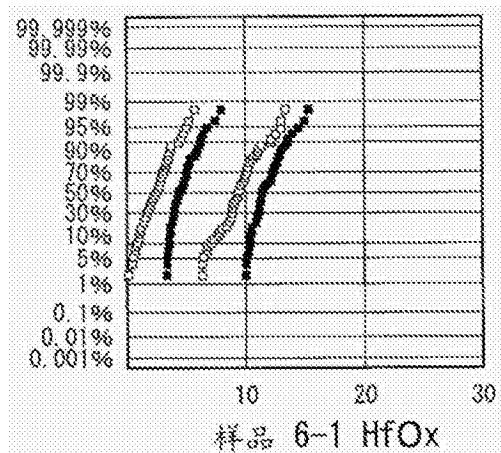


图13A

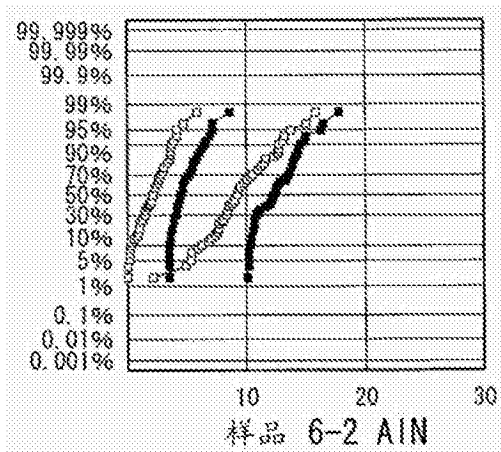


图13B

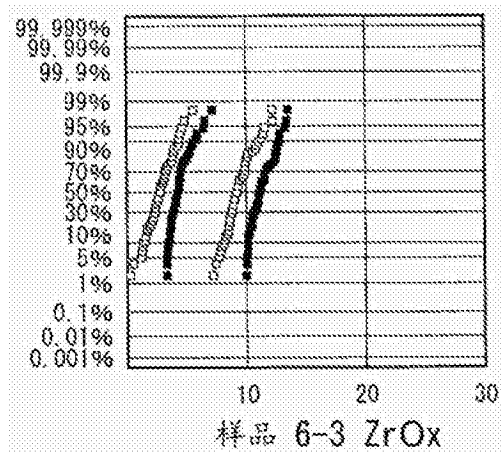


图13C

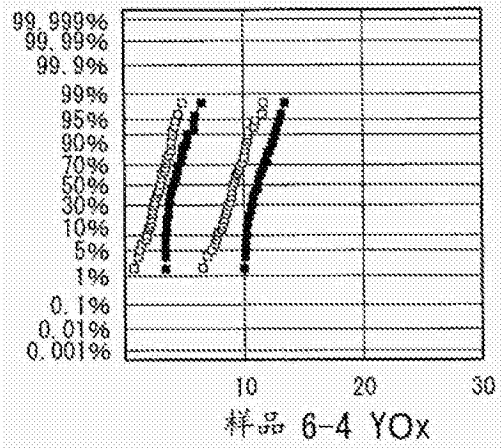


图13D