

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月10日(10.09.2021)



(10) 国際公開番号

WO 2021/176996 A1

(51) 国際特許分類:
H01L 21/60 (2006.01)

(21) 国際出願番号: PCT/JP2021/005271

(22) 国際出願日: 2021年2月12日(12.02.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-036707 2020年3月4日(04.03.2020) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 吉原 克彦 (YOSHIHARA Katsuhiko);
〒6158585 京都府京都市右京区西院溝崎町 2 1
番地 ローム株式会社内 Kyoto (JP). 呉 小鹏(WU
Xiaopeng); 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

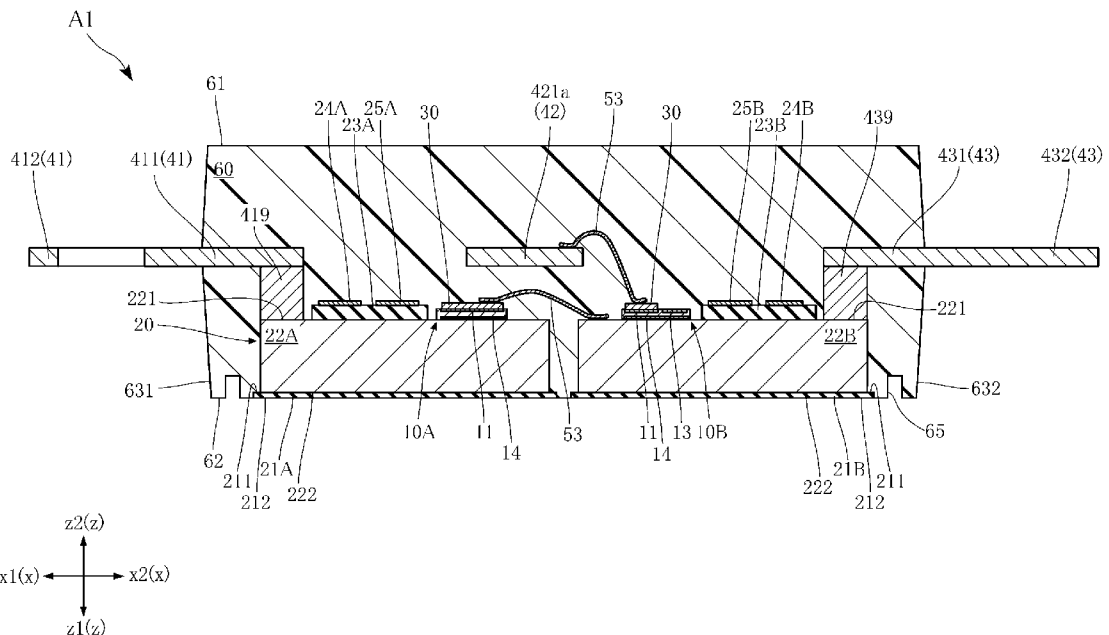
(74) 代理人: 白井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2 番 3 2 - 1 3 0 1 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法

FIG.10



(57) Abstract: A semiconductor device comprises a semiconductor element, a first electroconductive member, a second electroconductive member, a connection member, and a metal plate. The semiconductor element has an element main surface and an element back surface that are separated in the thickness direction. A main-surface electrode is positioned on the element main surface. The first electroconductive member faces the element back surface, the semiconductor element being joined to the first electroconductive member. The first electroconductive member and the second electroconductive

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

member are positioned separated from each other. The connection member causes the main-surface electrode and the second electroconductive member to be electrically conductive with each other. The metal plate is interposed between the main-surface electrode and the connection member in the thickness direction. The main-surface electrode and the metal plate are joined to each other by solid-phase diffusion.

(57) 要約：半導体装置は、半導体素子と、第1導電部材と、第2導電部材と、接続部材と、金属板とを備える。前記半導体素子は、厚さ方向において離間した素子主面および素子裏面を有している。前記素子主面には、主面電極が配置されている。前記第1導電部材は、前記素子裏面に対向しており、前記半導体素子が接合されている。前記第1導電部材と前記第2導電部材とは、互いに離間配置されている。前記接続部材は、前記主面電極および前記第2導電部材を互いに導通させる。前記金属板は、前記厚さ方向において前記主面電極および前記接続部材の間に介在する。前記主面電極と前記金属板とは、固相拡散により互いに接合されている。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 半導体装置は、様々な構成が提案されている。特許文献1には、従来の半導体装置の一例が開示されている。同文献に開示された半導体装置は、半導体素子、リードフレーム、端子およびボンディングワイヤを備えている。リードフレームは、半導体素子が搭載されている。リードフレームと端子とは互いに離間する。半導体素子は、上面に電極パッド（たとえばソース電極）が配置されている。ボンディングワイヤは、電極パッドと端子とに接合されており、電極パッドと端子とを電氣的に接続する。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-5165号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載の半導体装置において、ボンディングワイヤを半導体素子の電極パッド（たとえばソース電極）に接合する際、ボンディングワイヤを電極パッドに押し付けつつ、超音波振動を加えることがある（たとえばウェッジボンディング）。このときの押圧力（荷重）や振動によって、電極パッドが破損する可能性がある。このため、半導体素子が破損することにより、半導体装置の信頼性の低下が懸念される。

[0005] 本開示は、上記事情に鑑みて考え出されたものであり、信頼性の向上を図った半導体装置および当該半導体装置の製造方法を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示の第1の側面によって提供される半導体装置は、厚さ方向において離間した素子主面および素子裏面を有しており、かつ、前記素子主面に主面電極が配置された半導体素子と、前記素子裏面に対向し、かつ、前記半導体素子が接合された第1導電部材と、前記第1導電部材と離間して配置された第2導電部材と、前記主面電極および前記第2導電部材を導通させる接続部材と、前記厚さ方向において前記主面電極および前記接続部材の間に介在する金属板と、を備えており、前記主面電極と前記金属板とが固相拡散により互いに接合されている。

[0007] 本開示の第2の側面によれば、半導体装置の製造方法が提供される。当該半導体装置は、厚さ方向において離間した素子主面および素子裏面を有し且つ前記素子主面に配置された主面電極を含む半導体素子と、前記半導体素子に導通する導電性の接続部材とを含む。当該製造方法は、金属板を前記主面電極に接触させ、加熱および加圧により前記金属板と前記主面電極とを固相拡散接合する固相拡散接合工程と、前記接続部材を前記金属板に接合する接合工程と、を含む。

発明の効果

[0008] 本開示の半導体装置によれば、信頼性を向上することができる。また、本開示の半導体装置の製造方法によれば、信頼性の向上を図った半導体装置を製造できる。

図面の簡単な説明

[0009] [図1]第1実施形態にかかる半導体装置を示す斜視図である。

[図2]図1の斜視図において、樹脂部材を省略した図である。

[図3]第1実施形態にかかる半導体装置を示す平面図である。

[図4]図3の平面図において、樹脂部材を想像線で示した図である。

[図5]図4の平面図において、2つの入力端子および出力端子を想像線で示した図である。

[図6]図5の一部を拡大した部分拡大図である。

[図7]第1実施形態にかかる半導体装置を示す正面図である。

[図8]第1実施形態にかかる半導体装置を示す底面図である。

[図9]第1実施形態にかかる半導体装置を示す側面図（左側面図）である。

[図10]図5のX-X線に沿う断面図である。

[図11]図10の一部を拡大した部分拡大図（要部拡大断面図）である。

[図12]第1実施形態にかかる半導体装置の製造方法の一工程を示す平面図である。

[図13]第1実施形態にかかる半導体装置の製造方法の一工程を示す平面図である。

[図14]第1実施形態にかかる半導体装置の製造方法の一工程を示す平面図である。

[図15]第1実施形態にかかる半導体装置の製造方法の一工程を示す平面図である。

[図16]第1実施形態にかかる半導体装置の製造方法の一工程を示す平面図である。

[図17]第2実施形態にかかる半導体装置を示す断面図である。

[図18]第3実施形態にかかる半導体装置を示す斜視図である。

[図19]第3実施形態にかかる半導体装置を示す平面図である。

[図20]図19のX-X線に沿う断面図である。

[図21]金属板の第1の変形例を示す要部拡大断面図である。

[図22]金属板の第2の変形例を示す要部拡大断面図である。

[図23]金属板の第3の変形例を示す要部拡大断面図である。

[図24]金属板の第4の変形例を示す要部拡大断面図である。

[図25]変形例にかかる半導体装置を示す要部拡大断面図である。

発明を実施するための形態

[0010] 本開示の半導体装置および本開示の半導体装置の製造方法の好ましい実施の形態について、図面を参照して、以下に説明する。以下の説明において、同一あるいは類似の構成要素については、同じ符号を付して、重複する説明を省略する。

[0011] 図1～図11は、第1実施形態にかかる半導体装置A1を示している。半導体装置A1は、複数の半導体素子10、支持基板20、複数の金属板30、2つの入力端子41、42、出力端子43、複数の信号端子44A～47A、44B～47B、複数の接続部材50および樹脂部材60を備えている。

[0012] 図1は、半導体装置A1を示す斜視図である。図2は、図1の斜視図において、樹脂部材を省略した図である。図3は、半導体装置A1を示す平面図である。図4は、図3の平面図において、樹脂部材60を想像線（二点鎖線）で示した図である。図5は、図4の平面図において、2つの入力端子41、42および出力端子43を想像線で示した図である。図6は、図5の一部を拡大した部分拡大図である。図7は、半導体装置A1を示す正面図である。図8は、半導体装置A1を示す底面図である。図9は、半導体装置A1を示す側面図（左側面図）である。図10は、図5のX-X線に沿う断面図である。図11は、図10の一部を拡大した要部拡大断面図である。

[0013] 説明の便宜上、互いに直交する3つの方向を、x方向、y方向、z方向と定義する。z方向は、半導体装置A1の厚さ方向である。x方向は、半導体装置A1の平面図（図3参照）における左右方向である。y方向は、半導体装置A1の平面図（図3参照）における上下方向である。x方向の一方をx1方向、x方向の他方をx2方向とする。同様に、y方向の一方をy1方向、y方向の他方をy2方向とし、z方向の一方をz1方向、z方向の他方をz2方向とする。以下の説明において、「平面視」とは、z方向に見たときをいう。

[0014] 複数の半導体素子10の各々は、半導体装置A1の機能中枢である。各半導体素子10は、平面視において、矩形状であるが、これに限定されない。各半導体素子10は、たとえばMOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）で構成されたパワー半導体素子である。各半導体素子10は、MOSFETに限定されず、MISFET（Metal-Insulator-Semiconductor FET）を含む電界効果トランジスタや、IGBTのようなバイ

ポーラトランジスタなど、他のトランジスタであってもよい。さらには、 LSI などの IC チップ、ダイオード、あるいは、コンデンサなどであってもよい。各半導体素子10は、いずれも同一素子である。各半導体素子10は、たとえば n チャネル型の MOSFET であるが、 p チャネル型の MOSFET であってもよい。各半導体素子10の構成材料は、たとえば SiC （炭化ケイ素）を主とする半導体材料である。この半導体材料は、 SiC に限定されず、 Si （シリコン）、 GaAs （ヒ化ガリウム）あるいは GaN （窒化ガリウム）などであってもよい。

[0015] 各半導体素子10はそれぞれ、図11に示すように、素子主面101および素子裏面102を有する。各半導体素子10において、素子主面101と素子裏面102とは z 方向に離間する。素子主面101は、 z 2方向を向き、素子裏面102は、 z 1方向を向く。

[0016] 各半導体素子10はそれぞれ、第1電極11、第2電極12、第3電極13、第4電極14および絶縁膜15を有する。図6および図11に示すように、第1電極11、第2電極12、第3電極13および絶縁膜15はそれぞれ、素子主面101に設けられ、第4電極14は、素子裏面102に設けられている。

[0017] 第1電極11は、たとえばソース電極であって、ソース電流が流れる。第1電極11が、「主面電極」の一例である。第2電極12は、たとえばゲート電極であって、各半導体素子10を駆動させるための駆動信号（たとえばゲート電圧）が入力される。第3電極13は、たとえばソースセンス電極であって、ソース電流が流れる。なお、第3電極13は、各半導体素子10に形成されていなくてもよい。平面視において、第1電極11は、第2電極12および第3電極13よりも大きく、第2電極12と第3電極13とは略同じ大きさである。図6などに示す例では、第1電極11は、1つの領域で構成されているが、複数の領域に分割されていてもよい。第1電極11、第2電極12、第3電極13の位置関係は、図6などに示す例に限定されず、適宜変更可能である。たとえば、第2電極12および第3電極13が平面視に

において素子主面 101 の中央に配置され、第 1 電極 11 がこれらを囲う枠状に配置されていてもよい。第 4 電極 14 は、たとえばドレイン電極であって、ドレイン電流が流れる。第 4 電極 14 は、素子裏面 102 の略全面にわたって形成されている。絶縁膜 15 は、電気絶縁性であり、平面視において第 1 電極 11、第 2 電極 12 および第 3 電極 13 を囲んでいる。絶縁膜 15 は、第 1 電極 11、第 2 電極 12 および第 3 電極 13 を互いに絶縁させる。絶縁膜 15 は、たとえば SiO_2 （二酸化ケイ素）層、 SiN_4 （窒化ケイ素）層、ポリベンゾオキサゾール層が、素子主面 101 からこの順番で積層されたものである。絶縁膜 15 の構成は、上記したものに限定されず、たとえば、ポリベンゾオキサゾール層に代えてポリイミド層が積層されていてもよい。

[0018] 各半導体素子 10 は、第 2 電極 12（ゲート電極）に駆動信号（たとえばゲート電圧）が入力されると、この駆動信号に応じて導通状態と遮断状態とが切り替わる。この導通状態と遮断状態とが切り替わる動作をスイッチング動作という。導通状態では、第 4 電極 14（ドレイン電極）から第 1 電極 11（ソース電極）に電流が流れ、遮断状態では、この電流が流れない。半導体装置 A1 は、複数の半導体素子 10 のスイッチング動作により、2つの入力端子 41、42 間に入力される電源電圧をたとえば交流電圧に変換する。

[0019] 各半導体素子 10 において、第 1 電極 11 は、図 11 に示すように、互いに積層された素地層 111、表面層 112 およびバリア層 113 を含む。

[0020] 素地層 111 は、第 1 電極 11 において、中核となる要素である。図 11 に示すように、素地層 111 の z2 方向を向く面（素子主面 101 と同じ方向を向く面）に、表面層 112 およびバリア層 113 が積層されている。素地層 111 の構成材料は、たとえば AlCu である。素地層 111 の構成材料は、 AlCu に限定されず、 Al あるいは Al に Si 、 Mo 、 Ti 、 Ta 、 Ge 、 Ni 、 Co 等の元素を添加したものであってもよい。

[0021] 表面層 112 は、図 11 に示すように、各金属板 30 に接しており、この金属板 30 に固相拡散によって接合されている。表面層 112 の構成材料は、たとえば Ag である。表面層 112 の構成材料は、 Ag に限定されず、金

属板 30（後述の第 1 金属層 32）と固相拡散接合可能な材料（たとえば、Au、Zn、Cu、Hf、Mg など）であればよい。

[0022] バリア層 113 は、図 11 に示すように、z 方向において、素地層 111 と表面層 112 との間に挟まれている。バリア層 113 は、表面層 112 の構成材料（たとえば Ag）が素地層 111（たとえば構成材料に Al を含む）に拡散することを防止するために設けられている。バリア層 113 の構成材料は、たとえば Ni である。バリア層 113 の構成材料は、Ni に限定されず、素地層 111 および表面層 112 の各構成材料よりも拡散係数が小さいもの（たとえば Pd、Ti、Cr、W、Ir など）であればよい。ただし、コスト、汎用性、プロセスの難易度、熱伝導性などの観点から、好ましくは Ni が採用される。なお、第 1 電極 11 は、バリア層 113 を含まず、素地層 111 に表面層 112 が直接積層された構成でもよい。

[0023] 各半導体素子 10 において、第 1 電極 11 は、図 11 に示すように、素地層 111 の z2 方向を向く面に対して、バリア層 113、表面層 112 の順に各層を成膜することにより、形成される。表面層 112 およびバリア層 113 の各成膜方法は、たとえばスパッタリングまたは真空蒸着が挙げられる。

[0024] 複数の半導体素子 10 は、複数の半導体素子 10A および複数の半導体素子 10B を含む。図 2 および図 5 などに示す例では、半導体装置 A1 は、4 つの半導体素子 10A と 4 つの半導体素子 10B とを含む。複数の半導体素子 10A、10B の数は、本構成に限定されず、半導体装置 A1 に要求される性能に応じて適宜変更される。半導体装置 A1 は、たとえばハーフブリッジ型のスイッチング回路として構成される。この場合、複数の半導体素子 10A は、半導体装置 A1 の上アーム回路を構成し、複数の半導体素子 10B は、半導体装置 A1 の下アーム回路を構成する。よって、各半導体素子 10A と各半導体素子 10B とは、直列に接続され、ブリッジを構成する。

[0025] 複数の半導体素子 10A はそれぞれ、図 2 および図 5 などに示すように、支持基板 20 に搭載されている。図 5 に示す例では、複数の半導体素子 10

Aは、たとえばy方向に並んでおり、互いに離間している。各半導体素子10Aは、図示しない導電性接合材（たとえば焼結銀や焼結銅などの焼結金属、銀や銅などの金属ペースト材、あるいは、はんだなど）を介して、図10に示すように、支持基板20（後述の導電性基板22A）に導通接合されている。各半導体素子10Aは、導電性基板22Aに接合された際、素子裏面102が導電性基板22Aに対向する。

[0026] 複数の半導体素子10Bはそれぞれ、図2および図5などに示すように、支持基板20に搭載されている。図5に示す例では、複数の半導体素子10Bは、たとえばy方向に並んでおり、互いに離間している。各半導体素子10Bは、図示しない導電性接合材（たとえば焼結銀や焼結銅などの焼結金属、銀や銅などの金属ペースト材、あるいは、はんだなど）を介して、図10に示すように、支持基板20（後述の導電性基板22B）に導通接合されている。各半導体素子10Bは、導電性基板22Bに接合された際、素子裏面102が導電性基板22Bに対向する。図5に示す例では、x方向に見て、複数の半導体素子10Aと複数の半導体素子10Bとは重なっているが、重なってなくてもよい。

[0027] 支持基板20は、複数の半導体素子10を支持する。支持基板20は、図10などに示すように、一对の絶縁基板21A、21B、一对の導電性基板22A、22B、一对の絶縁層23A、23B、一对のゲート層24A、24Bおよび一对の検出層25A、25Bを含んでいる。

[0028] 一对の絶縁基板21A、21Bは、電気絶縁性である。各絶縁基板21A、21Bの構成材料は、たとえば熱伝導性に優れたセラミックスである。このようなセラミックスとしては、たとえばAlN（窒化アルミニウム）が挙げられる。各絶縁基板21A、21Bは、セラミックスに限定されず、絶縁樹脂シートなどであってもよい。各絶縁基板21A、21Bは、たとえば平面視矩形状である。一对の絶縁基板21A、21Bは、x方向に並んでおり、互いに離間する。絶縁基板21Aは、絶縁基板21Bのx1方向側に位置する。

[0029] 各絶縁基板 21A, 21B は、図 10 などに示すように、主面 211 および裏面 212 を有する。各絶縁基板 21A, 21B において、主面 211 と裏面 212 とは、z 方向に離間する。主面 211 は、z 2 方向を向き、裏面 212 は、z 1 方向を向く。主面 211 は、一对の導電性基板 22A, 22B および複数の半導体素子 10 とともに、樹脂部材 60 に覆われている。裏面 212 は、図 8 に示すように樹脂部材 60（後述の樹脂裏面 62）から露出している。裏面 212 は、たとえば図示しないヒートシンクなどが接続される。

[0030] 一对の導電性基板 22A, 22B はそれぞれ、金属製の板状部材である。この金属は、たとえば Cu（銅）あるいは Cu 合金である。一对の導電性基板 22A, 22B は、2つの入力端子 41, 42 および出力端子 43 とともに、複数の半導体素子 10 への導通経路を構成している。各導電性基板 22A, 22B の z 2 方向側の表層は、たとえば Al（アルミニウム）である。一对の導電性基板 22A, 22B は、図 5 および図 10 などに示すように、x 方向に離間する。図 5 および図 10 などに示す例では、導電性基板 22A は、導電性基板 22B よりも x 1 方向に位置する。

[0031] 各導電性基板 22A, 22B は、図 10 などに示すように、主面 221 および裏面 222 を有する。各導電性基板 22A, 22B において、主面 221 と裏面 222 とは、z 方向に離間する。主面 221 は、z 2 方向を向き、裏面 222 は、z 1 方向を向く。

[0032] 導電性基板 22A は、図 10 などに示すように、図示しない接合材を介して、絶縁基板 21A に接合されている。この接合材は、導電性または絶縁性のどちらでもよい。導電性基板 22A が絶縁基板 21A に接合された状態では、導電性基板 22A の裏面 222 は、絶縁基板 21A の主面 211 に対向する。導電性基板 22A は、主面 221 上に、複数の半導体素子 10A が搭載されている。各半導体素子 10A は導電性基板 22A に導電性接合材を介して接合されており、導電性基板 22A は、各半導体素子 10A の第 4 電極 14（ドレイン電極）に導通する。本実施形態では、導電性基板 22A が、

「第1導電部材」の一例である。

[0033] 導電性基板22Bは、図10などに示すように、図示しない接合材を介して、絶縁基板21Bに接合されている。この接合材は、導電性または絶縁性のどちらでもよい。導電性基板22Bが絶縁基板21Bに接合された状態では、導電性基板22Bの裏面222は、絶縁基板21Bの主面211に対向する。導電性基板22Bは、主面221上に、複数の10Bが搭載されている。各半導体素子10Bは導電性基板22Bに導電性接合材を介して接合されており、導電性基板22Bは、各半導体素子10Bの第4電極14（ドレイン電極）に導通する。本実施形態では、導電性基板22Bが、「第2導電部材」の一例である。

[0034] 一对の絶縁層23A、23Bは、電気絶縁性であり、その構成材料は、たとえばガラスエポキシ樹脂である。一对の絶縁層23A、23Bは、図5に示すように、各々がy方向に延びる帯状である。絶縁層23Aは、図5および図10に示すように、導電性基板22Aの主面221に接合されている。絶縁層23Aは、複数の半導体素子10Aよりもx1方向に位置する。絶縁層23Bは、図5および図10に示すように、導電性基板22Bの主面221に接合されている。絶縁層23Bは、複数の半導体素子10Bよりもx2方向に位置する。絶縁層23Aは、導電性基板22Aと、ゲート層24Aおよび検出層25Aとを絶縁し、絶縁層23Bは、導電性基板22Bと、ゲート層24Bおよび検出層25Bとを絶縁する。

[0035] 一对のゲート層24A、24Bは、導電性であり、その構成材料は、たとえば銅あるいは銅合金である。一对のゲート層24A、24Bはそれぞれ、図5などに示すように、y方向に延びる帯状の部分と、この帯状の部分から突き出た鉤状の部分とを含む。各ゲート層24A、24Bは、鉤状の部分がなく、帯状の部分のみで構成されていてもよい。ゲート層24Aは、図5および図10に示すように、絶縁層23A上に配置されている。ゲート層24Aは、複数の接続部材50の一部（後述の複数のゲートワイヤ51）が接合され、各ゲートワイヤ51を介して、各半導体素子10Aの第2電極12（

ゲート電極)に導通する。ゲート層24Bは、図5および図10に示すように、絶縁層23B上に配置されている。ゲート層24Bは、複数の接続部材50の一部(後述の複数のゲートワイヤ51)が接合され、各ゲートワイヤ51を介して、各半導体素子10Bの第2電極12(ゲート電極)に導通する。

[0036] 一対の検出層25A、25Bは、導電性であり、その構成材料は、たとえば銅あるいは銅合金である。一対の検出層25A、25Bはそれぞれ、図5に示すように、y方向に延びる帯状の部分と、この帯状の部分から突き出た鉤状の部分とを含む。各検出層25A、25Bは、鉤状の部分がなく、帯状の部分のみで構成されていてもよい。検出層25Aは、図5および図10に示すように、ゲート層24Aとともに絶縁層23A上に配置されている。検出層25Aは、複数の接続部材50の一部(後述の複数の検出ワイヤ52)が接合され、各検出ワイヤ52を介して、各半導体素子10Aの第3電極13(ソースセンス電極)に導通する。検出層25Bは、図5および図10に示すように、ゲート層24Bとともに絶縁層23B上に配置されている。検出層25Bは、複数の接続部材50の一部(後述の複数の検出ワイヤ52)が接合され、各検出ワイヤ52を介して、各半導体素子10Bの第3電極13(ソースセンス電極)に導通する。

[0037] 図5および図10に示すように、ゲート層24Aと検出層25Aとは、絶縁層23A上において、x方向に並んでおり、かつ、互いに離間する。図5および図10に示す例では、検出層25Aは、x方向において、ゲート層24Aよりも複数の半導体素子10Aの近くに配置されている。つまり、検出層25Aは、ゲート層24Aのx2方向側に位置する。なお、ゲート層24Aと検出層25Aのx方向における配置は、反対であってもよい。また、図5および図10に示すように、ゲート層24Bと検出層25Bとは、絶縁層23B上において、x方向に並んでおり、かつ、互いに離間する。図5および図10に示す例では、検出層25Bは、x方向において、ゲート層24Bよりも複数の半導体素子10Bの近くに配置されている。つまり、検出層2

5 Bは、ゲート層24 Bのx方向側に位置する。なお、ゲート層24 Bと検出層25 Bのx方向における配置は、反対であってもよい。

[0038] 支持基板20の構成は、上記した例示に限定されない。たとえば、2つの導電性基板22 A、22 Bを1つの絶縁基板に接合してもよい。つまり、一对の絶縁基板21 A、21 Bが分割されず、一体的に形成されていてもよい。また、各絶縁基板21 A、21 Bの裏面22 2に金属層が形成されていてもよい。また、複数の半導体素子10の個数および配置などに基づき、一对の絶縁基板21 A、21 Bおよび一对の導電性基板22 A、22 Bの各々の形状、大きさおよび配置などが適宜変更される。

[0039] 複数の金属板30はそれぞれ、各半導体素子10上に配置されている。各金属板30は、各半導体素子10の第1電極11に、固相拡散接合によって接合されている。各金属板30には、複数の接続部材50の一部（後述のソースワイヤ53）が接合されている。図6などに示す例では、各金属板30は、平面視において、各半導体素子10の第1電極11の略全面を覆っているが、少なくともソースワイヤ53を接合する部分を覆っていればよい。各金属板30は、図11に示すように、金属基材31および第1金属層32を含む。

[0040] 金属基材31は、各金属板30において、中枢となる要素である。金属基材31には、接続部材50（後述のソースワイヤ53）が接合されている。金属基材31の構成材料は、たとえばCu、Cu合金あるいはCuを含む複合材からなる。金属基材31の構成材料は、Cuを含むものに限定されず、各接続部材50（後述のソースワイヤ53）が接合可能なものであればよい。金属基材31の厚さ（z方向の寸法）は、特に限定されないが、一例では30 μ m以上200 μ m以下である。

[0041] 金属基材31は、図11に示すように、基材主面311および基材裏面312を有する。基材主面311および基材裏面312は、z方向に離間する。基材主面311は、z2方向を向き、基材裏面312は、z1方向を向く。基材主面311は、金属基材31の上面であり、基材裏面312は、各半

導体素子 10 に対向する。基材主面 311 には、各接続部材 50（ソースワイヤ 53）が接合され、基材裏面 312 には、第 1 金属層 32 が積層されている。

[0042] 第 1 金属層 32 は、金属基材 31 の基材裏面 312 に接するとともに、第 1 電極 11 の表面層 112 に接している。第 1 金属層 32 は、表面層 112 に固相拡散によって接合されている。図 11 に示すように、第 1 金属層 32 と表面層 112 との間には、第 1 金属層 32 と表面層 112 との界面がある部分 R1 と、第 1 金属層 32 と表面層 112 との界面がない部分 R2 とが形成されている。界面がない部分 R2 は、固相拡散接合によって分子結合されたことで形成される。なお、第 1 金属層 32 と表面層 112 との間には、界面がある部分 R1 および界面がない部分 R2 の他、部分的に空隙が形成されていてもよい。第 1 金属層 32 の構成材料は、たとえば、表面層 112 と同じ Ag である。第 1 金属層 32 の構成材料は、Ag に限定されず、第 1 電極 11 の表面層 112 と固相拡散可能な材料（たとえば、Au、Zn、Cu、Hf、Mg など）であればよい。第 1 金属層 32 は、たとえば、金属基材 31 の各半導体素子 10 に対向する面に対して成膜されることにより形成される。第 1 金属層 32 の成膜手法は、たとえばスパッタリング法または真空蒸着が挙げられる。

[0043] 2つの入力端子 41、42、出力端子 43、信号端子 44A～47A、44B～47B はそれぞれ、金属板からなる。この金属板の構成材料は、たとえば、Cu または Cu 合金である。2つの入力端子 41、42、出力端子 43、信号端子 44A～47A、44B～47B は、たとえば、同一のリードフレームから形成される。

[0044] 2つの入力端子 41、42 は、電源電圧が印加される。たとえば、入力端子 41 は正極（P 端子）であり、入力端子 42 は負極（N 端子）である。2つの入力端子 41、42 はそれぞれ、図 1～図 4 などに示すように、半導体装置 A1 において、x1 方向寄りに位置する。2つの入力端子 41、42 は、互いに離間する。

[0045] 入力端子41は、図4などに示すように、パッド部411および端子部412を含む。

[0046] パッド部411は、樹脂部材60に覆われている。パッド部411は、図2、図4、図5および図10に示すように、導電性のブロック材419を介して、導電性基板22Aに導通接合されている。ブロック材419の構成材料は、特に限定されないが、たとえばCu、Cu合金、CuMo（銅モリブデン）の複合材、CIC（Copper-Inver-Copper）の複合材などが用いられる。パッド部411は、ブロック材419に接合され、ブロック材419は、導電性基板22Aに接合されている。パッド部411とブロック材419との接合、および、ブロック材419と導電性基板22Aとの接合はそれぞれ、導電性接合材を用いた接合、レーザ接合、あるいは、超音波接合などのいずれであってもよい。パッド部411と導電性基板22Aとの接合は、ブロック材419を介した構成に限定されず、パッド部411が部分的に屈曲することで、パッド部411が導電性基板22Aに直接接合されていてもよい。

[0047] 端子部412は、樹脂部材60から露出する。端子部412は、図4などに示すように、平面視において、樹脂部材60からx1方向に延びている。端子部412は、たとえば、平面視矩形形状である。

[0048] 入力端子42は、図4などに示すように、パッド部421および端子部422を含む。

[0049] パッド部421は、樹脂部材60に覆われている。パッド部421が樹脂部材60に覆われていることにより、入力端子42は、樹脂部材60に支持されている。パッド部421は、図4に示すように、帯状部421aおよび接続部421bを含んでいる。帯状部421aは、図4に示すように、たとえばy方向に延びる帯状である。帯状部421aには、複数の接続部材50（後述のソースワイヤ53）が接合されている。接続部421bは、図4に示すように、帯状部421aと端子部422とを接続する。なお、入力端子42の位置ずれを抑制するために、パッド部421（たとえば接続部421

b)と導電性基板22Aとの間に、これらに挟まれた絶縁性のブロック材を配置してもよい。

[0050] 出力端子43は、複数の半導体素子10により電力変換された交流電力（電圧）を出力端子である。出力端子43は、図1～図4に示すように、半導体装置A1において、x2方向寄りに位置する。出力端子43は、パッド部431および端子部432を含む。

[0051] パッド部431は、樹脂部材60に覆われている。パッド部431は、図2、図4、図5および図10に示すように、導電性のブロック材439を介して、導電性基板22Bに導通接合されている。ブロック材439の構成材料は、ブロック材419の構成材料と同様に、たとえばCu、Cu合金、CuMoの複合材、CICの複合材などが用いられるが、これらに限定されない。パッド部431は、ブロック材439に接合され、ブロック材439は、導電性基板22Bに接合されている。パッド部431とブロック材439との接合、および、ブロック材439と導電性基板22Bとの接合はそれぞれ、導電性接合材を用いた接合、レーザ接合、あるいは、超音波接合などのいずれであってもよい。パッド部431と導電性基板22Bとの接合は、ブロック材439を介した構成に限定されず、パッド部431が部分的に屈曲することで、パッド部431が導電性基板22Bに直接接合されていてもよい。

[0052] 端子部432は、樹脂部材60から露出する。端子部432は、図4に示すように、樹脂部材60からx2方向に延びている。端子部432は、たとえば平面視矩形状である。

[0053] 複数の信号端子44A～47A、44B～47Bは、半導体装置A1における制御信号を入力あるいは出力する端子である。制御信号としては、たとえば複数の半導体素子10をスイッチング動作させる駆動信号および複数の半導体素子10の動作状態を示す検出信号（たとえばソース信号）などがある。複数の信号端子44A～47A、44B～47Bは、互いに略同じ形状である。複数の信号端子44A～47A、44B～47Bはそれぞれ、x方

向に見て、L字状をなす。複数の信号端子44A～47A, 44B～47Bは、図1～図8などに示すように、x方向に沿って配列されている。各信号端子44A～47A, 44B～47Bは、図9に示すように、x方向に見て、互いに重なる。複数の信号端子44A～47Aは、図5などに示すように、平面視において、導電性基板22Aのy方向隣に位置し、複数の信号端子44B～47Bは、図5などに示すように、平面視において、導電性基板22Bのy方向隣に位置する。各信号端子44A～47A, 44B～47Bは、たとえば樹脂部材60のy1方向を向く面（後述の樹脂側面633）から突き出ている。

[0054] 一对の信号端子44A, 44Bは、図5および図6などに示すように、接続部材50（後述の第2接続ワイヤ55）を介して、一对の検出層25A, 25Bにそれぞれ導通する。信号端子44Aから、複数の半導体素子10Aの各第3電極13に印加される電圧（ソース電流に対応した電圧）が検出される。信号端子44Aは、複数の半導体素子10Aのソース信号検出端子である。信号端子44Bから、複数の半導体素子10Bの各第3電極13に印加される電圧（ソース電流に対応した電圧）が検出される。信号端子44Bは、複数の半導体素子10Bのソース信号検出端子である。

[0055] 一对の信号端子44A, 44Bはそれぞれ、図6に示すように、パッド部441および端子部442を含む。各信号端子44A, 44Bにおいて、パッド部441は、樹脂部材60に覆われている。この構成により、各信号端子44A, 44Bは、樹脂部材60に支持されている。端子部442は、パッド部441に繋がり、かつ、樹脂部材60から露出している。各信号端子44A, 44Bは、端子部442において屈曲する。

[0056] 一对の信号端子45A, 45Bは、図5および図6などに示すように、接続部材50（後述の第1接続ワイヤ54）を介して、一对のゲート層24A, 24Bにそれぞれ導通する。信号端子45Aには、複数の半導体素子10Aを駆動させるための駆動信号が入力される（たとえばゲート電圧が印加される）。信号端子45Aは、複数の半導体素子10Aの駆動信号入力用の端

子（ゲート信号入力端子）である。信号端子45Bには、複数の半導体素子10Bを駆動させるための駆動信号が入力される（たとえばゲート電圧が印加される）。信号端子45Bは、複数の半導体素子10Bの駆動信号入力用の端子（ゲート信号入力端子）である。

[0057] 一对の信号端子45A, 45Bはそれぞれ、図6に示すように、パッド部451および端子部452を含む。各信号端子45A, 45Bにおいて、パッド部451は、樹脂部材60に覆われている。この構成により、各信号端子45A, 45Bは、樹脂部材60に支持されている。端子部452は、パッド部451に繋がり、かつ、樹脂部材60から露出している。各信号端子45A, 45Bは、端子部452において屈曲する。

[0058] 複数の信号端子46A, 46B, 47A, 47Bはそれぞれ、図5および図6などに示すように、複数の接続部材50のいずれも接続されず、他の構成要素と導通しない。半導体装置A1において、複数の信号端子46A, 46B, 47A, 47Bはそれぞれ、ダミー端子である。半導体装置A1は、これらの信号端子46A, 46B, 47A, 47Bを備えない構成としてもよい。

[0059] 一对の信号端子46A, 46Bはそれぞれ、図6に示すように、パッド部461および端子部462を含む。各信号端子46A, 46Bにおいて、パッド部461は、樹脂部材60に覆われている。この構成により、各信号端子46A, 46Bは、樹脂部材60に支持されている。端子部462は、パッド部461に繋がり、かつ、樹脂部材60から露出している。各信号端子46A, 46Bは、端子部462において屈曲する。一对の信号端子47A, 47Bはそれぞれ、パッド部471および端子部472を含む。各信号端子47A, 47Bにおいて、パッド部471は、樹脂部材60に覆われている。この構成により、各信号端子47A, 47Bは、樹脂部材60に支持されている。端子部472は、パッド部471に繋がり、かつ、樹脂部材60から露出している。各信号端子47A, 47Bは、端子部472において屈曲する。

- [0060] 複数の接続部材50は、互いに離間した2つの部材間を導通させる。複数の接続部材50は、図4～図6に示すように、複数のゲートワイヤ51、複数の検出ワイヤ52、複数のソースワイヤ53、一对の第1接続ワイヤ54、および、一对の第2接続ワイヤ55を含む。
- [0061] 複数のゲートワイヤ51、複数の検出ワイヤ52、複数のソースワイヤ53、一对の第1接続ワイヤ54および一对の第2接続ワイヤ55はそれぞれ、いわゆるボンディングワイヤである。複数のソースワイヤ53の構成材料は、Cu、Cu合金あるいはCuを含む複合材である。各ソースワイヤ53は、いわゆるCuワイヤである。複数のゲートワイヤ51、複数の検出ワイヤ52、一对の第1接続ワイヤ54、および、一对の第2接続ワイヤ55の各構成材料は、たとえばAl、Au、Cuのいずれかである。
- [0062] 複数のゲートワイヤ51はそれぞれ、図5および図6に示すように、各半導体素子10の第2電極12（ゲート電極）に接合され、他端が一对のゲート層24A、24Bのいずれかに接合されている。複数のゲートワイヤ51には、各半導体素子10Aの第2電極12とゲート層24Aとを導通させるものと、各半導体素子10Bの第2電極12とゲート層24Bとを導通させるものとがある。
- [0063] 複数の検出ワイヤ52はそれぞれ、図5および図6に示すように、各半導体素子10の第3電極13（ソースセンス電極）に接合され、他端が一对の検出層25A、25Bのいずれかに接合されている。複数の検出ワイヤ52には、各半導体素子10Aの第3電極13と検出層25Aとを導通させるものと、各半導体素子10Bの第3電極13と検出層25Bとを導通させるものとがある。各半導体素子10に第3電極13がない場合には、各検出ワイヤ52は、第2電極12に接合される。
- [0064] 複数のソースワイヤ53はそれぞれ、図5、図6および図10に示すように、各半導体素子10の第1電極11（ソース電極）に接合され、他端が導電性基板22Bあるいは入力端子42のパッド部421（帯状部421a）のいずれかに接合されている。複数のソースワイヤ53には、各半導体素子

10Aの第1電極11と導電性基板22Bとを導通させるものと、各半導体素子10Bの第1電極11と入力端子42とを導通させるものがある。ソースワイヤ53が、「接続部材」の一例である。各ソースワイヤ53の線径（直径）は、特に限定されないが、一例では $25\mu\text{m}$ 以上 $500\mu\text{m}$ 以下である。

[0065] 一对の第1接続ワイヤ54は、図5および図6に示すように、その一方がゲート層24Aと信号端子45A（ゲート信号入力端子）とを接続し、その他方がゲート層24Bと信号端子45B（ゲート信号入力端子）とを接続する。一方の第1接続ワイヤ54は、一端がゲート層24Aに接合され、他端が信号端子45Aのパッド部451に接合されており、これらを導通している。他方の第1接続ワイヤ54は、一端がゲート層24Bに接合され、他端が信号端子45Bのパッド部451に接合されており、これらを導通している。

[0066] 一对の第2接続ワイヤ55は、図5および図6に示すように、その一方が検出層25Aと信号端子44A（ソース信号検出端子）とを接続し、その他方が検出層25Bと信号端子44B（ソース信号検出端子）とを接続する。一方の第2接続ワイヤ55は、一端がゲート層24Aに接合され、他端が信号端子44Aのパッド部441に接合されており、これらを導通している。他方の第2接続ワイヤ55は、一端がゲート層24Bに接合され、他端が信号端子44Bのパッド部441に接合されており、これらを導通している。

[0067] 樹脂部材60は、図4、図5および図10に示すように、複数の半導体素子10、支持基板20（ただし、一对の絶縁基板21A、21Bの各裏面212を除く）、各端子41～43、44A～47A、44B～47Bの一部ずつ、および、複数の接続部材50を覆っている。樹脂部材60の構成材料は、たとえばエポキシ樹脂である。樹脂部材60は、図4、図5および図10などに示すように、樹脂主面61、樹脂裏面62および複数の樹脂側面631～634を有する。

[0068] 樹脂主面61と樹脂裏面62とは、図10などに示すように、z方向に離

間する。樹脂主面 6 1 は、 z 2 方向を向き、樹脂裏面 6 2 は、 z 1 方向を向く。樹脂裏面 6 2 は、図 8 に示すように、平面視において、一对の絶縁基板 2 1 A, 2 1 B の各裏面 2 1 2 を囲む枠状である。一对の絶縁基板 2 1 A, 2 1 B の各裏面 2 1 2 は、樹脂裏面 6 2 から露出する。複数の樹脂側面 6 3 1 ~ 6 3 4 はそれぞれ、樹脂主面 6 1 および樹脂裏面 6 2 の双方に繋がり、かつ、 z 方向においてこれらに挟まれている。図 3 ~ 図 5、図 7 および図 8 に示すように、樹脂側面 6 3 1 と樹脂側面 6 3 2 とは、 x 方向に離間する。樹脂側面 6 3 1 は、 x 1 方向を向き、樹脂側面 6 3 2 は、 x 2 方向を向く。樹脂側面 6 3 1 から、2 つの入力端子 4 1, 4 2 が突き出ており、樹脂側面 6 3 2 から、出力端子 4 3 が突き出ている。図 3 ~ 図 5、図 7 および図 8 に示すように、樹脂側面 6 3 3 と樹脂側面 6 3 4 とは、 y 方向に離間する。樹脂側面 6 3 3 は、 y 1 方向を向き、樹脂側面 6 3 4 は、 y 2 方向を向く。樹脂側面 6 3 3 から、複数の信号端子 4 4 A ~ 4 7 A, 4 4 B ~ 4 7 B が突き出ている。

[0069] 樹脂部材 6 0 は、図 8 および図 1 0 に示すように、樹脂裏面 6 2 から z 方向に窪んだ凹部 6 5 を含んでいる。凹部 6 5 は、平面視において、図 8 に示すように、支持基板 2 0 を囲う環状に形成されている。なお、凹部 6 5 の形状、配置、および、数などは、図 8 および図 1 0 に示す例に限定されない。また、樹脂部材 6 0 に凹部 6 5 が形成されていなくてもよい。

[0070] 次に、半導体装置 A 1 の製造方法について、図 1 2 ~ 図 1 6 を参照して、説明する。

[0071] まず、図 1 2 に示すように、支持基板 2 0 を準備し、支持基板 2 0 上に複数の半導体素子 1 0 を搭載する。準備する支持基板 2 0 は、一对の絶縁基板 2 1 A, 2 1 B および一对の導電性基板 2 2 A, 2 2 B を含んでいる。導電性基板 2 2 A は、絶縁基板 2 1 A 上に配置され、導電性基板 2 2 B は、絶縁基板 2 1 B 上に配置されている。また、導電性基板 2 2 A 上には、絶縁層 2 3 A、ゲート層 2 4 A および検出層 2 5 A が形成され、導電性基板 2 2 B 上には、絶縁層 2 3 B、ゲート層 2 4 B および検出層 2 5 B が形成されている。

。複数の半導体素子 10 のうち複数の半導体素子 10 A は、支持基板 20 の導電性基板 22 A 上に、たとえばはんだなどの導電性接合材を介して接合する。同様に、複数の半導体素子 10 のうち複数の半導体素子 10 B は、支持基板 20 の導電性基板 22 B 上に、たとえばはんだなどの導電性接合材を介して接合する。

[0072] 次いで、図 13 に示すように、各半導体素子 10 の第 1 電極 11 上に金属板 30 を固相拡散により接合する。固相拡散接合する工程（固相拡散接合工程）においては、まず、各半導体素子 10 の第 1 電極 11 に各金属板 30 を接触させる。このとき、各第 1 電極 11 の表面層 112 と、各金属板 30 の第 1 金属層 32 とを互いに接触させる。そして、表面層 112 と第 1 金属層 32 とを固相拡散により互いに接合させる。固相拡散の条件として、接合時の温度はたとえば 330℃であり、接合時の圧力はたとえば 65 MPa である。固相拡散の条件において、接合時の温度は 250℃以上 350℃以下の範囲であればよく、また、接合時の圧力は 30 MPa 以上 80 MPa 以下の範囲であればよい。これにより、各第 1 電極 11 の表面層 112 と各金属板 30 の第 1 金属層 32 とが固相拡散により互いに接合する。固相拡散は、大気中で行う場合を想定しているが、真空中で行ってもよい。以上により、各金属板 30 が各第 1 電極 11 に接合される。

[0073] 次いで、図 14 に示すように、複数のゲートワイヤ 51、複数の検出ワイヤ 52 および一部のソースワイヤ 53 を接合する。複数のゲートワイヤ 51 はそれぞれ、各半導体素子 10 の第 2 電極 12（ゲート電極）と一対のゲート層 24 A、24 B のいずれかとに接合される。複数の検出ワイヤ 52 はそれぞれ、各半導体素子 10 の第 3 電極 13（ソースセンス電極）と一対の検出層 25 A、25 B のいずれかとに接合される。一部のソースワイヤ 53 はそれぞれ、各半導体素子 10 A 上に配置された金属板 30 と導電性基板 22 B とに接合される。当該ソースワイヤ 53 は、金属板 30 と導電性基板 22 B とのどちら側が先に接合されてもよいが、好ましくは、金属板 30 に先に接合する。複数のゲートワイヤ 51、複数の検出ワイヤ 52 および一部のソ

ースワイヤ53の接合方法はそれぞれ、特に限定されないが、一例では、複数のゲートワイヤ51および複数の検出ワイヤ52はそれぞれ、たとえばキャピラリを用いたボールボンディングあるいはステッチボンディングにより接合され、各ソースワイヤ53は、たとえばウェッジツールを用いたウェッジボンディングにより接合される。

[0074] 次いで、図15に示すように、リードフレーム40を支持基板20上に配置する。リードフレーム40は、2つの入力端子41、42、出力端子43および複数の信号端子44A～47A、44B～47Bを含む。リードフレーム40においては、2つの入力端子41、42、出力端子43および複数の信号端子44A～47A、44B～47Bは、互いに繋がっている。リードフレーム40を支持基板20上に配置する工程では、ブロック材419を介して入力端子41を導電性基板22Aに接合し、ブロック材439を介して出力端子43を導電性基板22Bに接合する。このとき、2つの入力端子41、42、出力端子43および複数の信号端子44A～47A、44B～47Bは、リードフレーム40において、互いに繋がっているため、支持基板20に接合されない入力端子42および複数の信号端子44A～47A、44B～47Bは、支持基板20から離間した状態で支持される。

[0075] 次いで、図16に示すように、残りのソースワイヤ53を接合する。この残りのソースワイヤ53はそれぞれ、半導体素子10Bの金属板30と入力端子42のパッド部421（帯状部421a）とに接合される。各ソースワイヤ53は、金属板30とパッド部421の帯状部421aとのどちら側が先に接合されてもよいが、好ましくは、金属板30に先に接合する。各ソースワイヤ53は、たとえばウェッジツールを用いたウェッジボンディングにより接合される。また、図16に示すように、一对の第1接続ワイヤ54および一对の第2接続ワイヤ55を接合する。一对の第1接続ワイヤ54は、一方がゲート層24Aと信号端子45Bとに接合され、他方がゲート層24Bと信号端子45Bとに接合される。一对の第2接続ワイヤ55は、一方が検出層25Aと信号端子44Aとに接合され、他方が検出層25Bと信号端

子44Bとに接合される。残りのソースワイヤ53、一对の第1接続ワイヤ54および一对の第2接続ワイヤ55の接合方法はそれぞれ、特に限定されないが、一例では、残りのソースワイヤ53は、たとえばウェッジツールを用いたウェッジボンディングにより接合され、一对の第1接続ワイヤ54および一对の第2接続ワイヤ55は、たとえばキャピラリを用いたボールボンディングあるいはステッチボンディングにより接合される。

[0076] 次いで、樹脂部材60を形成する。樹脂部材60の形成は、たとえば周知のトランスファー成形機または圧縮成形機を用いる。樹脂部材60としては、たとえば絶縁性のエポキシ樹脂を用いる。樹脂部材60を形成する工程では、半導体素子10、支持基板20の一部、複数の金属板30、各端子41～43、44A～47A、44B～47Bの一部ずつ、複数のゲートワイヤ51、複数の検出ワイヤ52、複数のソースワイヤ53、一对の第1接続ワイヤ54および一对の第2接続ワイヤ55を覆うように、樹脂部材60を形成する。形成された樹脂部材60から、リードフレーム40が部分的に露出している。

[0077] 次いで、樹脂部材60から露出するリードフレーム40を切り取り、各入力端子41、入力端子42、出力端子43および複数の信号端子44A～47A、44B～47Bに分割し、各複数の信号端子44A～47A、44B～47Bを適宜折り曲げる。

[0078] 以上の工程により、図1～図11に示す半導体装置A1が形成される。上述の半導体装置A1の製造方法は、一例であって、これに限定されない。たとえば、複数の半導体素子10を支持基板20に搭載してから、固相拡散接合工程を行う例を示したが、各半導体素子10を支持基板20に搭載する前に、固相拡散接合工程を行ってもよい。

[0079] 半導体装置A1の作用および効果は、次の通りである。

[0080] 半導体装置A1は、金属板30を備えている。金属板30は、第1電極11の上に配置されている。金属板30には、接続部材50（ソースワイヤ53）が接合されている。この構成によると、第1電極11と接続部材50と

の間に金属板30を挟んでいるため、接続部材50を第1電極11に直接接合する場合よりも、第1電極11に加わる荷重を抑制できる。つまり、第1電極11へのダメージが抑制され、第1電極11の破損が抑制できる。したがって、半導体装置A1は、半導体素子10の破損が抑制され、信頼性が向上する。

[0081] 半導体装置A1では、ソースワイヤ53（接続部材50）は、ボンディングワイヤであり、その構成材料がCuを含む金属である。つまり、ソースワイヤ53（接続部材50）として、銅ワイヤを用いている。銅ワイヤは、アルミワイヤよりも電気抵抗および熱抵抗を同時に低減できるが、アルミワイヤよりも硬く半導体素子10へのダメージが大きい。つまり、ソースワイヤ53（接続部材50）に銅ワイヤを用いた場合、ソースワイヤ53を第1電極11に直接接合すると、半導体素子10へのダメージが大きく、半導体素子10の破損（クラックの発生など）が顕著となる。そこで、半導体装置A1では、上記するように、金属板30によって、ソースワイヤ53を接合する際の第1電極11へのダメージを抑制している。そのため、ソースワイヤ53（接続部材50）に銅ワイヤを用いる場合において、金属板30を設けて半導体素子10の破損を抑制することが、より有効である。なお、半導体装置A1と異なる半導体装置において、第1電極11の構成材料をCuにし、かつ、z方向の厚さを5～50 μ m程度まで大きくすることで、銅ワイヤからなる接続部材50を接合しつつ、第1電極11の破損を抑制することも可能である。しかしながら、この場合、第1電極11を含む半導体素子10の構成が特別な構造となり、製造コストの増加が懸念される。一方、半導体装置A1においては、第1電極11と接続部材50との間に金属板30を挟んだ構造であるため、半導体素子10の構成を特別な構造にする必要がない。よって、半導体装置A1は、製造コストの増加を抑制しつつ、半導体素子10の破損を抑制できる。

[0082] 半導体装置A1は、金属板30と第1電極11とが固相拡散によって互いに接合されている。半導体装置A1と異なる半導体装置において、金属板3

0（金属基材31）を、たとえば銀焼成材などで第1電極11に接合することが考えられる。この場合、金属板30（金属基材31）のz1方向を向く面に予め銀焼成材などが形成されているものを利用することがある。このような銀焼結材が形成された金属板30は、ペースト状の銀焼結材を乾燥状態にしておく必要があるため、高価である。一方、半導体装置A1においては、金属板30は、金属基材31に第1金属層32をスパッタリング法や真空蒸着によって成膜されたものであるため、相対的に安価にできる。したがって、半導体装置A1は、製造コストの増加を抑制しつつ、半導体素子10の破損を抑制できる。

[0083] 半導体装置A1では、金属板30が金属基材31に第1金属層32が積層された構成である。また、第1電極11は、素地層111と表面層112とが積層された構成である。そして、金属板30を第1電極11に固相拡散接合する際、第1金属層32と素地層111とを接触させ、所定の条件下（たとえば温度330℃、圧力65MPa）で固相拡散している。この構成によると、第1電極11の表面層112と金属板30の第1金属層32との間には分子結合された部分R2（界面がない部分R2）が形成されている。したがって、半導体装置A1は、第1電極11と金属板30とを固相拡散接合することができる。また、分子結合された部分R2があるため、第1電極11と金属板30との接合強度を向上させることができる。

[0084] 半導体装置A1では、金属板30は、金属基材31を含み、金属基材31の厚さ（z方向の寸法）は、30μm以上200μm以下である。この構成によると、金属板30の厚さを適度に確保できるため、接続部材50を金属板30に接合する際の荷重により、第1電極11へのダメージが抑制される。したがって、半導体装置A1は、半導体素子10の破損が抑制され、信頼性が向上する。

[0085] 図17は、第2実施形態にかかる半導体装置B1を示している。図17は、半導体装置B1を示す断面図であって、図10の断面に対応する。

[0086] 半導体装置B1は、半導体装置A1と比較して、支持基板20の構成が異

なる。半導体装置 B 1 の支持基板 2 0 は、いわゆる D B C (Direct Bonded Copper) 基板である。この支持基板 2 0 は、D B C 基板ではなく、D B A (Direct Bonded Aluminum) 基板であってもよい。半導体装置 B 1 の支持基板 2 0 は、図 1 7 に示すように、絶縁基板 2 6、一对の主面金属層 2 7 A、2 7 B および裏面金属層 2 8 を含んでいる。

[0087] 絶縁基板 2 6 は、絶縁基板 2 1 A、2 1 B と同様に、たとえば熱伝導性に優れたセラミックスからなる。絶縁基板 2 6 は、たとえば平面視矩形状である。絶縁基板 2 6 は、図 1 7 に示すように、主面 2 6 1 および裏面 2 6 2 を有する。主面 2 6 1 と裏面 2 6 2 とは、z 方向に離間する。主面 2 6 1 は、z 2 方向を向き、裏面 2 6 2 は、z 1 方向を向く。

[0088] 一对の主面金属層 2 7 A、2 7 B は、図 1 7 に示すように、絶縁基板 2 6 の主面 2 6 1 上に形成されている。一对の主面金属層 2 7 A、2 7 B の各構成材料は、たとえば Cu である。当該構成材料は、Cu ではなく、Al であってもよい。一对の主面金属層 2 7 A、2 7 B は、x 方向に離間する。主面金属層 2 7 A は、主面金属層 2 7 B の x 1 方向側に位置する。主面金属層 2 7 A は、導電性基板 2 2 A と同様に、複数の半導体素子 1 0 A が搭載される。主面金属層 2 7 B は、導電性基板 2 2 B と同様に、複数の半導体素子 1 0 B が搭載される。各主面金属層 2 7 A、2 7 B は、各導電性基板 2 2 A、2 2 B よりもそれぞれ薄い。本実施形態では、主面金属層 2 7 A が、「第 1 導電部材」の一例であり、主面金属層 2 7 B が、「第 2 導電部材」の一例である。

[0089] 裏面金属層 2 8 は、絶縁基板 2 6 の裏面 2 6 2 上に形成されている。裏面金属層 2 8 の構成材料は、各主面金属層 2 7 A、2 7 B と同じである。裏面金属層 2 8 は、樹脂部材 6 0 に覆われていてもよいし、z 1 方向を向く面が樹脂部材 6 0 (樹脂裏面 6 2) から露出していてもよい。

[0090] 半導体装置 B 1 の支持基板 2 0 の構成は、次のように変形することも可能である。たとえば、1 つの絶縁基板 2 6 ではなく、一对の主面金属層 2 7 A、2 7 B ごとに分割されていてもよい。つまり、半導体装置 A 1 と同様に 2

つの絶縁基板に分割され、各絶縁基板に一对の主面金属層 27A, 27B がそれぞれ形成されていてもよい。また、たとえば、1つの裏面金属層 28ではなく、2つの裏面金属層に分割されていてもよい。この場合、2つの裏面金属層は、x方向に離間し、平面視において、一对の主面金属層 27A, 27B にそれぞれ重なる。また、たとえば、一对の主面金属層 27A, 27B 上に、上述する一对の導電性基板 22A, 22B がそれぞれ搭載されていてもよい。

[0091] 半導体装置 B1 は、上記した構成以外は、半導体装置 A1 と同様に構成される。つまり、半導体装置 B1 の各半導体素子 10 においても、第1電極 11 上に金属板 30 が固相拡散によって接合され、金属板 30 上に各ソースワイヤ 53 が接合されている。

[0092] 半導体装置 B1 においても、半導体装置 A1 と同様に、半導体素子 10 の第1電極 11 上に金属板 30 が配置されている。金属板 30 は、接続部材 50 (ソースワイヤ 53) が接合されている。この構成によると、第1電極 11 と接続部材 50 との間に金属板 30 が挟まれているので、接続部材 50 を第1電極 11 に直接接合する場合よりも、第1電極 11 へのダメージが抑制される。したがって、半導体装置 B1 は、半導体装置 A1 と同様に、半導体素子 10 の破損が抑制され、信頼性が向上する。

[0093] 図18～図20は、第3実施形態にかかる半導体装置 C1 を示している。半導体装置 C1 は、半導体素子 10、金属板 30、複数の接続部材 50、樹脂部材 60 およびリードフレーム 70 を備えている。複数の接続部材 50 は、ゲートワイヤ 51、検出ワイヤ 52 および複数のソースワイヤ 53 を含む。

[0094] 図18は、半導体装置 C1 を示す斜視図である。図18においては、樹脂部材 60 を想像線（二点鎖線）で示している。図19は、半導体装置 C1 を示す平面図である。図19において、樹脂部材 60 を省略している。図20は、図19の XX-XX 線に沿う断面図である。

[0095] 半導体装置 C1 は、図18～図20に示すように、1つの半導体素子 10

を備えるディスクリート部品として構成されている。図18に示す例では、半導体装置C1は、TO (Transistor Outline) 型のパッケージ構造である。

[0096] リードフレーム70は、半導体素子10を搭載するとともに、半導体素子10に導通する。リードフレーム70は、電子機器などの回路基板に実装されることにより、半導体素子10と回路基板との導通経路をなす。リードフレーム70は、導電性材料よりなる。本実施形態における導電性材料としては、たとえばCuが挙げられるが、これに限定されず、Ni、または、CuやNiの合金、42アロイなどであってもよい。リードフレーム70は、平面視矩形状のCuなどの薄肉金属板から、打ち抜き加工、切り取り加工、曲げ加工などにより適切な形に形成される。リードフレーム70は、図18～図20に示すように、第1リード71、第2リード72、第3リード73およびダイパッド74を含んでいる。第1リード71、第2リード72、第3リード73およびダイパッド74は、互いに離間している。

[0097] 第1リード71は、半導体素子10の第1電極11（ソース電極）に導通する。第1リード71は、複数のソースワイヤ53を介して、第1電極11に導通する。第1リード71が、「第2導電部材」の一例である。第1リード71は、図19に示すように、ワイヤボンディング部711および複数の端子部712を含んでいる。

[0098] ワイヤボンディング部711は、各ソースワイヤ53の一端が接合される。ワイヤボンディング部711は、樹脂部材60に覆われている。

[0099] 複数の端子部712はそれぞれ、ワイヤボンディング部711に繋がり、一部が樹脂部材60から露出する。複数の端子部712は、1つを除いて、同じ形状である。複数の端子部712は、x方向に見て、互いに重なる。各端子部712は、半導体装置B1のソース端子として回路基板に接合される。

[0100] 第2リード72は、半導体素子10の第2電極12（ゲート電極）に導通する。第2リード72は、ゲートワイヤ51を介して、第2電極12に導通

する。第2リード72は、図19に示すように、ワイヤボンディング部721および端子部722を含んでいる。

[0101] ワイヤボンディング部721は、ゲートワイヤ51の一端が接合される。ワイヤボンディング部721は、樹脂部材60に覆われている。

[0102] 端子部722は、ワイヤボンディング部721に繋がり、一部が樹脂部材60から露出する。端子部722は、樹脂部材60から露出した部分において、一部が屈曲している。端子部722は、x方向に見て、複数の端子部712に重なる。端子部722は、半導体装置B1のゲート端子として回路基板に接合される。

[0103] 第3リード73は、半導体素子10の第3電極13（ソースセンス電極）に導通する。第3リード73は、検出ワイヤ52を介して、第3電極13に導通する。第3リード73は、図19に示すように、ワイヤボンディング部731および端子部732を含んでいる。

[0104] ワイヤボンディング部731は、検出ワイヤ52の一端が接合される。ワイヤボンディング部731は、樹脂部材60に覆われている。

[0105] 端子部732は、ワイヤボンディング部731に繋がり、一部が樹脂部材60から露出する。端子部732は、樹脂部材60から露出した部分において、一部が屈曲している。端子部732は、x方向に見て、複数の端子部712および端子部722に重なる。端子部732は、x方向において、複数の端子部712と端子部722とに挟まれている。端子部732は、半導体装置B1におけるソースセンス端子として回路基板に接合される。

[0106] ダイパッド74は、図18～図20に示すように、半導体素子10が搭載される。ダイパッド74の一部は、樹脂部材60に覆われており、他の部分は、樹脂部材60から露出している。ダイパッド74は、導電性接合材19（たとえばはんだ、金属ペースト、焼結金属など）を介して、半導体素子10の第4電極14（ドレイン電極）に導通する。ダイパッド74のz1方向を向く面は、樹脂部材60から露出している、ダイパッド74は、半導体装置B1におけるドレイン端子として回路基板に接合される。ダイパッド74

が、「第1導電部材」の一例である。

[0107] 半導体装置C1でも、図18に示すように金属板30は、第1電極11（半導体素子10）に固相拡散接合されている。また、金属板30には、複数のソースワイヤ53が接合されている。図18に示すように、各ソースワイヤ53は、金属板30に2回ボンディングされた後、ワイヤボンディング部711（第1リード71）にボンディングされている。このようにボンディングすることで、金属板30と各ソースワイヤ53との接合強度を高めるとともに、ソース電流の流れを円滑にできる。このようなボンディング方法は、第1実施形態および第2実施形態における金属板30に対しても適用することが可能である。

[0108] 半導体装置C1においても、各半導体装置A1、B1と同様に、半導体素子10の第1電極11上に金属板30が配置されている。金属板30は、接続部材50（ソースワイヤ53）が接合されている。この構成によると、第1電極11と接続部材50との間に金属板30が挟まれているので、接続部材50を第1電極11に直接接合する場合よりも、第1電極11へのダメージが抑制される。したがって、半導体装置C1は、各半導体装置A1、B1と同様に、半導体素子10の破損が抑制され、信頼性が向上する。

[0109] 第3実施形態では、半導体装置C1がTO型のパッケージ構造である例を示したが、これに限定されず、たとえば、SON（Small Outline No-lead）、QFN（Quad flat No-lead package）、SOP（Small Outline Package）、QFP（Quad Flat Package）などの他の周知のパッケージ型で構成されていてもよい。

[0110] 次に、第1実施形態ないし第3実施形態のそれぞれにおいて、適用される変形例について、説明する。以下の変形例では、第1実施形態の半導体装置A1に適用する場合を示すが、第2実施形態の半導体装置B1および第3実施形態の半導体装置C1にそれぞれ適用することも可能である。

[0111] 第1実施形態ないし第3実施形態において、各金属板30の構成は、上述の例に限定されない。次に、金属板30の他の構成例について、図21～図

23を参照して、説明する。

[0112] 図21は、金属板30の第1の変形例を示している。以下では、第1の変形例にかかる金属板30を金属板30Aとする。図21は、金属板30Aの構成を示す要部拡大断面図であって、図11に対応する。金属板30Aは、図21に示すように、金属板30と異なり（図11参照）、第2金属層33をさらに含む。

[0113] 第2金属層33は、z方向において、金属基材31と第1金属層32との間に積層されている。第2金属層33の構成材料は、たとえばA1である。この構成材料は、A1に限定されず、金属基材31よりも柔らかい材料であればよい。たとえば、ビッカース硬度を柔らかさの指標として、第2金属層33の構成材料は、金属基材31の構成材料よりも、ビッカース硬度が低いものであればよい。一例では、ビッカース硬度が30以下のものであればよい。柔らかさの指標としては、ビッカース硬度に限定されず、たとえばヤング率を用いてもよい。第2金属層33は、たとえばスパッタリング法や真空蒸着により成膜される。

[0114] 各金属板30において、金属基材31の構成材料がたとえばCuであり、かつ、各半導体素子10の構成材料がたとえば半導体材料である場合、これらの線膨張係数の差が大きい。そのため、半導体素子10の通電時の発熱により、これらの間に配置された第1金属層32と表面層112とに大きな熱応力が加わる。この熱応力は、第1金属層32と表面層112にクラックを発生させる要因である。そこで、金属基材31と第1金属層32との間に第2金属層33を設けることで、第2金属層33が上記熱応力を吸収する緩衝材として機能する。そのため、各金属板30Aを用いた場合、第1金属層32および表面層112にクラックが発生することを抑制できる。

[0115] 上記した第1の変形例では、各第2金属層33は、金属基材31よりもビッカース硬度が低い材料である場合を示したが、これに限定されず、たとえば、熱膨張係数が金属基材31と第1金属層32の間である材料を用いてもよい。この場合であっても、第2金属層33により、上記熱応力を緩和させ

ることができるので、第1金属層32および表面層112にクラックが発生することを抑制できる。

[0116] 図22は、金属板30の第2の変形例を示している。以下では、第2の変形例にかかる金属板30を金属板30Bとする。図22は、金属板30Bの構成を示す要部拡大断面図であって、図11に対応する。金属板30Bは、図22に示すように、金属板30Aと異なり（図21参照）、バリア層34をさらに含む。

[0117] バリア層34は、z方向において、第1金属層32と第2金属層33との間に積層されている。バリア層34は、金属基材31の構成材料（たとえばAg）が第2金属層33（たとえば構成材料がAl）に拡散することを防止するために設けられる。バリア層34の構成材料は、たとえばNiである。この構成材料は、Niに限定されず、第1金属層32および第2金属層33の各構成材料よりも拡散係数の小さいもの（たとえばPd、Ti、Cr、W、Irなど）であればよい。ただし、コスト、汎用性、プロセスの難易度、熱伝導性などの観点から、好ましくはNiが採用される。バリア層34は、たとえばスパッタリング法や真空蒸着により成膜される。

[0118] 金属板30Bによれば、バリア層34が拡散防止層として機能し、第2金属層33の第1金属層32への拡散を防止できる。

[0119] 図23は、金属板30の第3の変形例を示している。以下では、第3変形例にかかる金属板30を金属板30Cとする。図23は、金属板30Cの構成を示す要部拡大断面図であって、図11に対応する。金属板30Cは、図23に示すように、金属板30B（図22参照）と異なり、接着層35をさらに含む。

[0120] 接着層35は、z方向において、金属基材31と第2金属層33との間に積層されている。接着層35は、金属基材31と第2金属層33との接着をより強くするために設けられる。接着層35の構成材料は、たとえばNiである。この構成材料は、Niに限定されず、Tiであってもよい。接着層35は、たとえばスパッタリング法や真空蒸着により成膜される。

- [0121] 金属板 30C によれば、接着層 35 が剥離防止層として機能し、金属基材 31 と第 2 金属層 33 との界面における剥離を抑制できる。
- [0122] 図 24 は、金属板 30 の第 4 変形例を示している。以下では、第 4 変形例にかかる金属板 30 を金属板 30D とする。図 24 は、金属板 30D の構成を示す要部拡大断面図であって、図 11 に対応する。金属板 30D は、図 24 に示すように、金属板 30C (図 23) と異なり、中間層 36 をさらに含む。
- [0123] 中間層 36 は、z 方向において、第 2 金属層 33 とバリア層 34 との間に積層されている。中間層 36 は、第 2 金属層 33 とバリア層 34 との密着性を向上させる。第 2 金属層 33 の構成材料が Al であり、バリア層 34 の構成材料が Ni である場合において、中間層 36 の構成材料は、たとえば Ti である。中間層 36 は、たとえばスパッタリング法により成膜される。中間層 36 の厚さ (z 方向の寸法) は、たとえば $0.2\ \mu\text{m}$ 程度である。
- [0124] 金属板 30D によれば、中間層 36 が第 2 金属層 33 とバリア層 34 との密着性を向上させ、第 2 金属層 33 とバリア層 34 との界面における剥離を抑制できる。
- [0125] 図 24 に示す例では、中間層 36 が第 2 金属層 33 とバリア層 34 との間に積層された例を示したが、これに限定されない。たとえば、第 2 金属層 33 と接着層 35 との間に中間層 36 を積層させてもよいし、第 2 金属層 33 とバリア層 34 との間および第 2 金属層 33 と接着層 35 との間の両方に中間層 36 を設けてもよい。
- [0126] 第 1 実施形態ないし第 3 実施形態では、各半導体素子 10 は、支持基板 20 あるいはリードフレーム 70 に対して、導電性接合材により、接合された例を示したが、これに限定されない。たとえば、各半導体素子 10 は、支持基板 20 あるいはリードフレーム 70 に対して、固相拡散接合により接合されてもよい。図 25 は、このような変形例にかかる半導体装置の要部拡大断面図であって、第 1 実施形態 (半導体装置 A1) における図 11 に対応する。

[0127] 本変形例にかかる半導体装置は、図25に示すように、各導電性基板22A、22Bの表層にたとえばA1からなる金属箔220が形成されている。各金属箔220のz方向の寸法は、たとえば100 μ m程度である。半導体素子10A、10Bを各金属箔220に固相拡散接合する際の荷重により、各半導体素子10A、10Bは、各金属箔220に埋もれている。たとえば、各半導体素子10A、10Bは、各金属箔220に対して10 μ m程度埋もれている。本変形例においては、各半導体素子10を各導電性基板22A、22Bあるいはリードフレーム70に固相拡散接合する工程と、各金属板30を各半導体素子10の第1電極11に固相拡散接合する工程（固相拡散接合工程）とを一括して行ってもよい。

[0128] 図25に示す変形例では、半導体装置A1において、各半導体素子10を支持基板20（各導電性基板22A、22B）に固相拡散接合する例を示したが、これに限定されない。上述のとおり、半導体装置B1において、各主面金属層27A、27Bに半導体素子10を固相拡散接合してもよいし、半導体装置C1において、リードフレーム70（ダイパッド74）に半導体素子10を固相拡散接合してもよい。これらの場合においても、各主面金属層27A、27Bの表層には、あるいは、ダイパッド74の表層には、金属箔220が形成されている。また、各半導体素子10は、各金属箔220に少し埋もれた構成となる。

[0129] 第1実施形態ないし第3実施形態（これらの各変形例も含む）においては、金属板30は、金属基材31に少なくとも第1金属層32を積層させた例を示したが、これに限定されない。金属板30の金属基材31が、第1電極11に直接固相拡散可能な場合には、各金属板30は、第1金属層32を含んでいなくてもよい。また、第1電極11は、素地層111に少なくとも表面層112を積層させた例を示したが、これに限定されない。素地層111が、金属板30に直接固相拡散可能な場合には、各第1電極11は、表面層112を含んでいなくてもよい。たとえば、金属基材31がCuを含む金属からなり、素地層111もCuを含む金属からなる場合、金属板30に第1

金属層 32 を、第 1 電極 11 に表面層 112 を形成することなく、固相拡散することができる。

[0130] 第 1 実施形態ないし第 3 実施形態においては、接続部材 50 のソースワイヤ 53 は、ボンディングワイヤである場合を示したが、これに限定されない。たとえば、ソースワイヤ 53 が板状のリード部材であってもよい。リード部材は、超音波接合により、被接合対象に接合することがある。そこで、第 1 電極 11 上に金属板 30 を固相拡散接合しておくことで、この超音波接合時の振動や荷重によって、第 1 電極 11 が破損することを抑制できる。つまり、半導体素子 10 の破損を抑制し、この半導体装置の信頼性が向上する。また、リード部材は、レーザ接合により、被接合対象に接合することがある。このレーザ接合時において、レーザ照射によって熱が発生する。この熱が、半導体素子 10 の本体部分まで到達すると、半導体素子 10 を破損させる虞がある。そこで、第 1 電極 11 上に金属板 30 を固相拡散接合しておくことで、レーザ照射による熱が半導体素子 10 の本体まで伝達することを抑制できるので、レーザ照射による熱によって半導体素子 10 が破損することを抑制できる。

[0131] 本開示にかかる半導体装置および本開示の半導体装置の製造方法は、上記した実施形態に限定されるものではない。本開示の半導体装置の各部の具体的な構成、および、本開示の半導体装置の製造方法の具体的な処理は、種々に設計変更自在である。たとえば、本開示の半導体装置および本開示の半導体装置の製造方法は、以下の付記に関する実施形態を含む。

[付記 1]

厚さ方向において離間した素子主面および素子裏面を有しており、かつ、前記素子主面に主面電極が配置された半導体素子と、

前記素子裏面に対向し、かつ、前記半導体素子が接合された第 1 導電部材と、

前記第 1 導電部材と離間して配置された第 2 導電部材と、

前記主面電極および前記第 2 導電部材を導通させる接続部材と、

前記厚さ方向において前記主面電極および前記接続部材の間に介在する金属板と、

を備えており、

前記主面電極と前記金属板とが固相拡散により互いに接合されている、半導体装置。

[付記 2]

前記主面電極は、前記厚さ方向に積層された素地層および表面層を含み、

前記金属板は、前記表面層に接合されている、付記 1 に記載の半導体装置。

[付記 3]

前記主面電極は、前記厚さ方向において前記素地層と前記表面層とに挟まれた拡散防止層をさらに含む、付記 2 に記載の半導体装置。

[付記 4]

前記拡散防止層は、前記素地層および前記表面層の各構成材料よりも拡散係数が低い材料からなる、付記 3 に記載の半導体装置。

[付記 5]

前記素地層の構成材料は、AlCuである、付記 2 ないし付記 4 のいずれかに記載の半導体装置。

[付記 6]

前記金属板は、前記厚さ方向に接合された金属基材および第 1 金属層を含み、

前記金属基材は、前記厚さ方向に離間する基材主面および基材裏面を有し、

前記接続部材は、前記基材主面に接合され、

前記第 1 金属層は、前記基材裏面に形成されており、

前記第 1 金属層と前記表面層とが固相拡散接合されている、付記 2 ないし付記 5 のいずれかに記載の半導体装置。

[付記 7]

前記金属基材の前記厚さ方向の寸法は、 $30\text{ }\mu\text{m}$ 以上 $200\text{ }\mu\text{m}$ 以下である、付記6に記載の半導体装置。

[付記8]

前記金属基材の構成材料は、銅を含む、付記6または付記7に記載の半導体装置。

[付記9]

前記第1金属層と前記表面層とは、固相拡散接合可能な材料からなる、付記6ないし付記8のいずれかに記載の半導体装置。

[付記10]

前記第1金属層および前記表面層の各構成材料は、銀である、付記9に記載の半導体装置。

[付記11]

前記第1金属層と前記表面層との間には、界面がある部分と固相拡散接合によって結合された部分と、がある、付記6ないし付記10のいずれかに記載の半導体装置。

[付記12]

前記金属板は、前記厚さ方向において前記金属基材と前記第1金属層との間に積層された第2金属層をさらに含み、

前記第2金属層は、前記金属基材よりもビッカース硬度が低い、付記6ないし付記11のいずれかに記載の半導体装置。

[付記13]

前記第2金属層の構成材料は、Alである、付記12に記載の半導体装置。

[付記14]

前記金属板は、前記厚さ方向において前記第1金属層と前記第2金属層との間に積層された拡散防止層をさらに含む、付記12または付記13に記載の半導体装置。

[付記15]

前記拡散防止層の構成材料は、Niである、付記14に記載の半導体装置。

[付記16]

前記金属板は、前記厚さ方向において前記第2金属層と前記拡散防止層との間に積層された中間層をさらに含む、付記14または付記15に記載の半導体装置。

[付記17]

前記中間層の構成材料は、Tiである、付記16に記載の半導体装置。

[付記18]

前記金属板は、前記主面電極よりも前記厚さ方向の寸法が大きい、付記1ないし付記17のいずれかに記載の半導体装置。

[付記19]

前記接続部材は、銅を含む金属製のボンディングワイヤである、付記1ないし付記18のいずれかに記載の半導体装置。

[付記20]

前記ボンディングワイヤの線径は、 $25\mu\text{m}$ 以上 $500\mu\text{m}$ 以下である、付記19に記載の半導体装置。

[付記21]

前記半導体素子は、パワー半導体素子である、付記1ないし付記20のいずれかに記載の半導体装置。

[付記22]

厚さ方向において離間した素子主面および素子裏面を有し且つ前記素子主面に配置された主面電極を含む半導体素子と、前記半導体素子に導通する導電性の接続部材と、を備える半導体装置の製造方法であって、

金属板を前記主面電極に接触させ、加熱および加圧により前記金属板と前記主面電極とを固相拡散接合する固相拡散接合工程と、

前記接続部材を前記金属板に接合する接合工程と、を含む、半導体装置の製造方法。

符号の説明

[0132] A 1, B 1, C 1 : 半導体装置

1 0, 1 0 A, 1 0 B : 半導体素子

1 0 1 : 素子主面

1 0 2 : 素子裏面

1 1 : 第 1 電極

1 1 1 : 素地層

1 1 2 : 表面層

1 1 3 : バリア層

1 2 : 第 2 電極

1 3 : 第 3 電極

1 4 : 第 4 電極

1 5 : 絶縁膜

1 9 : 導電性接合材

2 0 : 支持基板

2 1 A, 2 1 B : 絶縁基板

2 1 1 : 主面

2 1 2 : 裏面

2 2 A, 2 2 B : 導電性基板

2 2 0 : 金属箔

2 2 1 : 主面

2 2 2 : 裏面

2 6 1 : 主面

2 6 2 : 裏面

2 3 A, 2 3 B : 絶縁層

2 4 A, 2 4 B : ゲート層

2 5 A, 2 5 B : 検出層

2 6 : 絶縁基板

27 A, 27 B : 主面金属層
28 : 裏面金属層
30, 30 A, 30 B, 30 C : 金属板
31 : 金属基材
31 1 : 基材主面
31 2 : 基材裏面
32 : 第1金属層
33 : 第2金属層
34 : バリア層
35 : 接着層
36 : 中間層
40 : リードフレーム
41 : 入力端子
41 1 : パッド部
41 2 : 端子部
41 9 : ブロック材
42 : 入力端子
42 1 : パッド部
42 1 a : 帯状部
42 1 b : 接続部
42 2 : 端子部
43 : 出力端子
43 1 : パッド部
43 2 : 端子部
43 9 : ブロック材
44 A～47 A, 44 B～47 B : 信号端子
44 1, 45 1, 46 1, 47 1 : パッド部
44 2, 45 2, 46 2, 47 2 : 端子部

- 5 0 : 接続部材
- 5 1 : ゲートワイヤ
- 5 2 : 検出ワイヤ
- 5 3 : ソースワイヤ
- 5 4 : 第 1 接続ワイヤ
- 5 5 : 第 2 接続ワイヤ
- 6 0 : 樹脂部材
- 6 1 : 樹脂主面
- 6 2 : 樹脂裏面
- 6 3 1 ~ 6 3 4 : 樹脂側面
- 6 5 : 凹部
- 7 0 : リードフレーム
- 7 1 : 第 1 リード
- 7 1 1, 7 2 1, 7 3 1 : ワイヤボンディング部
- 7 1 2, 7 2 2, 7 3 2 : 端子部
- 7 2 : 第 2 リード
- 7 3 : 第 3 リード
- 7 4 : ダイパッド

請求の範囲

- [請求項1] 厚さ方向において離間した素子主面および素子裏面を有しており、
かつ、前記素子主面に主面電極が配置された半導体素子と、
前記素子裏面に対向し、かつ、前記半導体素子が接合された第1導電部材と、
前記第1導電部材と離間して配置された第2導電部材と、
前記主面電極および前記第2導電部材を導通させる接続部材と、
前記厚さ方向において前記主面電極および前記接続部材の間に介在する金属板と、
を備えており、
前記主面電極と前記金属板とが固相拡散により互いに接合されている、半導体装置。
- [請求項2] 前記主面電極は、前記厚さ方向に積層された素地層および表面層を含み、
前記金属板は、前記表面層に接合されている、請求項1に記載の半導体装置。
- [請求項3] 前記主面電極は、前記厚さ方向において前記素地層と前記表面層とに挟まれた拡散防止層をさらに含む、請求項2に記載の半導体装置。
- [請求項4] 前記拡散防止層は、前記素地層および前記表面層の各構成材料よりも拡散係数が低い材料からなる、請求項3に記載の半導体装置。
- [請求項5] 前記素地層の構成材料は、AlCuである、請求項2ないし請求項4のいずれか一項に記載の半導体装置。
- [請求項6] 前記金属板は、前記厚さ方向に接合された金属基材および第1金属層を含み、
前記金属基材は、前記厚さ方向に離間する基材主面および基材裏面を有し、
前記接続部材は、前記基材主面に接合され、
前記第1金属層は、前記基材裏面に形成されており、

前記第 1 金属層と前記表面層とが固層拡散接合されている、請求項 2 ないし請求項 5 のいずれか一項に記載の半導体装置。

[請求項 7] 前記金属基材の前記厚さ方向の寸法は、 $30\text{ }\mu\text{m}$ 以上 $200\text{ }\mu\text{m}$ 以下である、請求項 6 に記載の半導体装置。

[請求項 8] 前記金属基材の構成材料は、銅を含む、請求項 6 または請求項 7 に記載の半導体装置。

[請求項 9] 前記第 1 金属層と前記表面層とは、固相拡散接合可能な材料からなる、請求項 6 ないし請求項 8 のいずれか一項に記載の半導体装置。

[請求項 10] 前記第 1 金属層および前記表面層の各構成材料は、銀である、請求項 9 に記載の半導体装置。

[請求項 11] 前記第 1 金属層と前記表面層との間には、界面がある部分と固相拡散接合によって結合された部分と、がある、請求項 6 ないし請求項 10 のいずれか一項に記載の半導体装置。

[請求項 12] 前記金属板は、前記厚さ方向において前記金属基材と前記第 1 金属層との間に積層された第 2 金属層をさらに含み、

前記第 2 金属層は、前記金属基材よりもビッカース硬度が低い、請求項 6 ないし請求項 11 のいずれか一項に記載の半導体装置。

[請求項 13] 前記第 2 金属層の構成材料は、Al である、請求項 12 に記載の半導体装置。

[請求項 14] 前記金属板は、前記厚さ方向において前記第 1 金属層と前記第 2 金属層との間に積層された拡散防止層をさらに含む、請求項 12 または請求項 13 に記載の半導体装置。

[請求項 15] 前記拡散防止層の構成材料は、Ni である、請求項 14 に記載の半導体装置。

[請求項 16] 前記金属板は、前記厚さ方向において前記第 2 金属層と前記拡散防止層との間に積層された中間層をさらに含む、請求項 14 または請求項 15 に記載の半導体装置。

[請求項 17] 前記中間層の構成材料は、Ti である、請求項 16 に記載の半導体

装置。

[請求項18] 前記金属板は、前記主面電極よりも前記厚さ方向の寸法が大きい、請求項1ないし請求項17のいずれか一項に記載の半導体装置。

[請求項19] 前記接続部材は、銅を含む金属製のボンディングワイヤである、請求項1ないし請求項18のいずれか一項に記載の半導体装置。

[請求項20] 前記ボンディングワイヤの線径は、 $25\mu\text{m}$ 以上 $500\mu\text{m}$ 以下である、請求項19に記載の半導体装置。

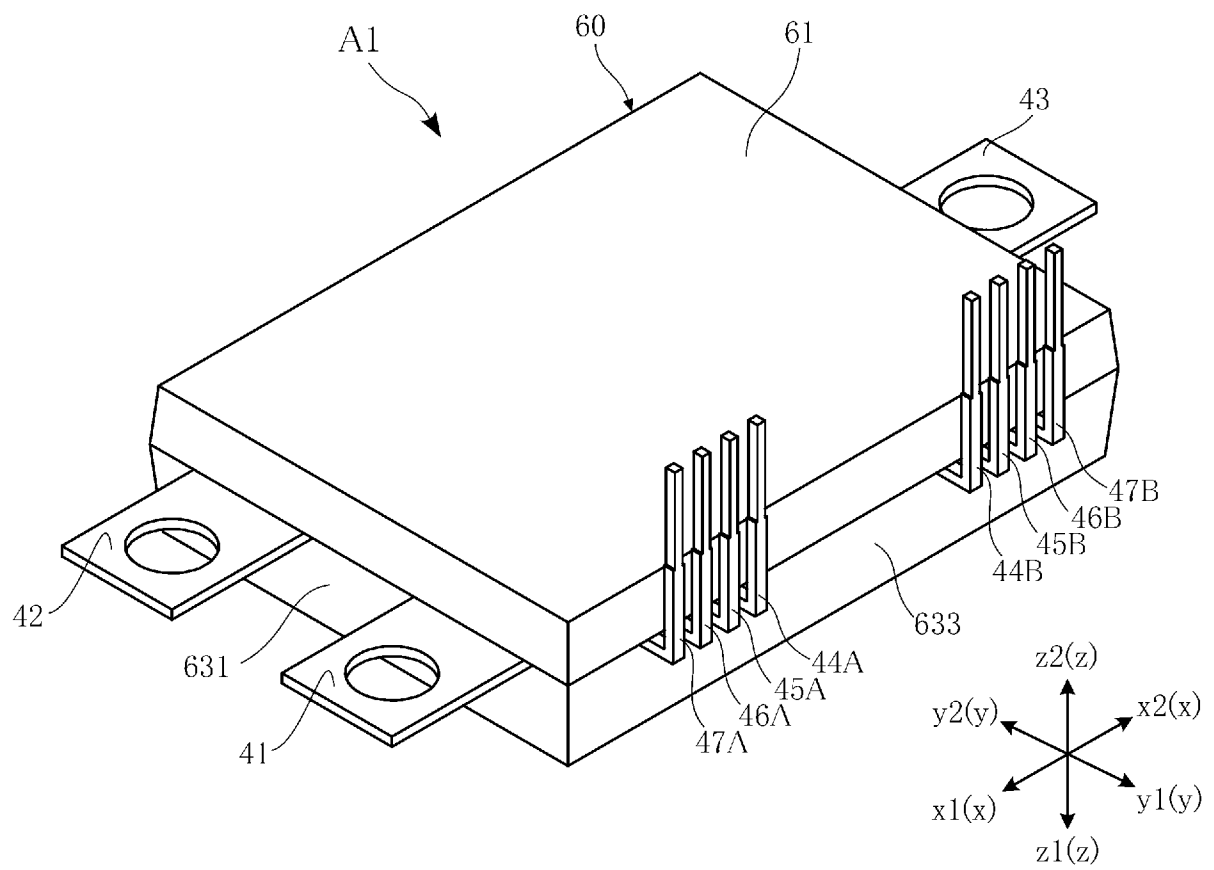
[請求項21] 前記半導体素子は、パワー半導体素子である、請求項1ないし請求項20のいずれか一項に記載の半導体装置。

[請求項22] 厚さ方向において離間した素子主面および素子裏面を有し且つ前記素子主面に配置された主面電極を含む半導体素子と、前記半導体素子に導通する導電性の接続部材と、を備える半導体装置の製造方法であって、

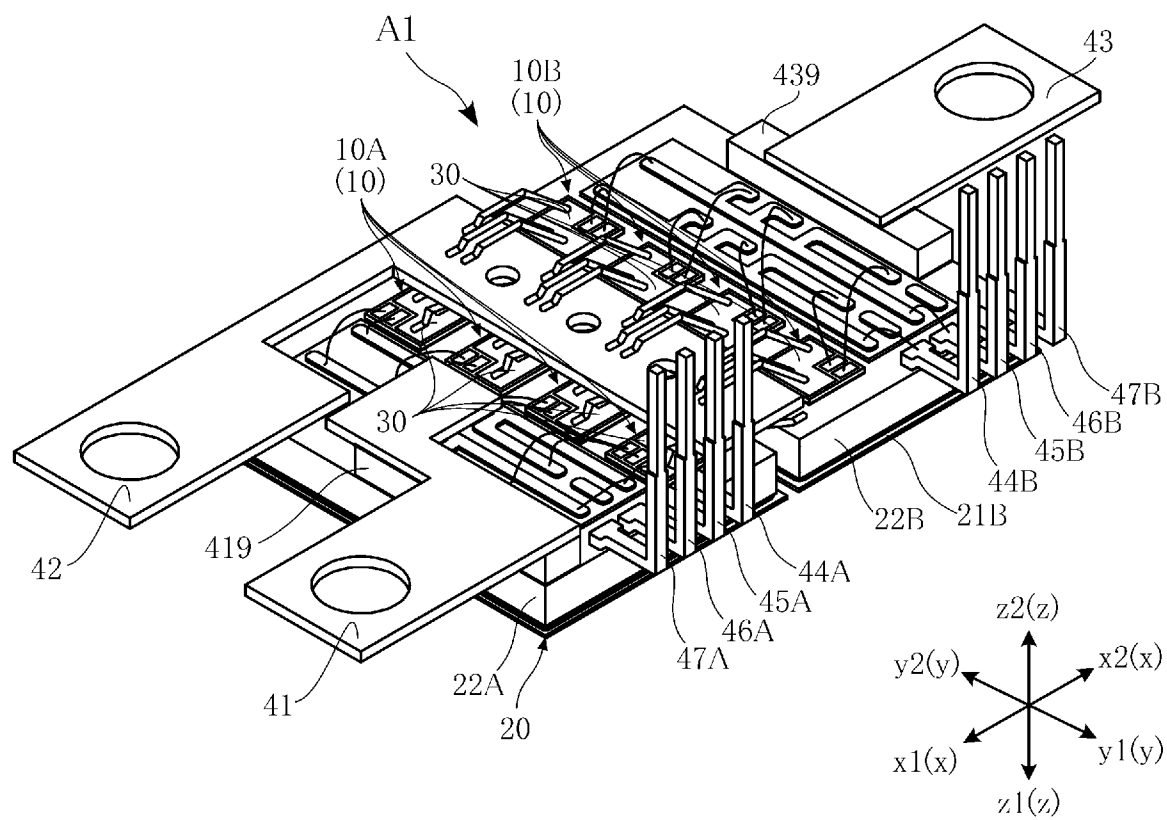
金属板を前記主面電極に接触させ、加熱および加圧により前記金属板と前記主面電極とを固相拡散接合する固相拡散接合工程と、

前記接続部材を前記金属板に接合する接合工程と、
を含む、半導体装置の製造方法。

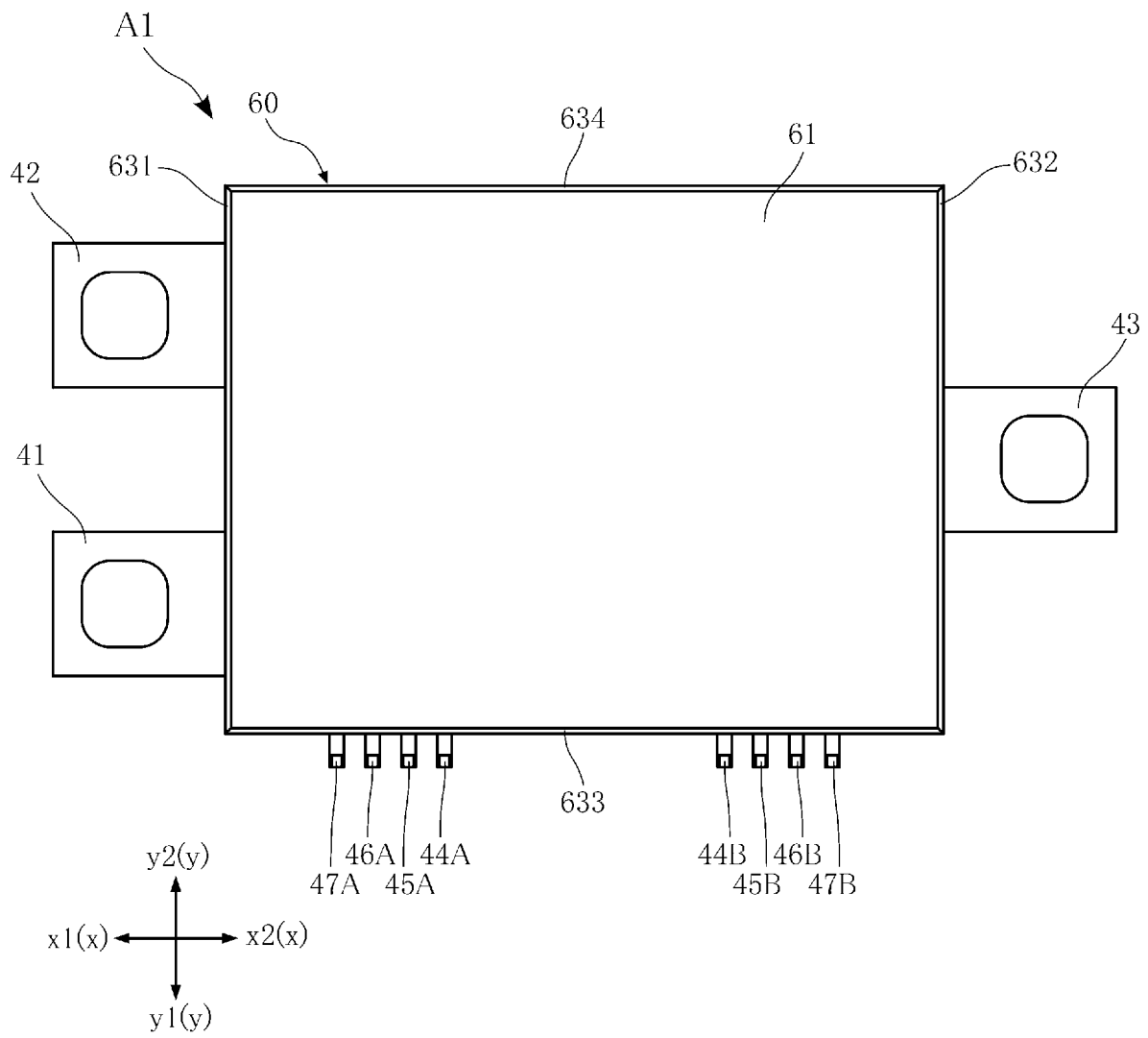
[図1]
FIG.1



[図2]
FIG.2



[図3]
FIG.3



[図4]

FIG.4 A1

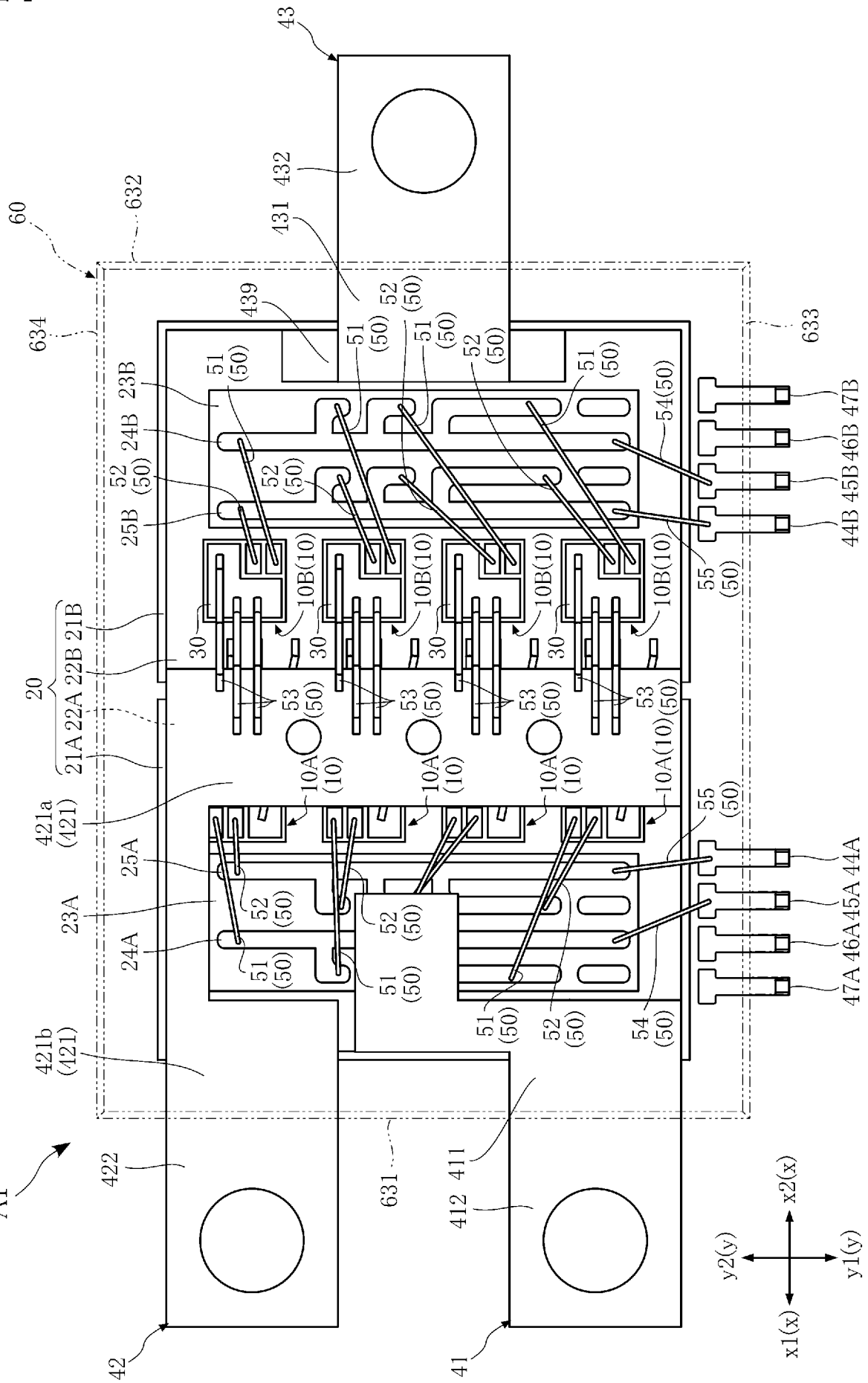
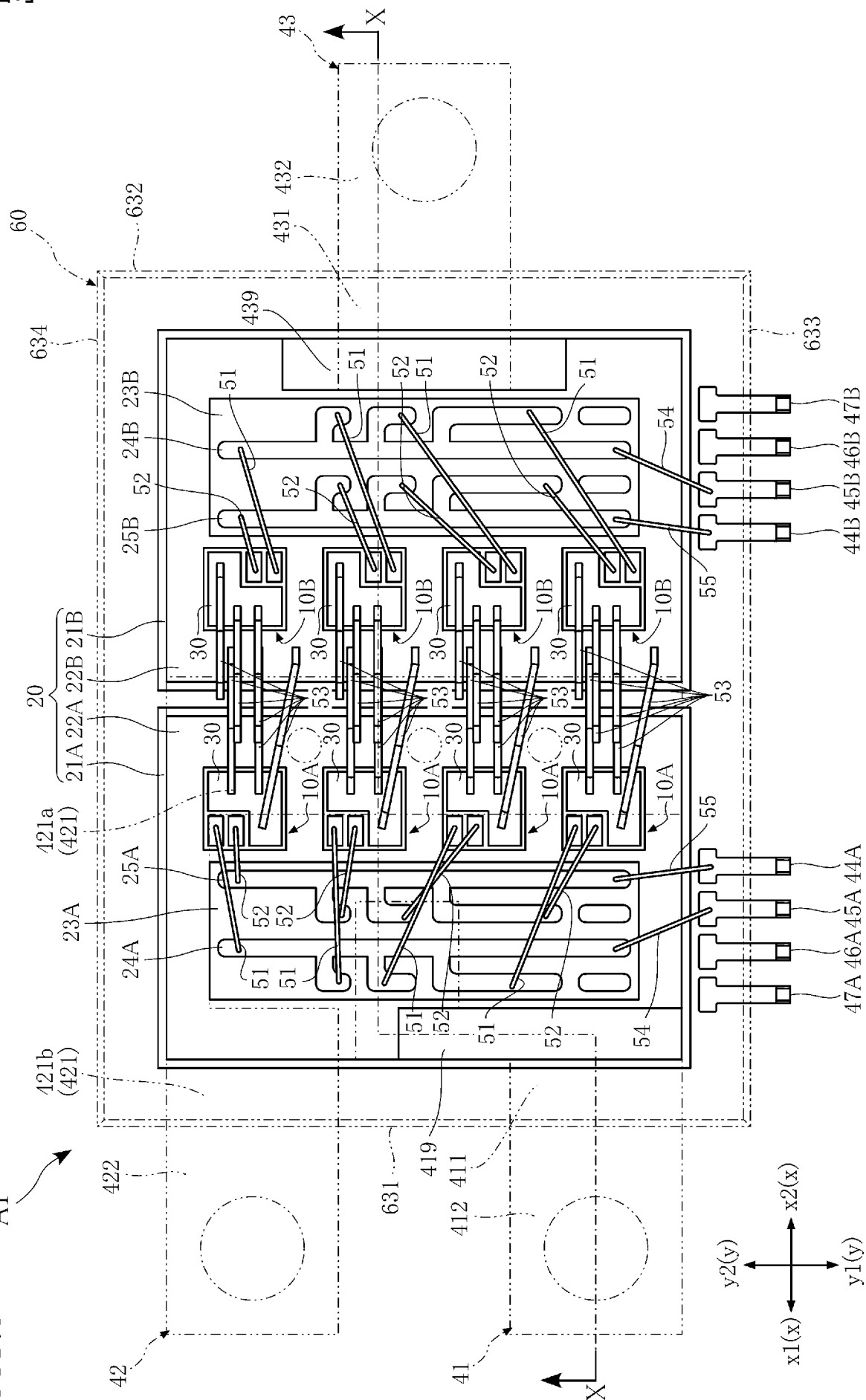


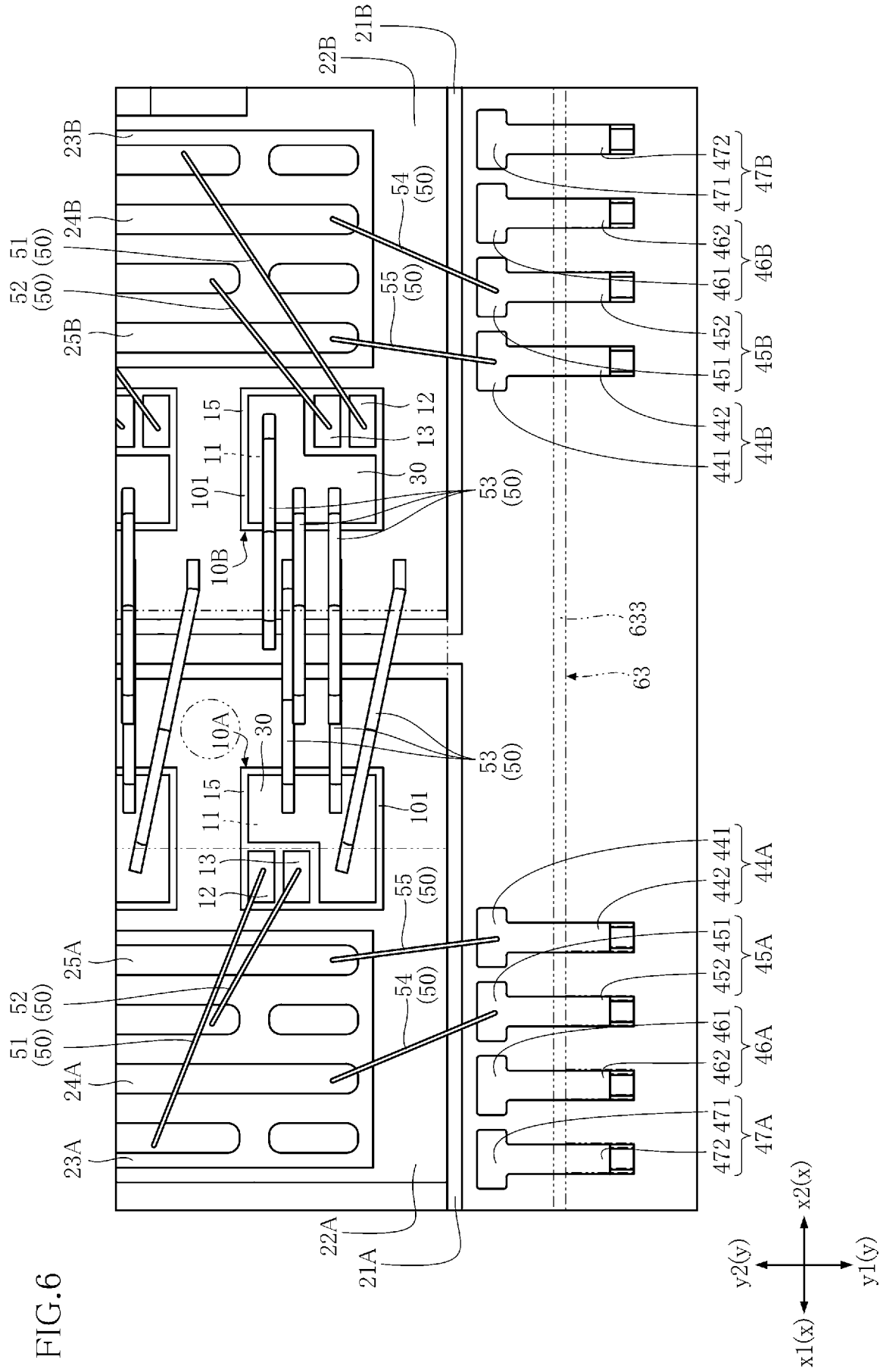
FIG. 5

A1

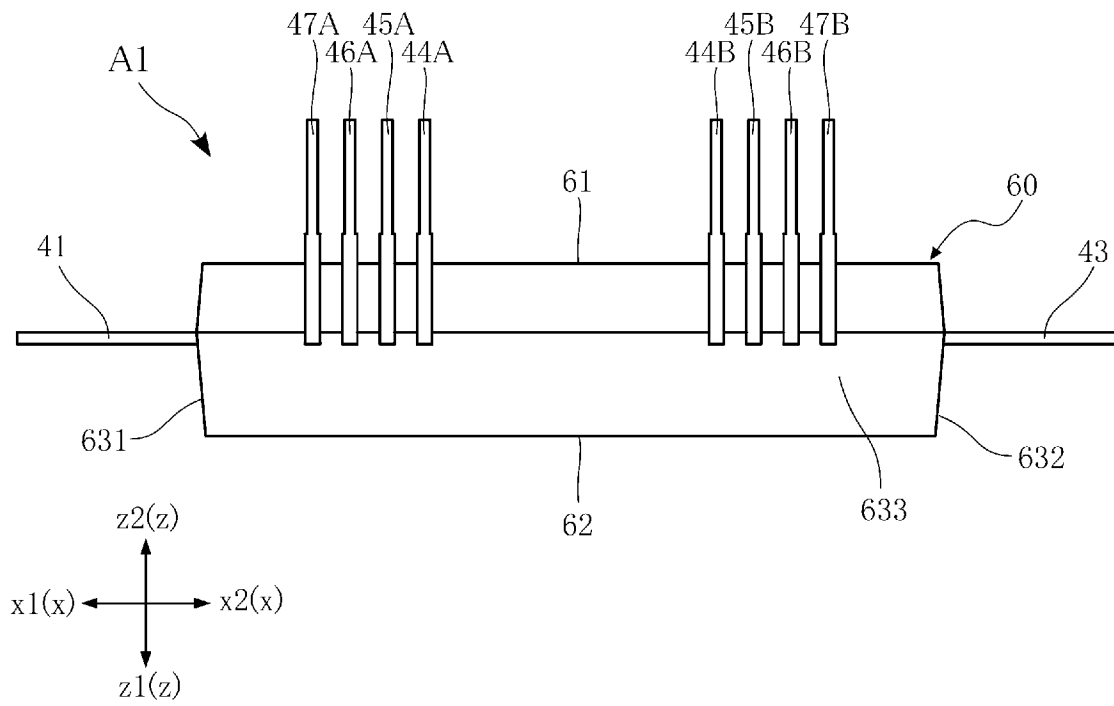
[図5]



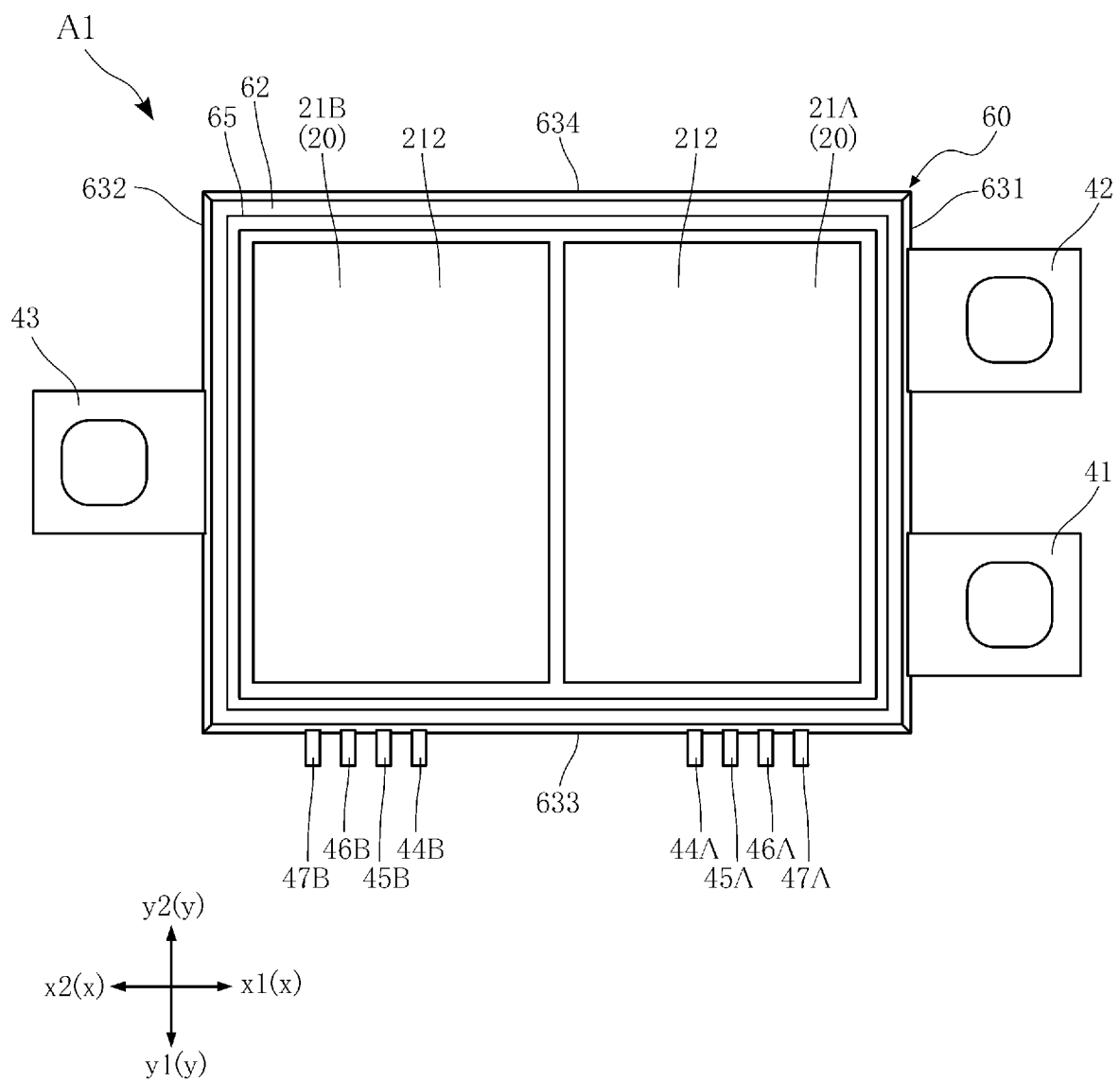
[図6]



[図7]
FIG.7

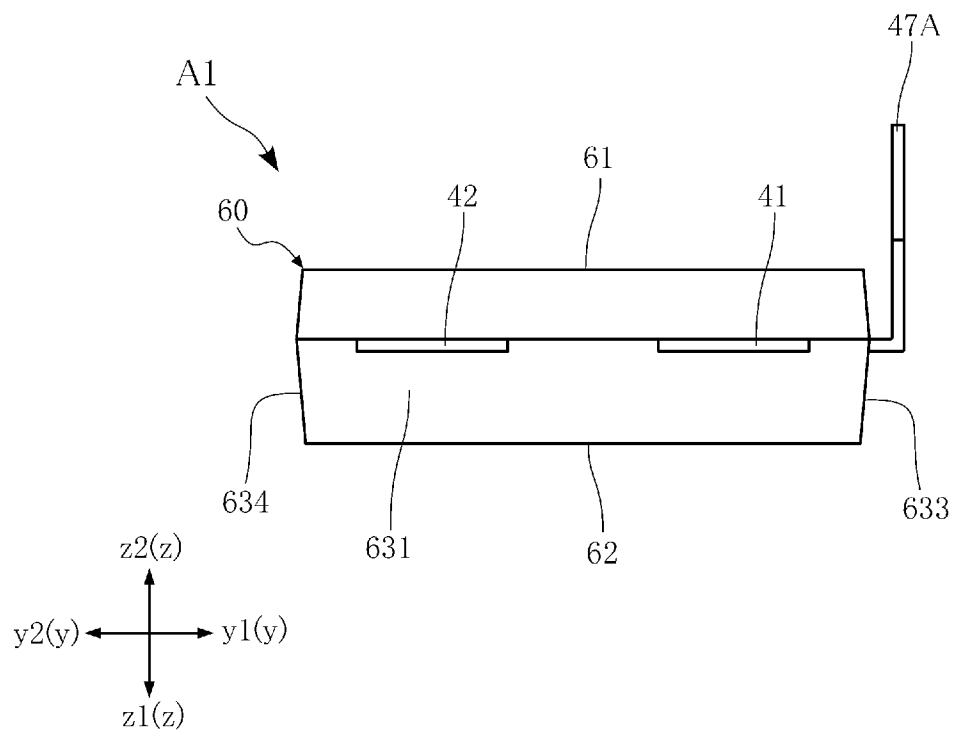


[図8]
FIG.8



[図9]

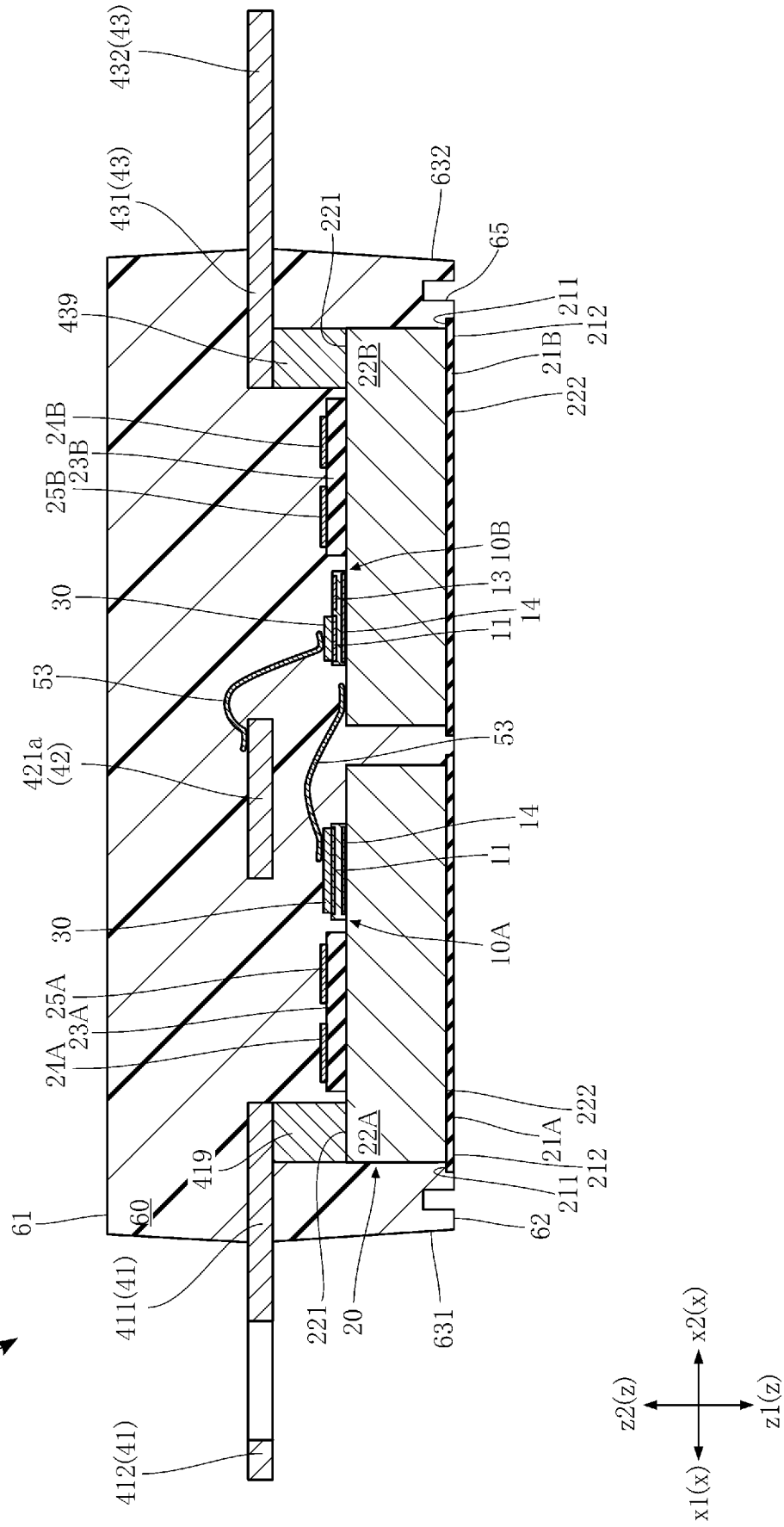
FIG.9



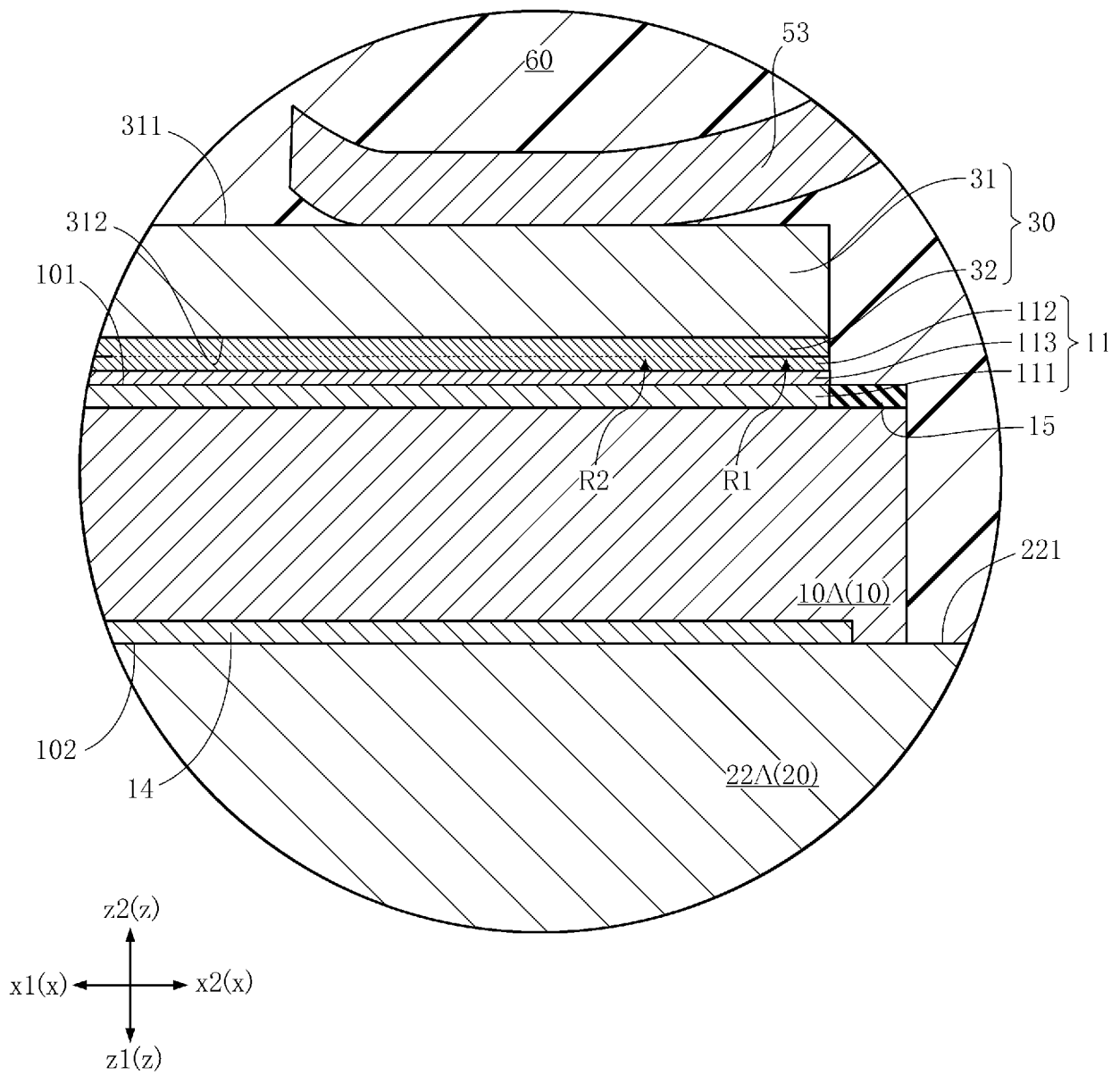
[図10]

FIG.10

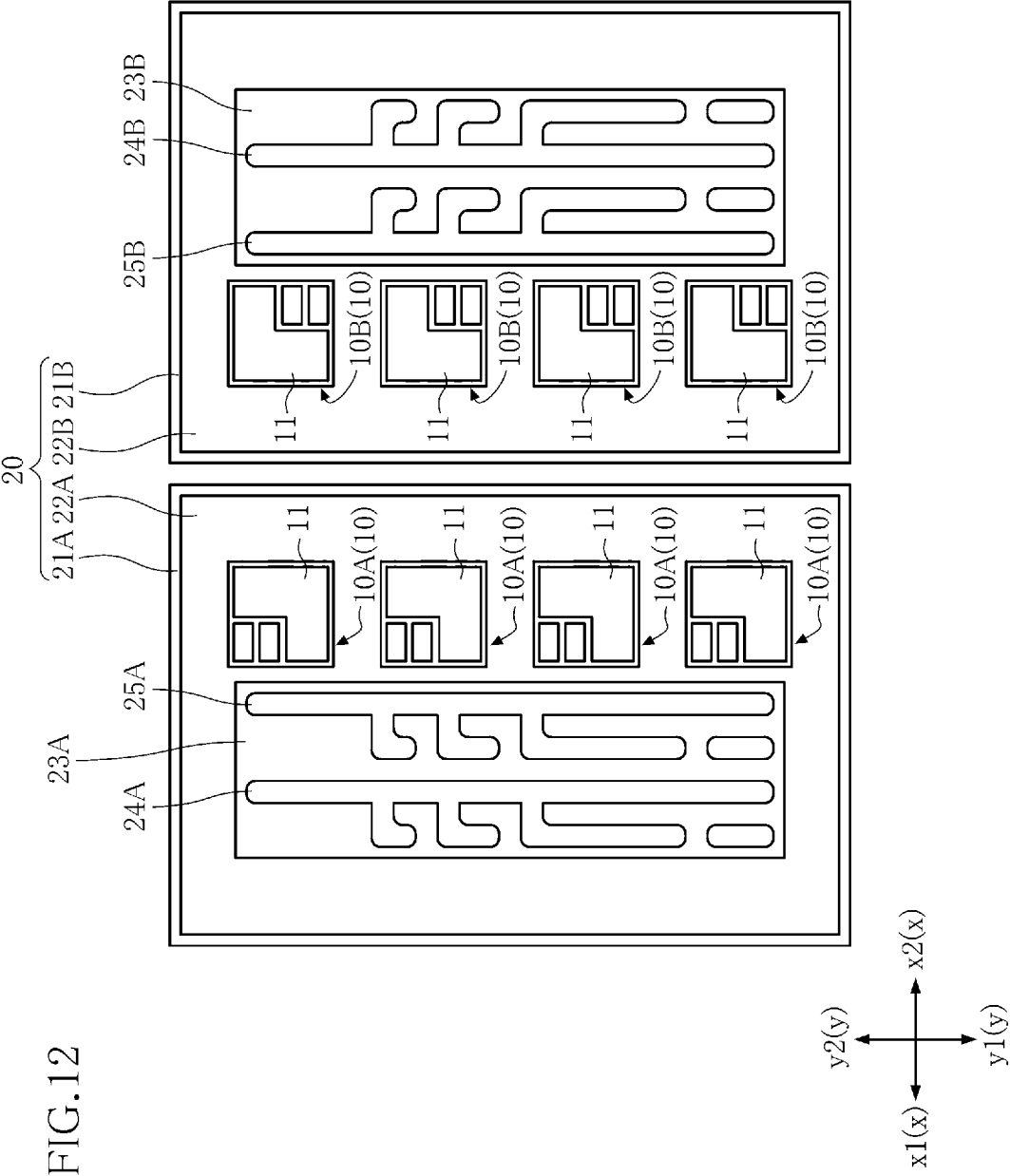
A1



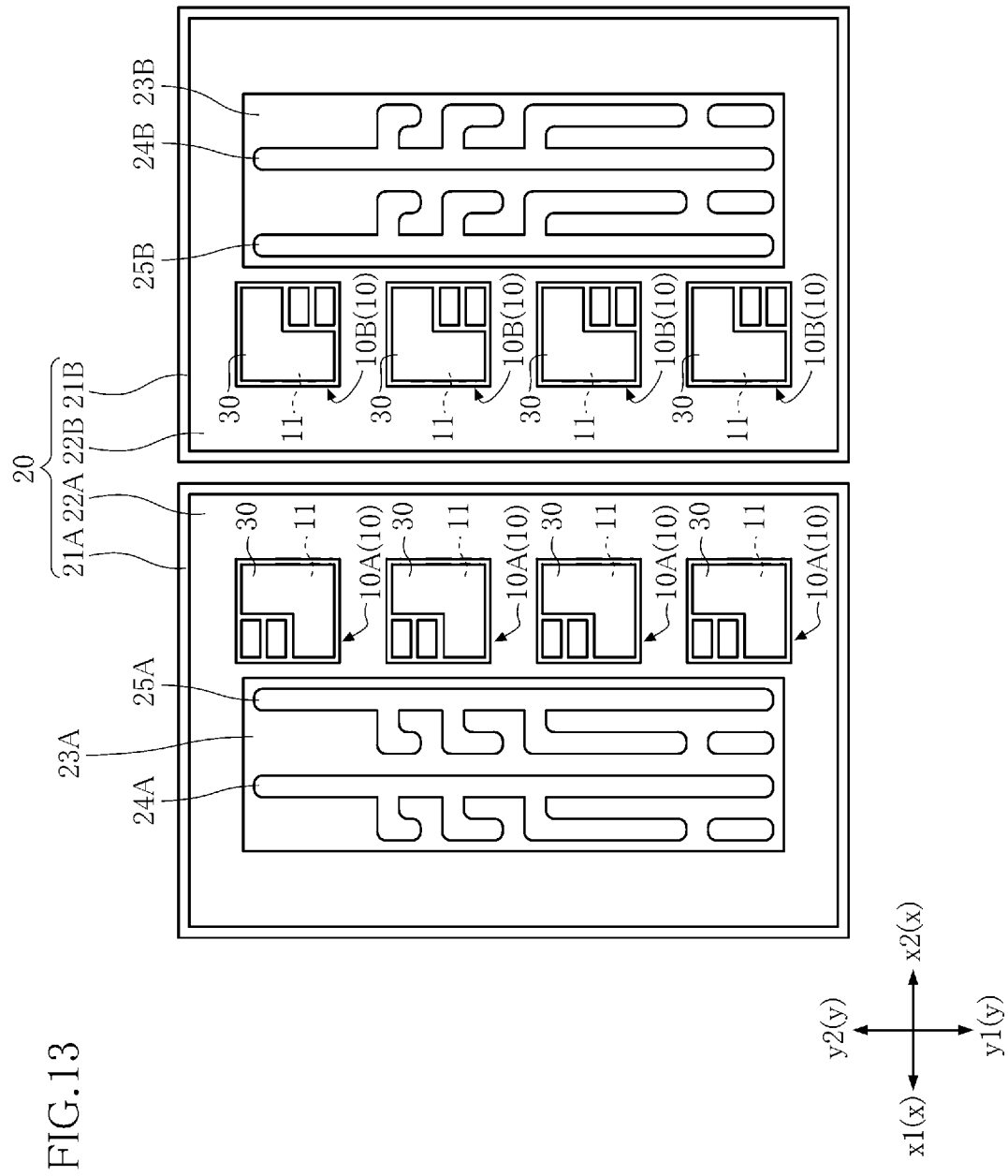
[図11]
FIG.11



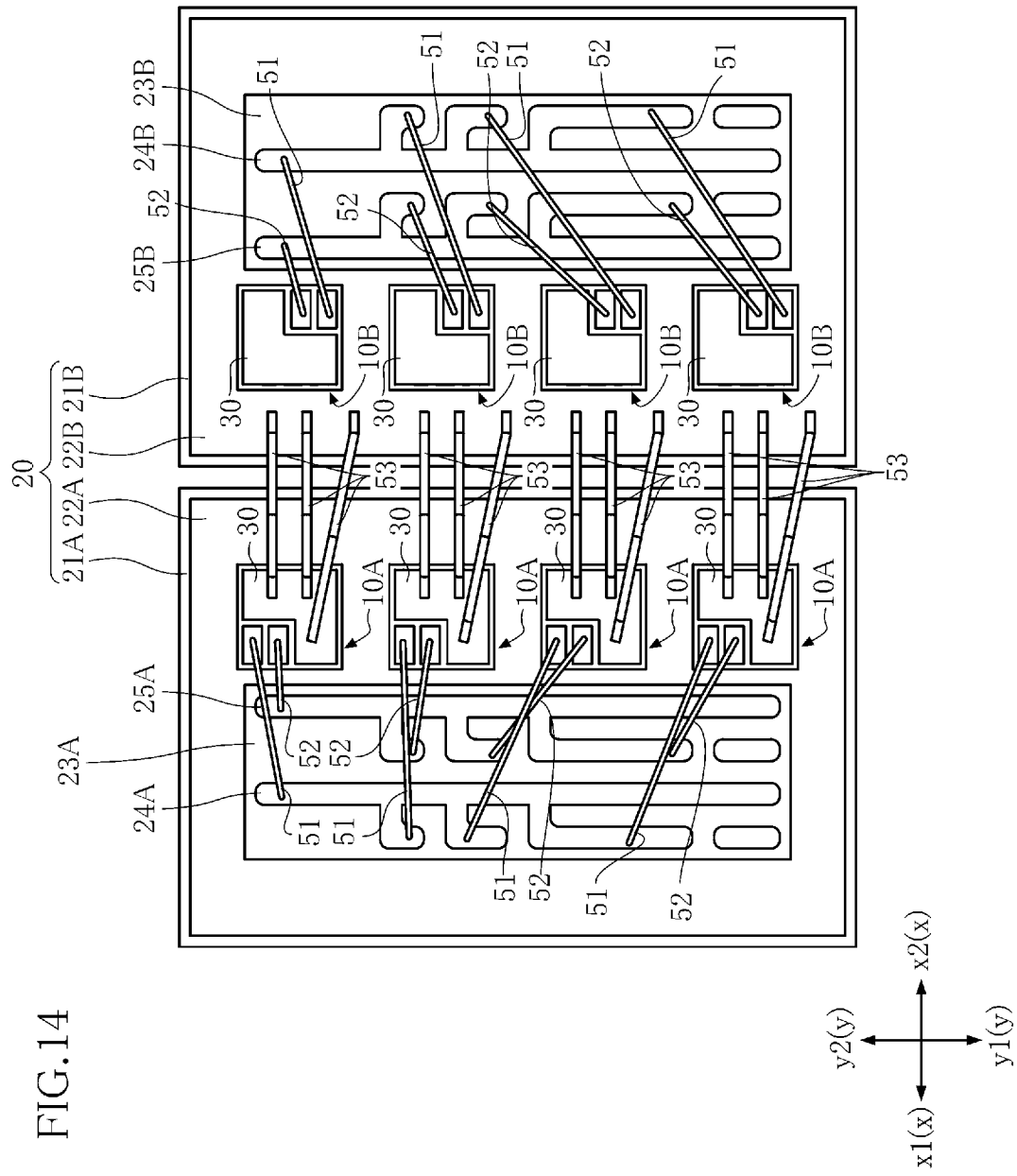
[図12]



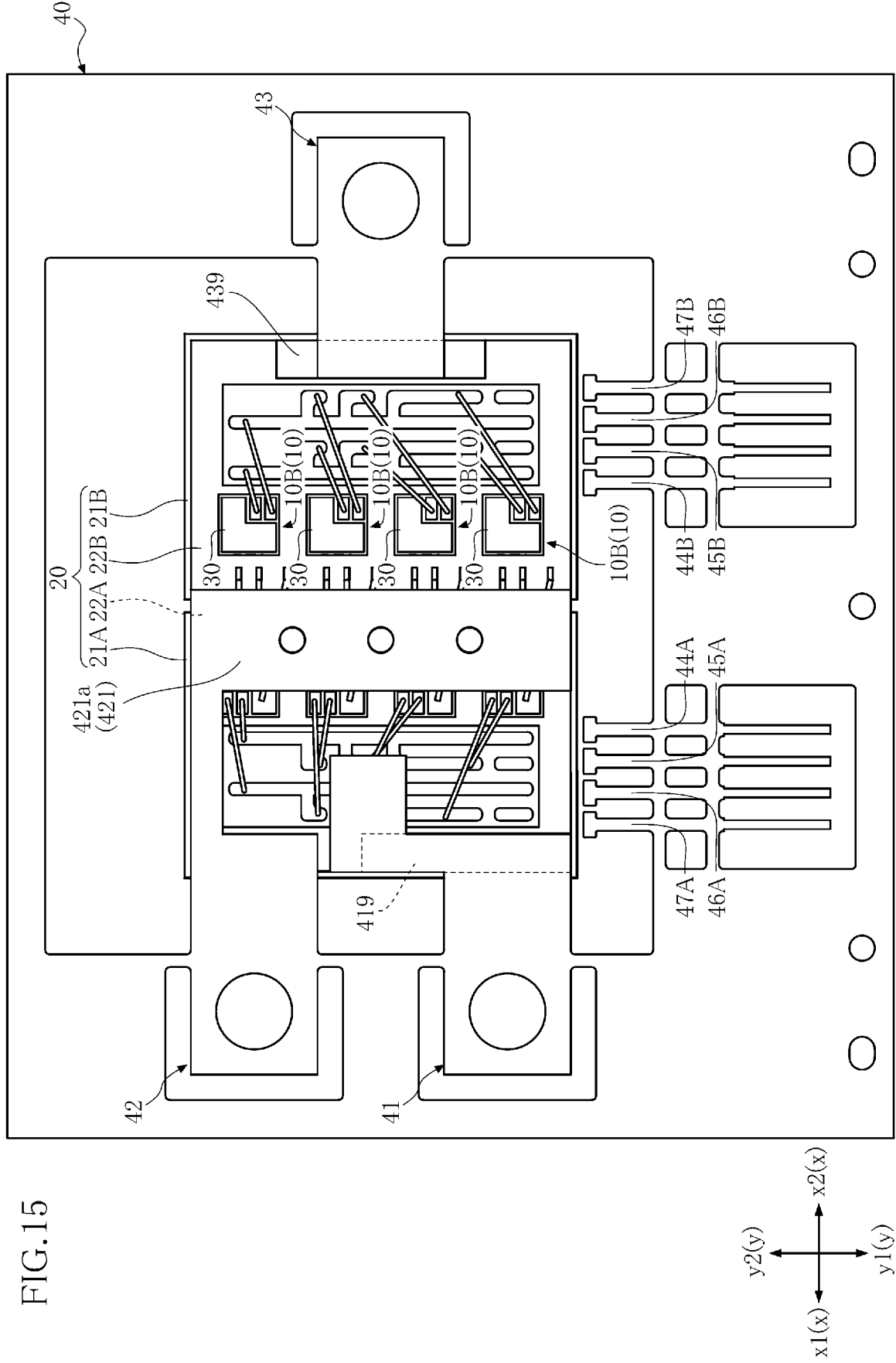
[図13]



[FIG.14]



[図15]



[図16]

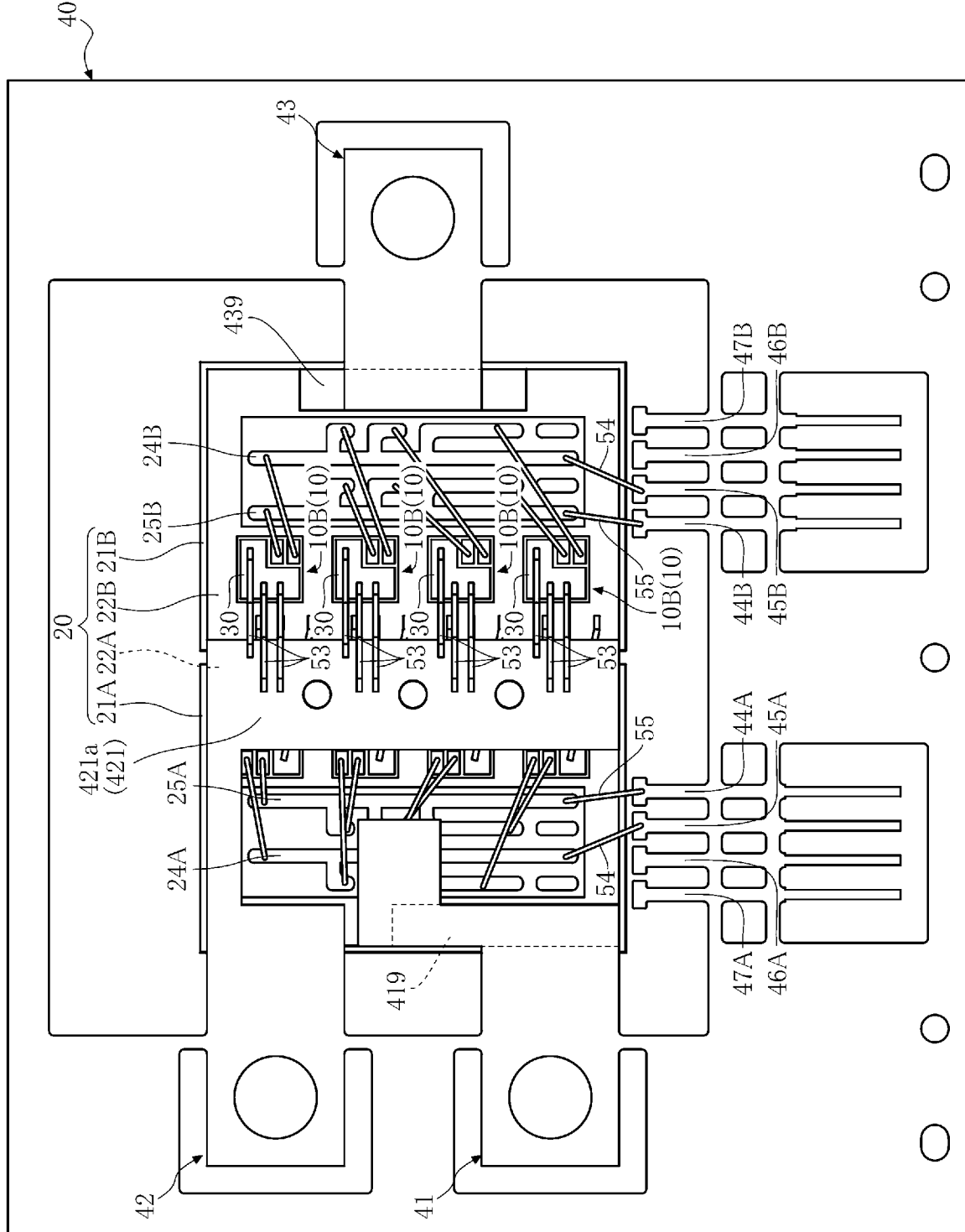


FIG.16

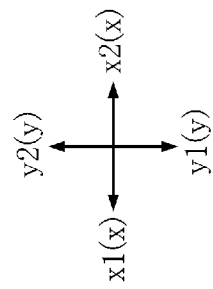
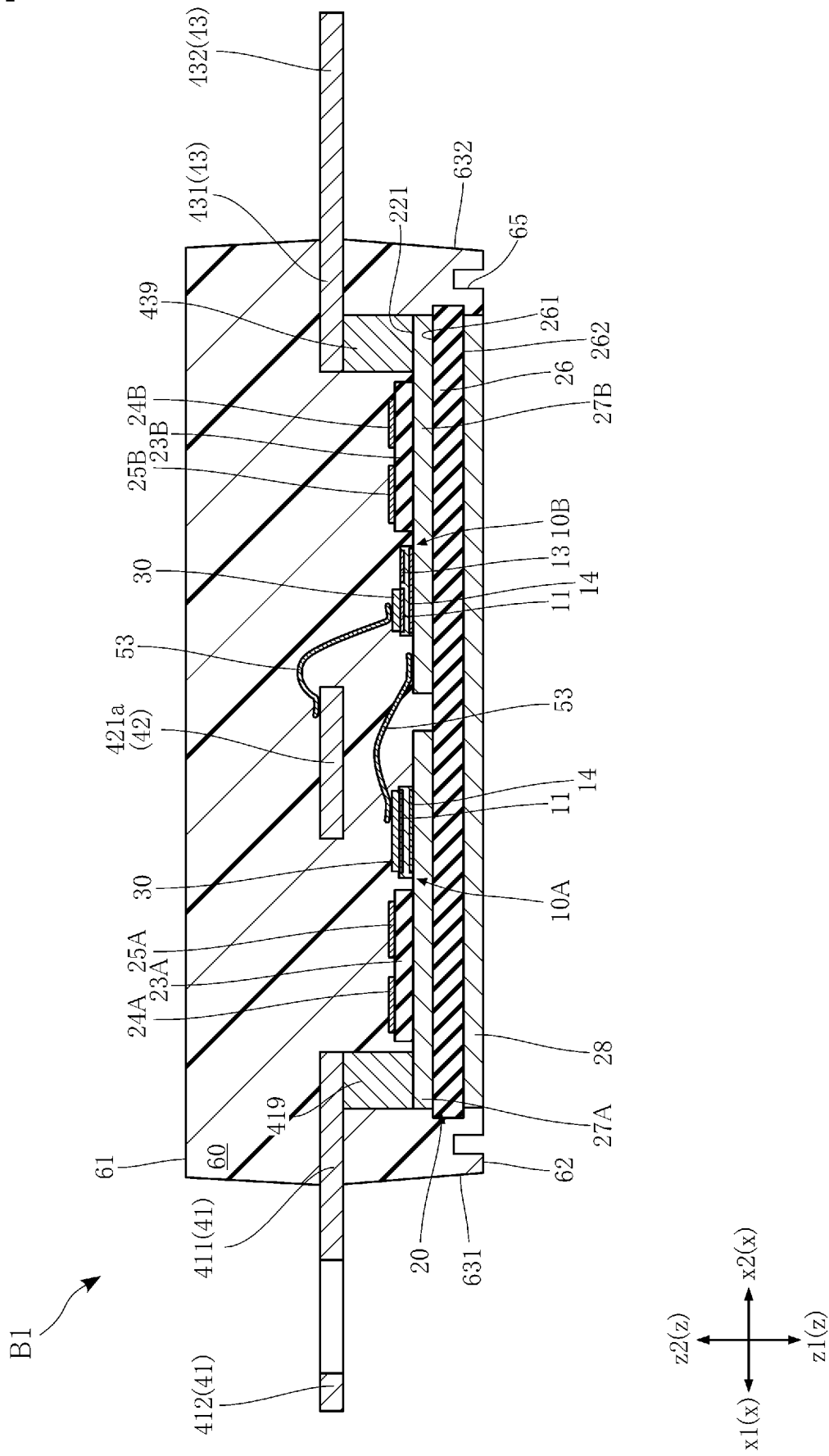
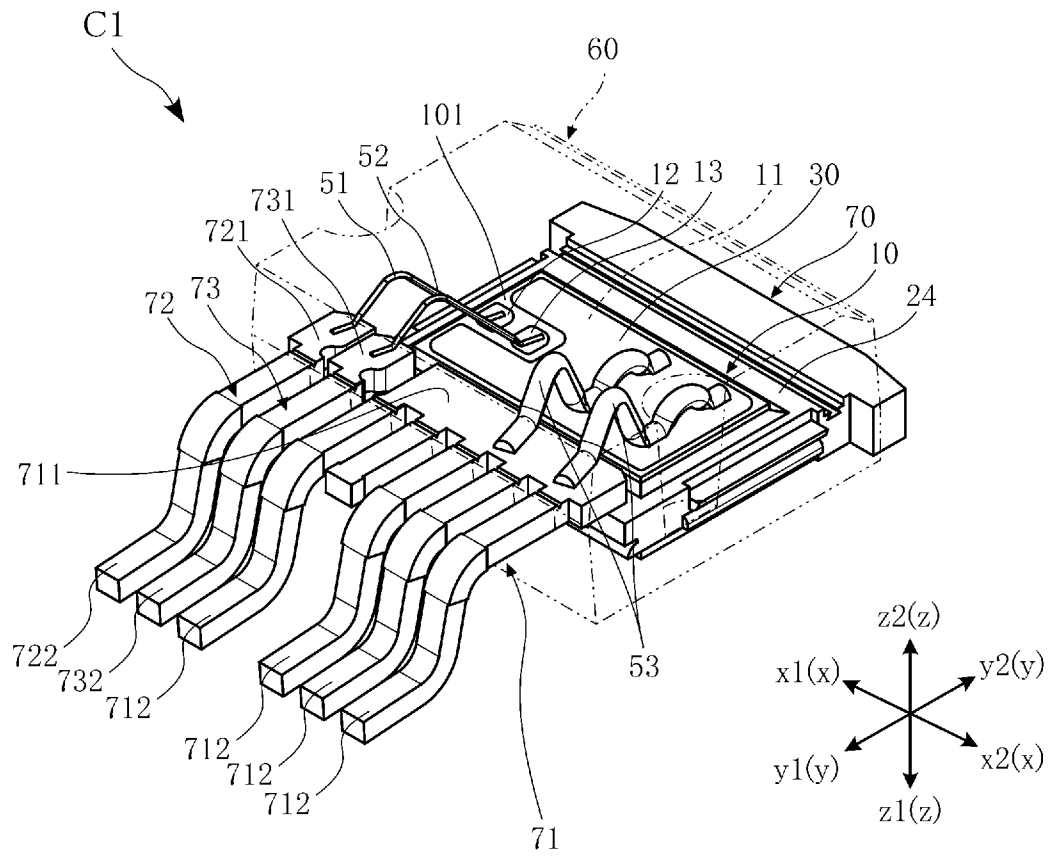


FIG. 17

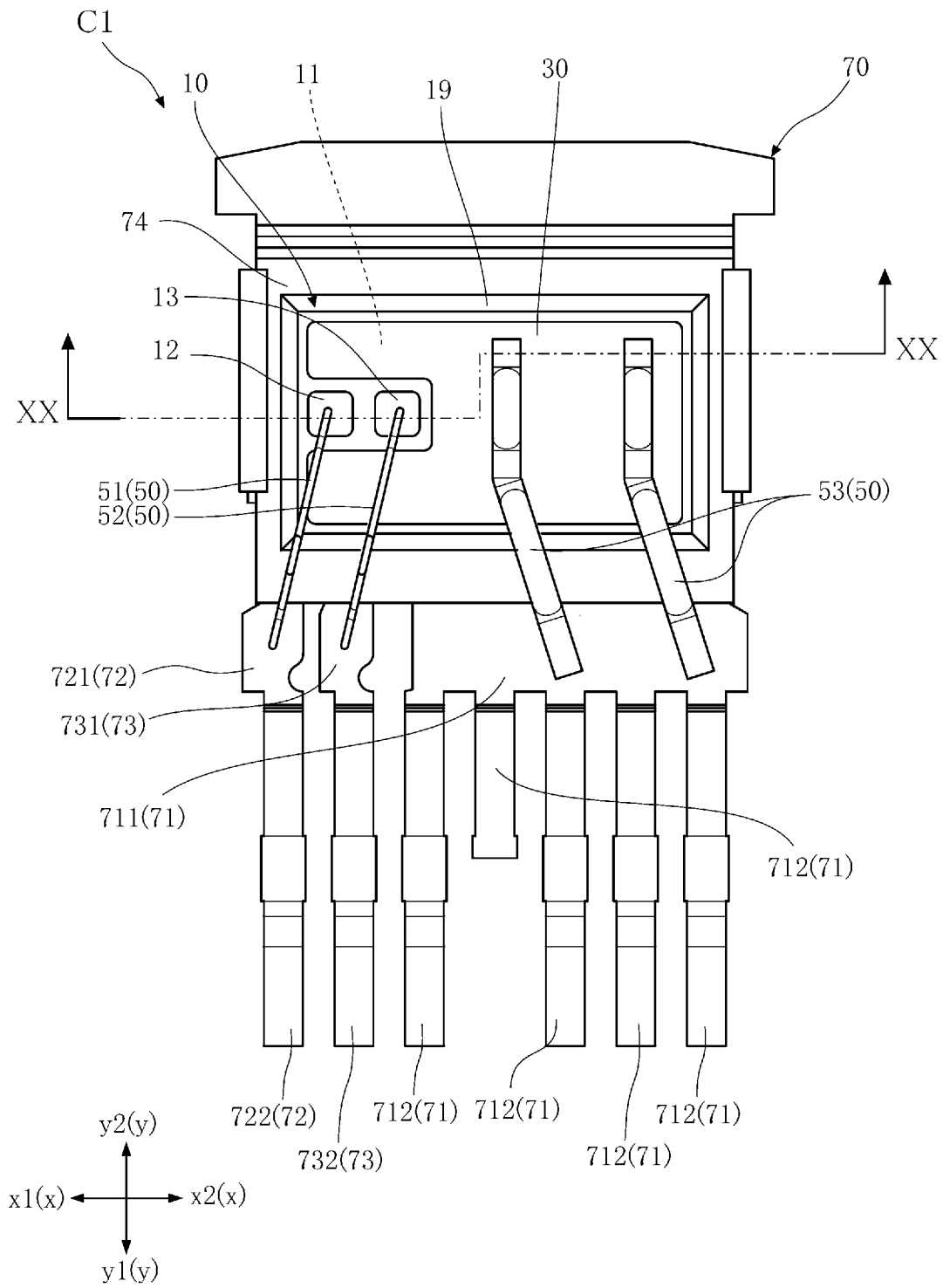
[図17]



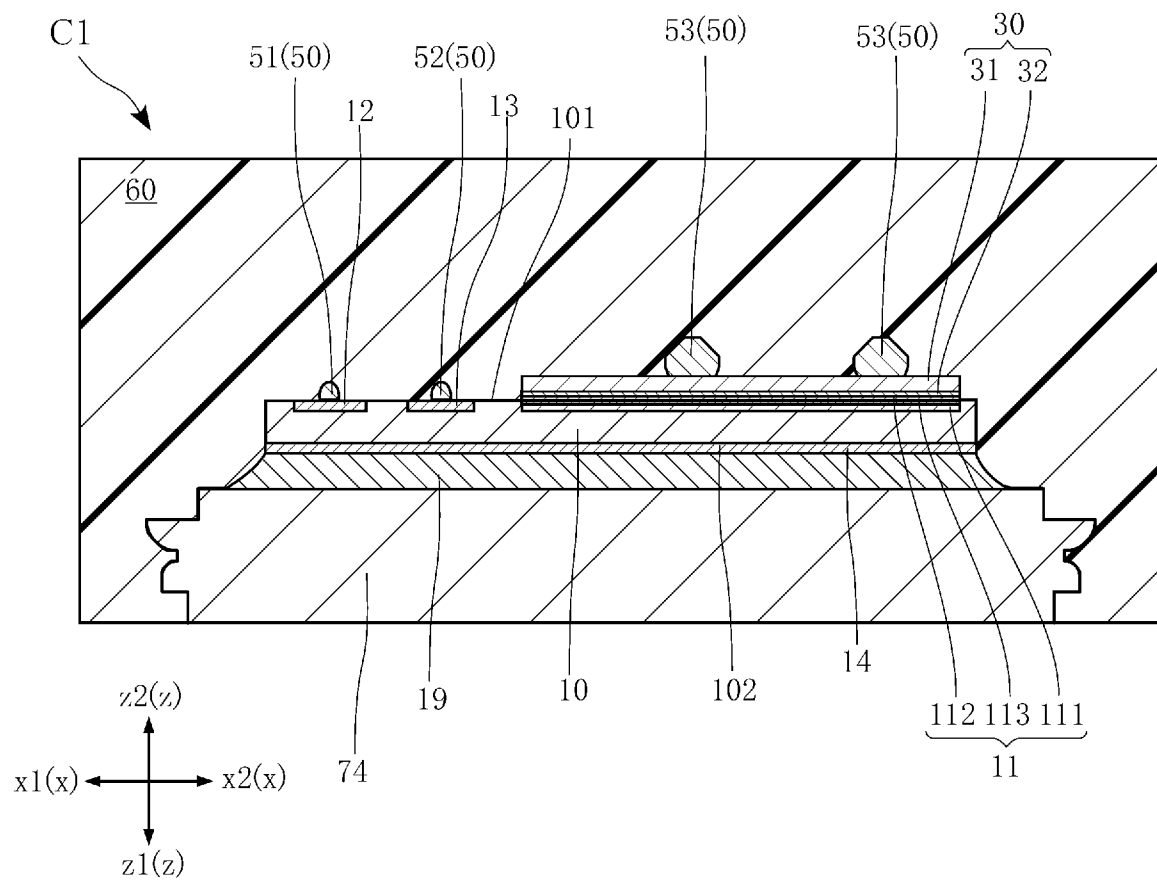
[図18]
FIG.18



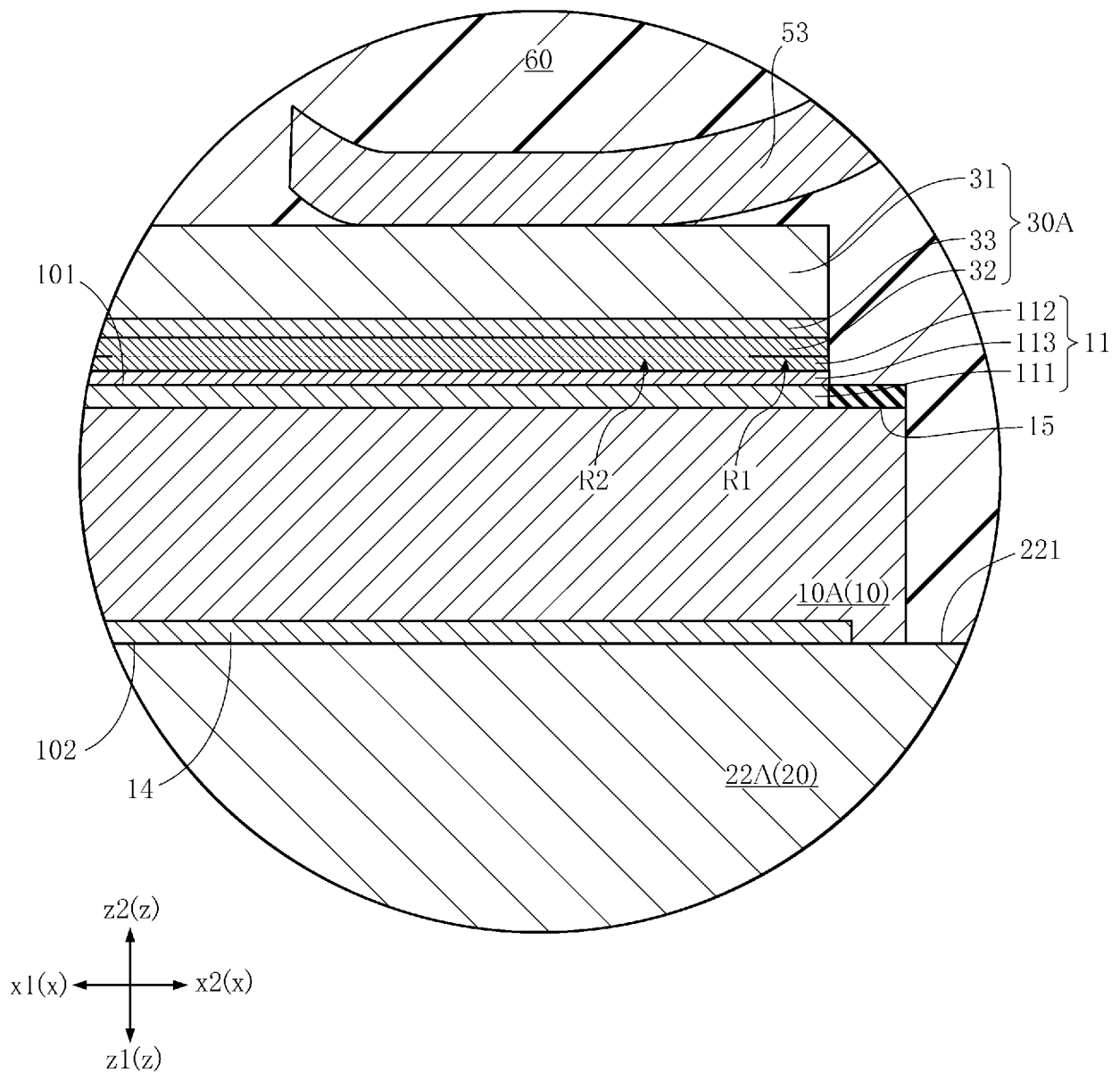
[図19]
FIG.19



[図20]
FIG.20

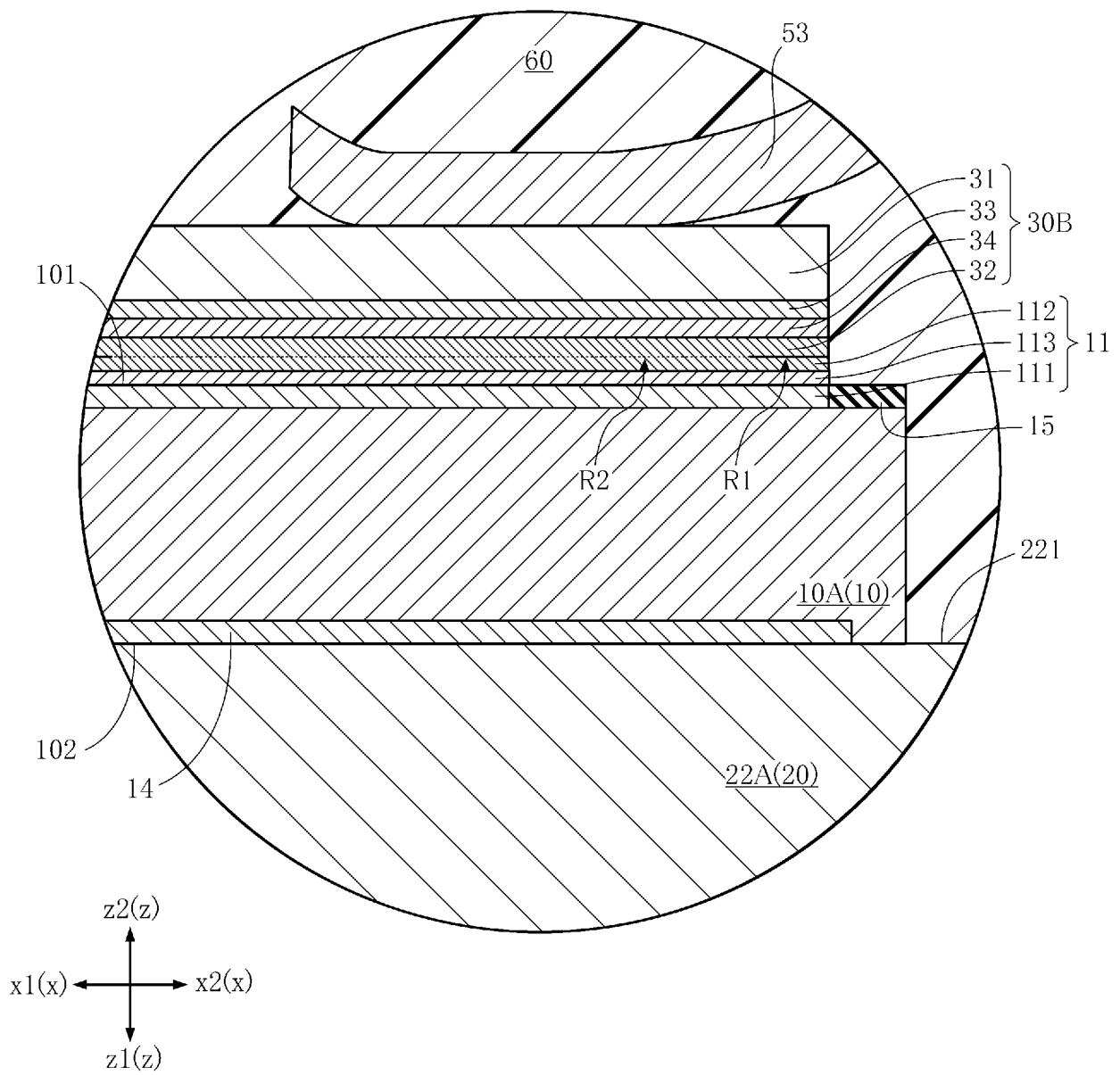


[図21]
FIG.21

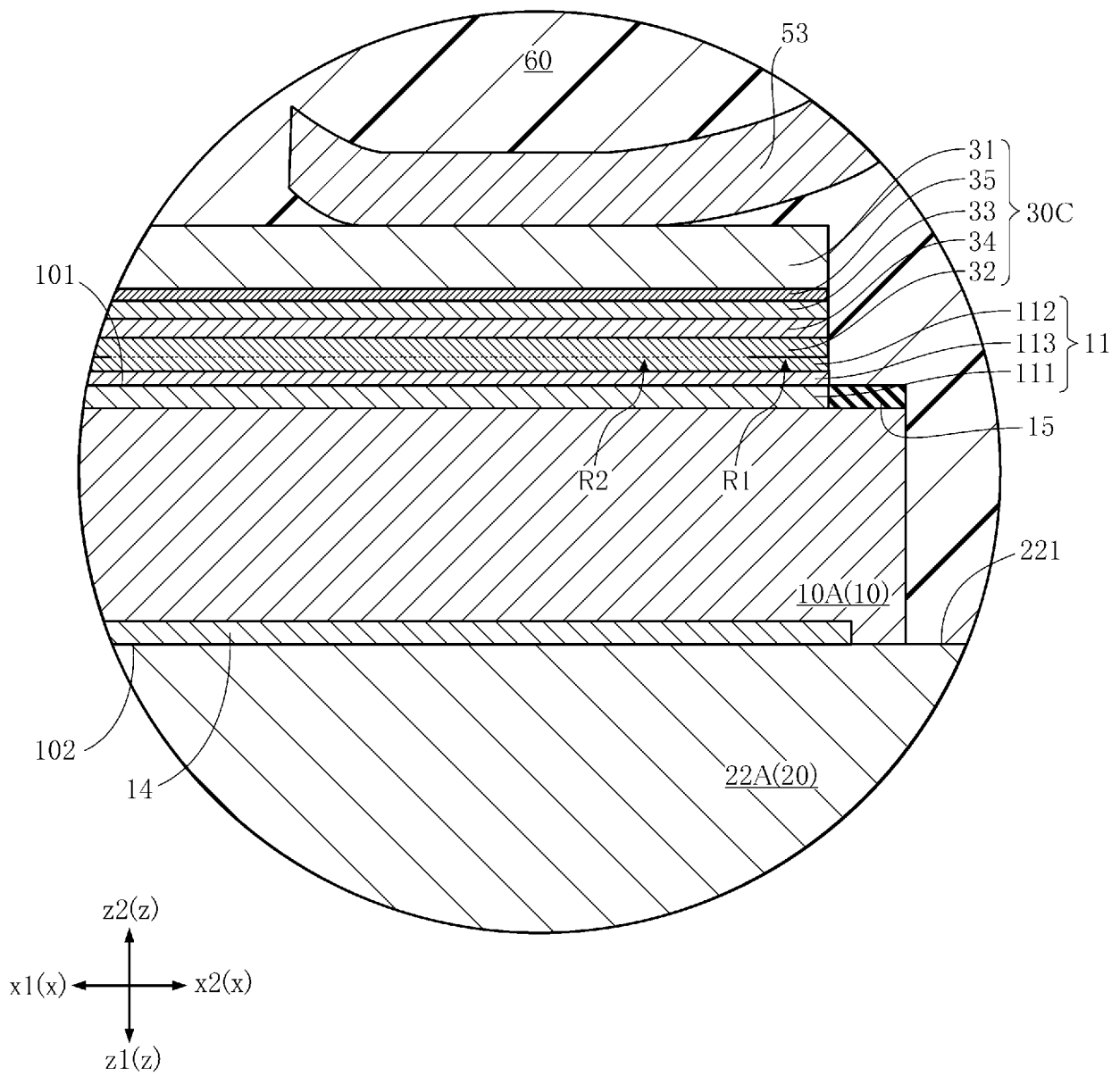


[図22]

FIG.22

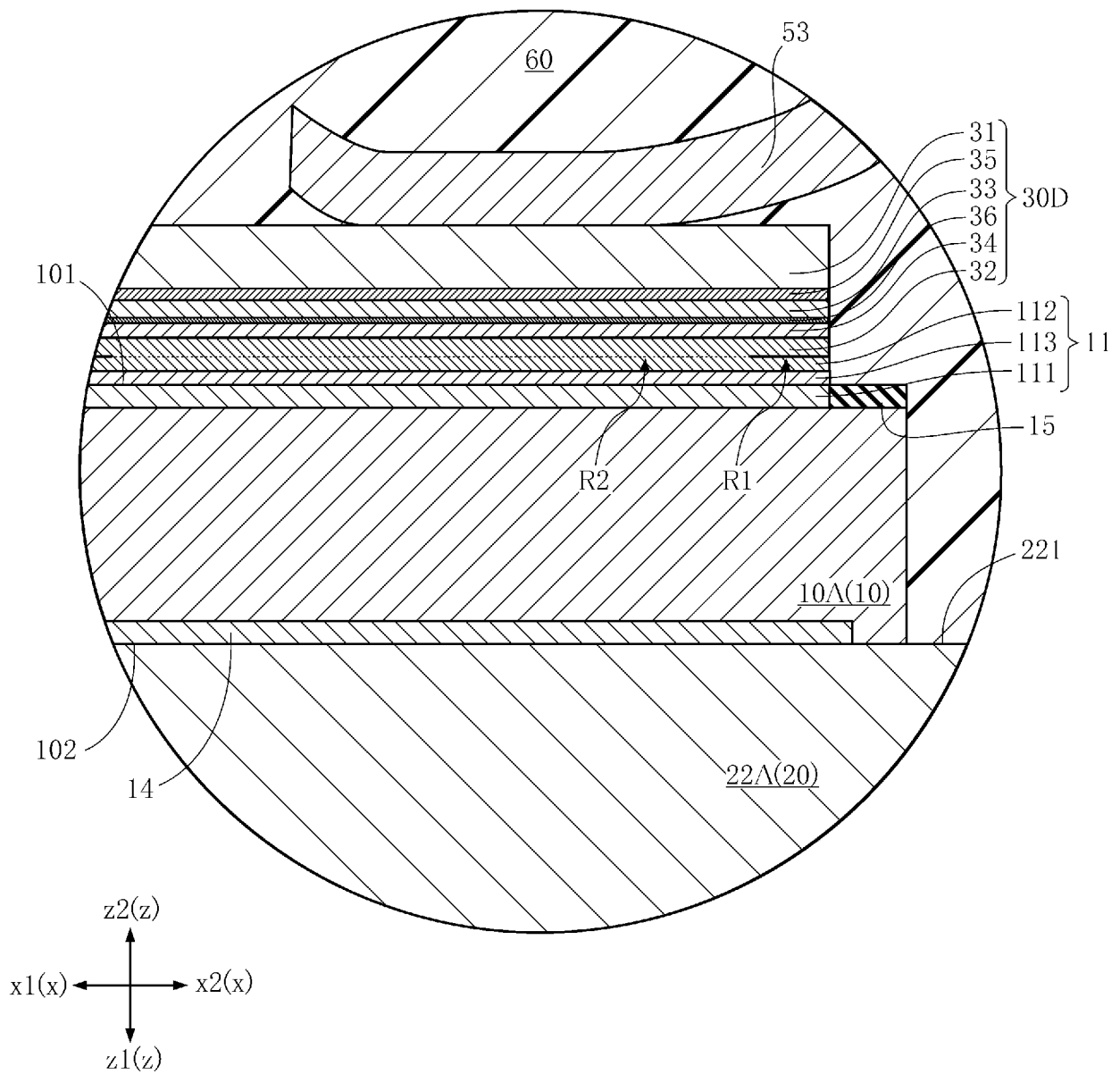


[図23]
FIG.23

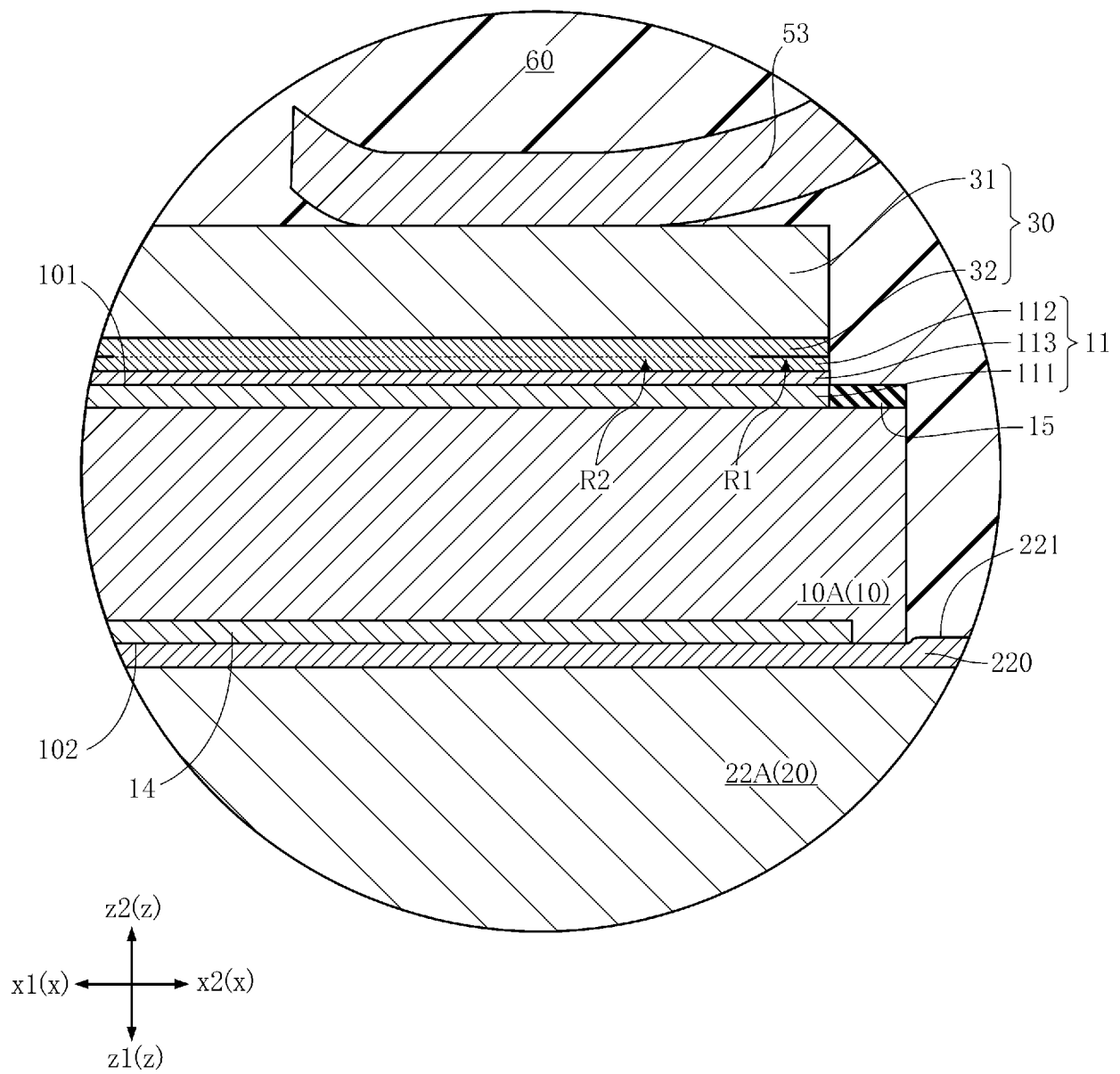


[図24]

FIG.24



[図25]
FIG.25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/005271

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/60 (2006.01) i

FI: H01L21/60 321E; H01L21/60 301P

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60-21/607; H01L23/34-23/40; H01L23/48-50; H01L25/00-25/18;
B23K20/00-20/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-179229 A (ROHM CO., LTD.) 09 September 2013 (2013-09-09) paragraphs [0025]-[0154], fig. 1-19	1-4, 6-12, 18, 21-22
Y		5-12, 18-21
A		13-17
X	WO 2016/143557 A1 (MITSUBISHI ELECTRIC CORP.) 15 September 2016 (2016-09-15) paragraphs [0011]-[0037], fig. 1-3	1-4, 6-9, 12, 18-21
Y		5-12, 18-21
A		13-17
Y	JP 2019-114575 A (TOSHIBA CORP.) 11 July 2019 (2019-07-11) paragraphs [0010]-[0076], fig. 1-4	5-12, 18-21
A		13-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 April 2021 (28.04.2021)

Date of mailing of the international search report
18 May 2021 (18.05.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/005271

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2013-179229 A	09 Sep. 2013	(Family: none)	
WO 2016/143557 A1	15 Sep. 2016	US 2018/0053737 A1 paragraphs [0020]- [0043] JP 2018-37684 A DE 112016001142 B4 CN 107210241 A	
JP 2019-114575 A	11 Jul. 2019	US 2019/0189584 A1 paragraphs [0018]- [0083] CN 109950219 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/60(2006.01)i FI: H01L21/60 321E; H01L21/60 301P														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/60-21/607; H01L23/34-23/40; H01L23/48-50; H01L25/00-25/18; B23K20/00-20/26 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2021年													
日本国実用新案登録公報	1996-2021年													
日本国登録実用新案公報	1994-2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2013-179229 A（ローム株式会社）09.09.2013（2013-09-09） 段落[0025]－[0154]及び図1－19	1-4, 6-12, 18, 21-22												
Y		5-12, 18-21												
A		13-17												
X	WO 2016/143557 A1（三菱電機株式会社）15.09.2016（2016-09-15） 段落[0011]－[0037]及び1－3	1-4, 6-9, 12, 18-21												
Y		5-12, 18-21												
A		13-17												
Y	JP 2019-114575 A（株式会社東芝）11.07.2019（2019-07-11） 段落[0010]－[0076]及び図1－4	5-12, 18-21												
A		13-17												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 28.04.2021	国際調査報告の発送日 18.05.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 安田 雅彦 5F 9447 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/005271

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-179229	A	09.09.2013	(ファミリーなし)	
WO	2016/143557	A1	15.09.2016	US 2018/0053737	A1
				段落[0020]－[0043]	
				JP 2018-37684	A
				DE 112016001142	B4
				CN 107210241	A
JP	2019-114575	A	11.07.2019	US 2019/0189584	A1
				段落[0018]－[0083]	
				CN 109950219	A