

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 02800849.9

H01L 29/78 (2006.01)
H01L 21/336 (2006.01)
H01L 21/8234 (2006.01)
H01L 27/088 (2006.01)
H01L 27/108 (2006.01)
H01L 21/8242 (2006.01)

[45] 授权公告日 2007 年 4 月 11 日

[11] 授权公告号 CN 1310336C

[51] Int. Cl. (续)

H01L 21/316 (2006.01)

[22] 申请日 2002.2.6 [21] 申请号 02800849.9

[30] 优先权

[32] 2001. 4. 2 [33] JP [31] 102908/01

[86] 国际申请 PCT/JP2002/000997 2002.2.6

[87] 国际公布 WO2002/082554 日 2002.10.17

[85] 进入国家阶段日期 2002.11.26

[73] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 森胁将 丹羽正昭 久保田正文

[56] 参考文献

US6027961A 2000.2.22

US6020243A 2000.2.1

审查员 刘丽伟

[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 汪惠民

权利要求书 6 页 说明书 21 页 附图 6 页

[54] 发明名称

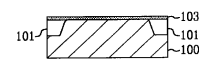
半导体器件及其制造方法

[57] 摘要

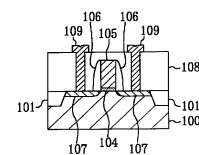
本发明提供一种半导体器件以及其制造方法，包括：在硅衬底(100)上造成硅酸锆层(103)，同时在硅酸锆层(103)上造成锆氧化物层(102)，然后除去该锆氧化物层(102)，从而造成由硅酸锆层(103)所构成的栅极绝缘膜(104)。



(a)



(b)



(c)

1. 一种半导体器件的制造方法，其中包括：

工序a，在硅衬底上形成至少一金属的高介电常数金属硅酸盐层，同时在上述高介电常数金属硅酸盐层上形成包括上述一金属的金属氧化物层；

工序b，除去上述金属氧化物层，形成由上述高介电常数金属硅酸盐层所构成的栅极绝缘膜；以及

工序c，在上述栅极绝缘膜上形成栅极电极。

2. 根据权利要求第1项所述的半导体器件的制造方法，其中：

上述工序a包括：通过使用包括至少上述一金属的靶的反应性溅射法，形成上述高介电常数金属硅酸盐层以及金属氧化物层的工序d。

3. 根据权利要求第1项所述的半导体器件的制造方法，其中：

上述工序a包括：通过使用包括至少上述一金属的源气体的化学气相沉积法，形成上述高介电常数金属硅酸盐层以及金属氧化物层的工序e。

4. 根据权利要求第3项所述的半导体器件的制造方法，其中：

上述工序e包括：通过脉冲状地提供上述源气体一个分子层一个分子层地沉积上述金属氧化物层的工序。

5. 根据权利要求第1项所述的半导体器件的制造方法，其中：

上述一金属 包括Hf、Zr、Ti、Ta、Al、Pr、Nd以及La所构成的金属族中的一种金属、或上述金属族中的两种以上的金属的合金。

6. 根据权利要求第1项所述的半导体器件的制造方法，其中：

上述一金属为Zr。

7. 一种半导体器件的制造方法，其中包括：

工序a，在硅衬底上形成包括至少一金属的高介电常数金属硅酸盐层，同时在上述高介电常数金属硅酸盐层上形成包括上述一金属的金属氧化物层；

工序b，通过除去上述金属氧化物层，然后在上述衬底上形成包括与上述一金属不同的其他金属的其他金属氧化物层，形成由上述高介电常数金属硅酸盐层以及其他金属氧化物层所构成的栅极绝缘膜；以及

工序c, 在上述栅极绝缘膜上形成栅极电极。

8. 根据权利要求第7项所述的半导体器件的制造方法, 其中:

上述工序a包括: 通过使用包括至少上述一金属的靶的反应性溅射法, 形成上述高介电常数金属硅酸盐层以及金属氧化物层的工序d。

9. 根据权利要求第7项所述的半导体器件的制造方法, 其中:

上述工序a包括: 通过使用包括至少上述一金属的源气体的化学气相沉积法, 形成上述高介电常数金属硅酸盐层以及金属氧化物层的工序e。

10. 根据权利要求第9项所述的半导体器件的制造方法, 其中:

上述工序e包括: 通过脉冲状地提供上述源气体, 一个分子层一个分子层地沉积上述金属氧化物层的工序。

11. 根据权利要求第7项所述的半导体器件的制造方法, 其中:

上述一金属 包括Hf、Zr、Ti、Ta、Al、Pr、Nd以及La所构成的金属族中的一种金属、或上述金属族中的两种以上的金属的合金。

12. 根据权利要求第7项所述的半导体器件的制造方法, 其中:

上述一金属为Zr,

上述其他金属为Hf。

13. 一种半导体器件的制造方法, 其中包括:

工序a, 在硅衬底上的第一元件形成区域以及第二元件形成区域上分别形成包括至少一金属的高介电常数金属硅酸盐层, 同时在上述高介电常数金属硅酸盐层上形成包括上述一金属的金属氧化物层;

工序b, 除去上述金属氧化物层中的在上述第一元件形成区域上的那一部分后, 在上述第一元件形成区域上形成上述高介电常数金属硅酸盐层所构成的第一栅极绝缘膜, 同时在上述第二元件形成区域上形成由上述高介电常数金属硅酸盐层、以及金属氧化物层所构成的第二栅极绝缘膜; 以及

工序c, 在上述第一栅极绝缘膜上形成第一栅极电极的同时, 在上述第二栅极绝缘膜上形成第二栅极电极。

14. 根据权利要求第13项所述的半导体器件的制造方法, 其中:

上述工序a包括: 通过使用包括至少上述一金属的靶的反应性溅射法, 形成上述高介电常数金属硅酸盐层以及金属氧化物层的工序d。

15. 根据权利要求第13项所述的半导体器件的制造方法, 其中:

上述工序a包括：通过使用包括至少上述一金属的源气体的化学气相沉积法，形成上述高介电常数金属硅酸盐层以及金属氧化物层的工序e。

16. 根据权利要求第15项所述的半导体器件的制造方法，其中：

上述工序e包括：使用通过脉冲状地提供上述源气体，一个分子层地沉积上述金属氧化物层的工序。

17. 根据权利要求第13项所述的半导体器件的制造方法，其中：

上述一金属 包括Hf、Zr、Ti、Ta、Al、Pr、Nd以及La所构成的金属族中的一种金属、或上述金属族中的两种以上的金属的合金。

18. 根据权利要求第13项所述的半导体器件的制造方法，其中：

上述一金属为Zr。

19. 一种半导体器件的制造方法，其中包括：

工序a，在硅衬底上的第一元件形成区域以及第二元件形成区域上分别形成包括至少一金属的高介电常数金属硅酸盐层，同时在上述高介电常数金属硅酸盐层上形成包括上述一金属的金属氧化物层；

工序b，除去上述金属氧化物层中的在上述第一元件形成区域上的那一部分后，在上述第一元件形成区域和上述第二元件形成区域上分别形成由包括与上述一金属不同的其他金属的其他金属氧化物层，在上述第一元件形成区域上形成上述高介电常数金属硅酸盐层以及其它金属氧化物层所构成的第一栅极绝缘膜，同时在上述第二元件形成区域上形成由上述高介电常数金属硅酸盐层、金属氧化物层以及其他金属氧化物层所构成的第二栅极绝缘膜；以及

工序c，在上述第一栅极绝缘膜上形成第一栅极电极的同时，在上述第二栅极绝缘膜上形成第二栅极电极。

20. 根据权利要求第19项所述的半导体器件的制造方法，其中：

上述工序a包括：通过使用包括至少上述一金属的靶的反应性溅射法，形成上述高介电常数金属硅酸盐层以及金属氧化物层的工序d。

21. 根据权利要求第19项所述的半导体器件的制造方法，其中：

上述工序a包括：通过使用包括至少上述一金属的源气体的化学气相沉积法，形成上述高介电常数金属硅酸盐层以及金属氧化物层的工序e。

22. 根据权利要求第21项所述的半导体器件的制造方法，其中：

上述工序e包括：通过脉冲状地提供上述源气体，一个分子层一个分子层地沉积上述金属氧化物层的工序。

23. 根据权利要求第19项所述的半导体器件的制造方法，其中：

上述一金属包括Hf、Zr、Ti、Ta、Al、Pr、Nd以及La所构成的金属族中的一种金属、或上述金属族中的两种以上的金属的合金。

24. 根据权利要求第19项所述的半导体器件的制造方法，其中：

上述一金属为Zr，

上述其他金属为Hf。

25. 一种半导体器件，其中：

具有：由依次叠层包括一金属的高介电常数金属硅酸盐层、以及包括与上述一金属不同的其他金属的金属氧化物层所构成的栅极绝缘膜的MOSFET。

26. 根据权利要求第25项所述的半导体器件，其中：

上述一金属包括Hf、Zr、Ti、Ta、Al、Pr、Nd以及La所构成的金属族中的一种金属、或上述金属族中的两种以上的金属的合金。

27. 一种半导体器件，其中：

具有：

具有由包括一金属的高介电常数金属硅酸盐层所构成的第一栅极绝缘膜的第一MOSFET，

具有由上述高介电常数金属硅酸盐层、以及包括上述一金属的金属氧化物层依次叠层所构成的第二栅极绝缘膜的第二MOSFET。

28. 根据权利要求第27项所述的半导体器件，其中：

上述一金属为由Hf、Zr、Ti、Ta、Al、Pr、Nd以及La所构成的金属族中的一种、或由上述金属族中的二种以上所构成的金属合金。

29. 一种半导体器件，包括内部电路和周边电路，其特征在于：

包括：

具有由含有一金属的高介电常数金属硅酸盐层构成的第一栅极绝缘膜的第一MOSFET，以及

依次叠层上述高介电常数金属硅酸盐层、上述含有一金属的金属氧化物层而构成的第二栅极绝缘膜的第二MOSFET；

上述第一MOSFET用在上述内部电路中，上述第二MOSFET用在上述周边电路中。

30. 一种半导体器件，包括逻辑部分和DRAM部分，其特征在于：

包括：

具有由含有一金属的高介电常数金属硅酸盐层构成的第一栅极绝缘膜的第一MOSFET，以及

具有依次叠层上述高介电常数金属硅酸盐层、上述含有一金属的金属氧化物层而构成的第二栅极绝缘膜的第二MOSFET；

上述第一MOSFET用在上述逻辑部分，上述第二MOSFET用在上述DRAM部分。

31. 一种半导体器件，其中：

具有：

由包括一金属的高介电常数金属硅酸盐层、以及包括与上述一金属不同的其他金属的金属氧化物层依次叠层所构成的第一栅极绝缘膜的第一MOSFET，

由上述高介电常数金属硅酸盐层、包括上述一金属的金属氧化物层、以及包括上述其他金属的上述金属氧化物层依次叠层所构成的第二栅极绝缘膜的第二MOSFET。

32. 根据权利要求第31项所述的半导体器件，其中：

上述一金属为由Hf、Zr、Ti、Ta、Al、Pr、Nd以及La所构成的金属族中的一种、或由上述金属族中的二种以上所构成的金属合金。

33. 一种半导体器件，包括内部电路和周边电路，其特征在于：

包括：

含有依次叠层含有一金属的高介电常数金属硅酸盐层、含有与上述一金属不同的其它金属的金属氧化物层而构成的第一栅极绝缘膜的第一MOSFET，以及

含有依次叠层高介电常数金属硅酸盐层、上述含有一金属的金属氧化物层以及含有上述其它金属的上述金属氧化物层构成的第二栅极绝缘膜的第二MOSFET；

上述第一MOSFET用在上述内部电路中，上述第二MOSFET用在上述

周边电路中。

34. 一种半导体器件，包括逻辑部分和DRAM部分，其特征在于：

包括：

含有依次叠层含有一金属的高介电常数金属硅酸盐层、含有与上述一金属不同的其它金属的金属氧化物层而构成的第一栅极绝缘膜的第一MOSFET，以及

含有依次叠层高介电常数金属硅酸盐层、上述含有一金属的金属氧化物层以及含有上述其它金属的上述金属氧化物层构成的第二栅极绝缘膜的第二MOSFET；

上述第一MOSFET用在上述逻辑部分，上述第二MOSFET用在上述DRAM部分。

半导体器件及其制造方法

技术领域

本发明涉及一种具有由高介电质构成的栅极绝缘膜的半导体器件及其制造方法。

背景技术

近年来，随着实现半导体器件的集成化和高速化的技术发展，MOSFET(Metal Oxide Semiconductor Field Effect Transistor)的微细化也随之提高。追求栅极绝缘膜的薄膜化的结果，栅极漏电流由于隧道电流增大这一问题表面化了。为了解决该问题，正在研究：使用介电常数高于 SiO_2 的 high-k 材料(以下，称之为高介电常数材料)，作为栅极绝缘膜的材料，具体来说，通过使用 HfO_2 或 ZrO_2 等绝缘性金属氧化物，实现具有与很薄的 SiO_2 膜相等容量(即 SiO_2 换算膜厚很小)的、并且物理膜厚很厚的(即漏电流很小)栅极绝缘膜的手段。

在最近的系统大规模集成电路中，一般来说，进行运算处理的内部电路、承担输出输入的周围电路、以及 DRAM(Dynamic Random Access Memory)等这些多功能电路都集成在一片晶片上。要求构成如此系统大规模集成电路的 MOSFET，根据每个功能，即使漏电流很大也能实现高驱动力、或即使驱动力很低也能减小漏电流等。于是，按照 MOSFET 的功能改变作为 MOSFET 的栅极绝缘膜的 SiO_2 膜厚的技术、即形成具有多种尺寸膜厚的栅极绝缘膜的多栅极绝缘膜技术被采用。

但是，使用高介电常数材料作为栅极绝缘膜的材料时，虽然能防止栅极漏电流的增大，却很难实现所要的 SiO_2 换算膜厚。

还有，在多栅极绝缘膜技术下，也有栅极漏电流由于栅极绝缘膜的薄膜化增大的问题。

发明内容

本发明鉴于上述问题而发明出来的，其第一目的为：实现 SiO_2 换算膜厚以及漏电流很小的栅极绝缘膜，其第二目的为：在多栅极绝缘膜技术下防止栅极漏电流的增大。

为了解决上述问题，本案发明人对即使作为栅极绝缘膜的材料使用高介电常数材料(具体说金属氧化物)也不能实现所要的 SiO_2 换算膜厚的原因进行了研究，发现了以下的情况。

在硅衬底上形成作为栅极绝缘膜的金属氧化物层时，在硅衬底和金属氧化物层之间会形成由硅、氧以及金属氧化物层中所含的三种金属元素所构成的绝缘性化合物层(以下称之为金属硅酸盐层)。换言之，会形成由金属硅酸盐层和金属氧化物层的叠层结构所构成的栅极绝缘膜。此时，因为金属硅酸盐层的介电常数低于金属氧化物层的介电常数，所以作为整个栅极绝缘膜的有效介电常数变低。其结果，不能形成具有所要 SiO_2 换算膜厚的栅极绝缘膜，从而不能实现所期待的具有高驱动力的 MOSFET，即不能实现 MOSFET 的高性能化。

图 6 为剖面图，示出了作为构成栅极绝缘膜的高介电常数材料使用了锆氧化物(ZrO_2)的现有半导体器件、具体来说现有的 MOSFET 的断面。

如图 6 所示，在硅衬底 10 上形成作为栅极绝缘膜的氧化锆层 11。此时，硅衬底 10 和氧化锆层 11 之间会产生硅酸锆层 12。因此，栅极电极 13 就形成在由氧化锆层 11 和硅酸锆层 12 的叠层结构所构成的栅极绝缘膜上。

本案发明人发现了：例如在使用反应性溅射法在硅衬底上形成作为高介电常数材料层的金属氧化物层时，通过控制从靶溅射到衬底表面上的粒子和在溅射时所产生的 O_2 等离子体，能在硅衬底和金属氧化物之间形成厚度均 2 ~ 3nm 左右的、并且其介电常数高于 SiO_2 膜的金属硅酸盐层。本案发明人又发现了：通过把该金属硅酸盐层作为栅极绝缘膜利用，即通过和金属氧化物层一起形成金属硅酸盐层后，在把金属氧化物层除去，能够达到第一目的，即，能够实现 SiO_2 换算膜厚以及漏电流很小的栅极绝缘膜。补充一下，例如在代替反应性溅射法使用化学气相沉积法等形成金属硅酸盐层时，也能够形成如上所述的质量良好的金属硅酸盐层。

本案发明人又发现了：在除去金属氧化物层后金属硅酸盐层上形成其他金属氧化物层时，因为不需要考虑与衬底之间的所产生的反应而能按照设计形成其它金属氧化物层，所以把金属硅酸盐层和其他金属氧化物层间的重叠结构作为栅极绝缘膜利用也能够达到第一目的。

本案发明人还发现了：通过一起形成金属氧化物层和金属硅酸盐层之后除去金属氧化物层的一部分，能够实现作为薄栅极绝缘膜使用金属硅酸盐层的单层结构，且作为厚栅极绝缘膜使用金属硅酸盐层和金属氧化物层的叠层结构的多栅极绝缘膜技术。通过该技术，能够达到第二目的，即，在多栅极绝缘膜技术下能够抑制栅极漏电流。此时，作为薄栅极绝缘膜使用金属硅酸盐层和其他金属氧化物层的叠层结构亦可。

本发明是基于上述知识和见识而发明出来的，具体来说，为达到上述第一目的，本发明所涉及的第一半导体器件的制造方法，包括：工序(a)，在硅衬底上形成至少一金属的金属硅酸盐层，同时在金属硅酸盐层上形成包括一金属的金属氧化物层；工序(b)，除去金属氧化物层，形成由金属硅酸盐层所构成的栅极绝缘膜；工序(c)，在栅极绝缘膜上形成栅极电极。

依照第一半导体器件的制造方法，在硅衬底上依次形成包括一金属的金属硅酸盐层以及金属氧化物层之后，除去金属氧化物层形成由金属硅酸盐层构成的栅极绝缘膜。此时，通过例如使用反应性溅射法或化学气相沉积法，能够形成厚度均等且其介电常数高于 SiO_2 的金属硅酸盐层，同时通过控制例如溅射条件或沉积条件等，容易控制金属硅酸盐层厚度。于是，因为能够实现 SiO_2 换算膜厚及漏电流都很小的栅极绝缘膜，所以能够实现具有所驱动力的低耗电量的 MOSFET。

为了达到上述第一目的，本发明所涉及的第二半导体器件的制造方法包括：工序(a)，在硅衬底上形成包括至少一金属的金属硅酸盐层，同时在金属硅酸盐层上形成包括一金属的金属氧化物层；工序(b)，除去金属氧化物层，然后在衬底上形成包括与一金属不同的其他金属的其他金属氧化物层，形成由金属硅酸盐层和其他金属氧化物层所构成的栅极绝缘膜；工序(c)，在栅极绝缘膜上形成栅极电极。

依照第二半导体器件的制造方法，在硅衬底上依次形成包括一金属的金属硅酸盐层以及金属氧化物层，除去金属氧化物层之后，形成包括与一

金属不同的其他金属的其他金属氧化物层，从而形成由金属硅酸盐层以及其他金属氧化物层所构成的栅极绝缘膜。此时，通过例如使用反应性溅射法或化学气相沉积法，能够形成厚度均等且其介电常数高于 SiO_2 的金属硅酸盐层，同时例如通过溅射条件或沉积条件等的控制，容易控制金属硅酸盐层厚度。还有，因为在金属硅酸盐层上再形成其他金属氧化物层，所以不用考虑与衬底之间所产生的反应，能按设计形成其他金属氧化物层。于是，因为由金属硅酸盐层和其他金属氧化物层的叠层结构，能够实现 SiO_2 换算膜厚以及漏电流都很小的栅极绝缘膜，所以能够实现具有所要驱动力的低耗电量的 MOSFET。

还有，依照第二半导体器件的制造方法，因为很简单地能够形成具有所需厚度的金属硅酸盐层和其他金属氧化物层的叠层结构，所以很容易设计满足 MOSFET 功能要求的栅极绝缘膜、例如设计以实现高驱动力化和低功耗量的两个方面为目标的栅极绝缘膜等。

补充一下，在第二半导体器件的制造方法下，最好是选择一金属，以便金属硅酸盐层在衬底界面上保持热稳定，并且，不让该金属硅酸盐层向硅结晶施加很大的应变而造成迁移率恶化。还有，最好是选择其他金属，以便包括其他金属的其他金属氧化物层的介电常数高于包括一金属的金属氧化物层的介电常数。

为了达到上述第二目的，本发明所涉及的第三半导体器件的制造方法包括：工序(a)，在硅衬底上的第一元件形成区域和第二元件形成区域上分别形成包括至少一金属的金属硅酸盐层的同时，在金属硅酸盐层上形成包括一金属的金属氧化物层；工序(b)，通过除去金属氧化物层中的第一元件形成区域上的那一部分，在第一元件形成区域上形成由金属硅酸盐层构成的第一栅极绝缘膜，同时在第二元件形成区域上形成由金属硅酸盐层以及金属氧化物层所构成的第二栅极绝缘膜，工序(c)，在第一栅极绝缘膜上形成第一栅极电极，同时在第二栅极绝缘膜上形成第二栅极电极。

依照第三半导体器件的制造方法，在硅衬底上依次形成包括一金属的金属硅酸盐层以及金属氧化物层之后，除去金属氧化物层的一部分，形成由金属硅酸盐层所构成的第一栅极绝缘膜，和由金属硅酸盐层以及金属氧化物层所构成的第二栅极绝缘膜。也就是说，第三半导体器件的制造方法

为，作为薄栅极绝缘膜使用硅酸锆层的单层结构，且作为厚栅极绝缘膜使用硅酸锆层以及硅酸锆层的叠层结构的多栅极绝缘膜技术。在第三半导体器件的制造方法中，通过例如使用反应性溅射法或化学气相沉积法，能够形成厚度均等且其介电常数高于 SiO_2 的金属硅酸盐层，同时例如通过溅射条件或沉积条件等的控制，容易控制金属硅酸盐层厚度。因为在薄栅极绝缘膜(第一栅极绝缘膜)中能够实现 SiO_2 换算膜厚以及漏电流都很小的栅极绝缘膜，在多栅极绝缘膜技术下能够防止栅极漏电流的增大，所以能形成低耗电量的系统大规模集成电路。还有，因为第一栅极绝缘膜能够实现优先提高驱动力的 MOSFET，同时第二栅极绝缘膜实现优先减少耗电量的 MOSFET，所以能够实现高驱动力化和低功耗量这两个方面的系统大规模集成电路。

为了达到上述第2目的，本发明所涉及的第四半导体器件的制造方法，包括：在硅衬底上的第一元件形成区域以及第二元件形成区域上分别形成包括至少一金属的金属硅酸盐层，同时在金属硅酸盐层上形成包括一金属的金属氧化物层；工序(b)，除去金属氧化物层中的在第一元件形成区域上的那一部分后，在第一元件形成区域和第二元件形成区域上分别形成由包括与一金属不同的其他金属氧化物层，从而在第一元件形成区域上形成金属硅酸盐层以及其它金属氧化物层所构成的第一栅极绝缘膜，同时在第二元件形成区域上形成由金属硅酸盐层、金属氧化物层以及其他金属氧化物层所构成的第二栅极绝缘膜；工序(c)，在第一栅极绝缘膜上形成第一栅极电极的同时，在第二栅极绝缘膜上形成第二栅极电极。

依照第四半导体器件的制造方法，在硅衬底上依次形成包括一金属的金属硅酸盐层以及金属氧化物层，除去金属氧化物层的一部分后形成包括与一金属不同的其他金属的其他金属氧化物层，从而形成由金属硅酸盐层以及其他金属氧化物层所构成的第一栅极绝缘膜，和由金属硅酸盐层、金属氧化物层以及其他金属氧化物层所构成的第二栅极绝缘膜。也就是说，第四半导体装置的制造方法的技术为：作为薄栅极绝缘膜使用金属硅酸盐层以及其他金属氧化物层的叠层结构，且作为厚栅极绝缘膜使用金属硅酸盐层、金属氧化物层以及其他金属氧化物层的叠层结构的多栅极绝缘膜技术。依照第四半导体器件的制造方法，通过例如使用反应性溅射法或化学

气相沉积法，能够形成厚度均等且其介电常数高于 SiO_2 的金属硅酸盐层，同时例如通过溅射条件或沉积条件等的控制，容易控制金属硅酸盐层厚度。还有，在第四半导体装置的制造方法中，因为在金属硅酸盐层上或金属氧化物层上再形成其他金属氧化物层，所以不用考虑与衬底间所产生的反应能按设计形成其他金属氧化物层。因为由金属硅酸盐层和其他金属氧化物层的叠层结构，在薄栅极绝缘膜(第一栅极绝缘膜)上能够实现很小的 SiO_2 换算膜厚以及很小的漏电流，所以在多栅极绝缘膜技术下能够防止栅极漏电极的增大，能够实现耗电量很低的系统大规模集成电路。因为由第一栅极绝缘膜能够实现优先了提高驱动力的 MOSFET 的同时，由第二栅极绝缘膜能够实现优先了减少功耗量的 MOSFET，所以能够实现高驱动力化和低功耗量这两方面的系统大规模集成电路。

依照第四半导体器件的制造方法，因为很简单地能够形成所要厚度的金属硅酸盐层和其他金属氧化物层的叠层结构，或金属硅酸盐层、金属氧化物层以及其他金属氧化物层的叠层结构，所以很容易设计满足 MOSFET 功能要求的栅极绝缘膜、例如设计以实现高驱动力化和低功耗量的两方面都为目标栅极绝缘膜等。

还有，在第四半导体器件的制造方法中，最好是选择一金属，以便在衬底界面上金属硅酸盐层保持热很稳定，且，不让金属硅酸盐层向硅结晶施加很大的应变而造成迁移率恶化。还有，最好是选择其他金属，以便包括其他金属的其他金属氧化层的介电常数高于包括一金属的金属氧化物层的介电常数。

在从第一到第四半导体器件的制造方法中，最好是工序(a)包括：通过使用包括至少一金属的靶的反应性溅射法，形成金属硅酸盐层以及金属氧化物层的工序(d)。

这样做，确实能够形成厚度均等的、并且其介电常数大于 SiO_2 的金属硅酸盐层，同时通过控制溅射条件，能容易且确实地调节金属硅酸盐层。

在从第一到第四半导体器件的制造方法中，最好是工序(a)包括：通过使用包括至少一金属的源气体的化学气相沉积法，形成金属硅酸盐层以及金属氧化物层的工序(e)。

这样做，确实能够形成厚度均等的、并且其介电常数大于 SiO_2 的金属

硅酸盐层，同时通过控制沉积条件，能容易且确实地调节金属硅酸盐层。

此时，最好是工序(e)包括；使用通过脉冲状地提供源气体一个分子层地沉积金属氧化物层等的工序。

这样做，能够谋求提高对金属硅酸盐层的厚度的控制性和均等性。

在第一到第四半导体器件的制造方法中，最好是一金属层包括 Hf、Zr、Ti、Ta、Al、Pr、Nd 以及 La 所构成的金属族中的一种金属或该金属族中的两种以上的金属的合金。

这样做，该金属硅酸盐层的介电常数确实高于 SiO_2 的介电常数。还有，更好的是在第一或第三半导体装置的制造方法中，一金属为 Zr，更好的是在第二或第四半导体器件的制造方法中，一金属为 Zr、其他金属为 Hf。

为了达到上述第一目的，本发明所涉及的第一半导体器件包括；具有由依次叠层包括一金属的金属硅酸盐层、以及包括与一金属不同的其他金属的金属氧化物层所构成的栅极绝缘膜的 MOSFET。

也就是说，第一半导体器件为，依照本发明的第二半导体器件的制造方法所制造的半导体器件，因为第一半导体器件能实现 SiO_2 换算膜厚和漏电流都很小的栅极绝缘膜，所以能够实现具有所需驱动力的功耗量很低的 MOSFET。另外，容易设计满足 MOSFET 功能要求的栅极绝缘膜。

为了达到第二目的，本发明所涉及的第二半导体器件，包括：由包括一金属的金属硅酸盐层所构成的第一栅极绝缘膜的第一 MOSFET，和具有由金属硅酸盐层、以及包括一金属的金属氧化物层依次叠层所构成的第二栅极的第二 MOSFET。

也就是说，第二半导体器件为，由本发明所涉及的第三半导体器件的制造方法所形成的半导体器件，依照第二半导体器件，因为能够防止多栅极绝缘膜技术中的栅极漏电流的增大，所以能够形成耗电量很低的系统大规模集成电路。在具有第一栅极绝缘膜的第一 MOSFET 中，因为能够优先提高驱动力，同时在具有第二栅极绝缘膜的第二 MOSFET 中，能够优先减少耗电量，所以能够得到实现高驱动力和低耗电量这两方面的系统大规模集成电路。

为了达到第二目的，本发明所涉及的第三半导体器件，包括：由包括一金属的金属硅酸盐层、以及包括与一金属不同的其他金属的金属氧化层

依次叠层所构成的第一栅极绝缘膜的第一 MOSFET，和具有由金属硅酸盐层、包括一金属的金属氧化物层、以及包括其他金属的金属氧化物层依次叠层所构成的第二栅极的第二 MOSFET。

也就是说，第三半导体器件为，根据本发明所涉及的第四半导体器件的制造方法所形成的半导体器件，依照第三半导体器件，因为由多栅极绝缘膜技术能够防止栅极漏电流的增大，所以能够形成耗电量很低的系统大规模集成电路。还有，因为由具有第一栅极绝缘膜的第一 MOSFET 能够优先提高驱动力，同时由具有第二栅极绝缘膜的第二 MOSFET 能够优先减少耗电量，所以能够得到实现高驱动力和低耗电量这两方面的系统大规模集成电路。还有，适应 MOSFET 所要功能的栅极绝缘膜的设计就变容易了。

在第一~第三半导体器件中，最好是一金属为由 Hf、Zr、Ti、Ta、Al、Pr、Nd 以及 La 所构成的金属族中的一种、或由该金属族中的二种以上所构成的金属合金。

这样做，该金属硅酸盐层的介电常数确实高于 SiO_2 的介电常数。

在第二或第三半导体器件中，最好是在内部电路内使用第一 MOSFET，在周围电路内使用第二 MOSFT。

这样做，能够实现备有其驱动力很高且耗电量很低的内部电路，和耗电量很低的周围电路的系统大规模集成电路。

在第二或第三半导体器件中，最好是在逻辑部内使用第一 MOSFET，在 DRAM 部内使用第二 MOSFET。

这样做，能够实现备有驱动力很高且耗电量很低的逻辑部，和耗电量很低的 DRAM 部的系统大规模集成电路。

附图说明

图 1(a)~图 1(c)为剖视图，示出了本发明第 1 实施例所涉及的半导体器件的制造方法的每个工序。

图 2 是本发明的第 1 实施例所涉及的半导体器件的制造方法中，氧化锆层的沉积时间和硅酸锆层的沉积厚度的关系的图。

图 3(a)及图 3(b)为剖视图，示出了本发明的第 2 实施例所涉及的半导

体器件的制造方法的每个工序。

图 4(a)~图 4(e)为剖面图，示出了本发明第 3 实施例所涉及的半导体器件的制造方法的每个工序。

图 5(a)及图 5(b)为本发明的第四实施例所涉及的半导体器件的制造方法的每个工序。

图 6 为现有的半导体器件的剖面图。

最佳实施方式

(第 1 实施例)

以下,对于本发明的第 1 实施例所涉及的半导体器件以及其制造方法,以 n 型 MOSFET 为例,参照附图进行说明。

图 1(a)~图 1(c)为剖面图,示出了第 1 实施例所涉及的半导体器件的制造方法的每个工序。

第 1 实施例所涉及的半导体器件的制造方法,其特征为:在硅衬底上形成金属硅酸盐层的同时在金属硅酸盐层上形成金属氧化物层,然后除去金属氧化物层,从而形成由金属硅酸盐层而成的栅极绝缘膜。在第 1 实施例中,形成金属硅酸盐层以及金属氧化物层例如使用反应性溅射法。

具体来讲,首先,如图 1(a)所示,例如用周知的方法在 p 型硅衬底 100 上形成元件隔离部 101。之后,例如在 Ar 和 O₂ 的混合气体中,例如对由锆(Zr)构成的金属靶进行反应性溅射,从而在硅衬底 100 上沉积作为高锆介电常数材料层的、例如厚度 5nm 左右的氧化锆层(ZrO₂层)102。此时,在硅衬底 100 和氧化锆层 102 的界面上,形成由锆、硅以及氧这 3 个元素化合物(具体来说 ZrSi_xO_y(x、y>0))构成的硅酸锆层 103。

在此,详细说明硅酸锆层 103 的形成过程。首先,在溅射时的放电所产生的 O₂ 等离子体氧化硅衬底 100 的表面的同时,氧化金属靶的表面上。此后,在金属靶的表面上所形成的锆氧化物被溅射,而进入到在硅衬底 100 的表面上所形成的硅氧化物层中,同时锆氧化物和硅氧化物混合在一起,结果形成了硅酸锆 103。

本案发明人发现了;如此所形成的硅酸锆层 103 的介电常数约为 SiO₂ 的 2 倍。这意味着,例如在形成具有厚度约为 1.5nm 的极薄的 SiO₂ 换算

膜厚的硅酸锆层时的物理厚度可以较厚，约为 3nm。

本案发明人还发现了；如图 2 所示，硅酸锆层 103 的沉积厚度随氧化锆层 102 的沉积时间的加长，成正比地增大。图 2 所示的结果为，在一定溅射条件(反应室内压力：0.4kPa，耗电量：200W，Ar / O₂ 流量比(在标准状态下的每 1 分钟的流量比)：10 / 10cc)下所得到的。即，通过改变溅射条件，能够改变氧化锆层 102 的沉积厚度和硅酸锆层 103 的沉积厚度之间的关系，能够任意地设定氧化锆层 102 和硅酸锆层 103 的沉积结构中的厚度构成就更不用说了。补充一下，作为参考，图 2 中示出了氧化锆层 102 的沉积时间和氧化锆层 102 的沉积厚度的关系。

下面，如图 1(b)所示，例如使用稀氟酸溶液除去氧化锆层 102。此时，因为硅酸锆层 103 的蚀刻比率小于氧化锆层 102 的蚀刻比率，只能使硅酸锆层 103 留下来。由此，能够形成由硅酸锆层 103 构成的栅极绝缘膜 104(参照图 1(c))。

其次，如图 1(c)所示，在栅极绝缘膜 104 上形成栅电极 105。此后，在栅电极 105 的两侧面上形成侧壁绝缘膜 106，同时在硅衬底 100 中的栅电极 105 的两侧面形成作为源极区域以及漏极区域的杂质扩散层 107。此后，在包括栅电极 105 等的上面的硅衬底 100 上，形成层间绝缘膜 108，然后在层间绝缘膜 108 上形成配线 109。补充一下，配线 109 具有设在层间绝缘膜 108 上的插塞，以便与连接扩散层 107 连接起来。

如上所述，依照第 1 实施例，在硅衬底 100 上形成硅酸锆层 103，同时在硅酸锆层 103 上形成氧化锆层 102，除去氧化锆层 102 之后形成由硅酸锆层 103 所构成的栅极绝缘膜 104。此时，通过使用由锆所构成的靶的反应性溅射法，确实能够形成厚度均等的、并且其介电常数大于 SiO₂ 的硅酸锆层 103，同时通过控制溅射条件，能容易且确实地调节硅酸锆层 103 的厚度。从而能实现 SiO₂ 换算膜厚和漏电流很小的栅极绝缘膜 104，所以能够实现具有所需驱动力的功耗量很低的 MOSFET。

补充一下，在第 1 实施例中作为金属靶的材料使用了锆，但可使用具有由反应性溅射所得到的其他具有高介电常数(介电常数高于 SiO₂)的化合物(氧化物)的材料，例如 Hf、Ti、Ta、Al、Pr、Nd 或 La 等金属或这些金属的合金来代替锆。此时，金属靶包括氧或微量的 Si 亦可。

(第1实施例的变形例)

下面，以n型MOSFET为例对本发明第1实施例的变形例所涉及的半导体器件的制造方法进行说明。

第1实施例的变形例与第1实施例不同的地方为：在图1(a)所示的工序中，代替使用反应性溅射法，使用化学气相沉积法形成硅酸锆层103和氧化锆层102。

具体来说，元件隔离101形成之后，首先，作为化学气相沉积工序的初期过程，在高温水蒸气的环境下在硅衬底100的表面上形成1nm左右的氧化膜(硅氧化物层)。然后，通过以 H_2O 和 $ZrCl_4$ 的混合气体作为源气体使用的化学气相沉积法，形成硅衬底100上形成氧化锆层102。此时，包括锆的源气体和硅氧化物层之间产生反应，在硅衬底100和氧化锆层102的界面上，形成由锆、硅以及氧这三个元素化合物所构成的硅酸锆层103。如此所形成的硅酸锆层103，它的特征和在使用反应性溅射法时(第1实施例)相同。通过改变沉积条件、例如改变源气体中的每个气体成分流量比率、或沉积温度或沉积时间等，任意地能设定叠层结构下的每层氧化锆层102和硅酸锆层103的厚度。

如上所述，依照第1实施例的变形例，能够得到与第1实施例相同的效果。

更详细地说，依照第1实施例的变形例，在硅衬底100上形成硅酸锆层103，同时在硅酸锆层103上形成氧化锆层102，然后除去氧化锆层102形成由硅酸锆层103所构成的栅极绝缘膜104。此时，通过使用包括锆的源气体的化学气相沉积法，确实能够形成厚度均等的、其介电常数大于 SiO_2 的硅酸锆层103的同时，通过控制溅射条件，能容易且确实地调节硅酸锆层103的厚度。从而能够实现 SiO_2 换算膜厚和漏电流都很小的栅极绝缘膜104，所以能够实现具有所需驱动力的功耗量很低的MOSFET。

补充一下，在第1实施例的变形例中使用了包括锆(Zr)的源气体，不仅如此，也可以使用包括由化学气相沉积法所得到的其他具有高介电常数的化合物(氧化物)的材料(例如Hf、Ti、Ta、Al、Pr、Nd或La等金属或这些金属的合金)的气体。

另外，在第1实施例的变形例中，作为化学气相沉积法，既可以使用

一般的热 CVD 法等,又可以使用通过脉冲状地(断断续续地)提供源气体而一个分子层地沉积氧化锆层等的金属氧化物层等的 ALD(Atomic layer Deposition)法(参照 Dae-Gyu Park 等、2000 Symposium on VLSI Technology Digest of Technical papers p46-47、或 Dae-Gyu Park 等、2000 American Institute of Physics p2207-2209 等)。使用 ALD 法,能够谋求在硅酸锆层等的金属硅酸盐层的厚度的控制性以及均等性的提高。

另外,在第 1 实施例以及其变形例中,作为形成金属硅酸盐层及金属氧化物层的方法使用了反应性溅射法或化学气相沉积法,由此,不仅如此还可以使用其他能够形成如上述硅酸锆层 103 那样品质良好的金属硅酸盐层的成膜方法,就更不用说了。

(第 2 实施例)

下面,以 n 型 MOSFET 为例对本发明第 2 实施例的变形例所涉及的半导体器件的制造方法进行说明。

图 3(a)(b)为剖面图,示出了第 2 实施例所涉及的半导体器件的制造方法。

第 2 实施例所涉及的半导体器件的制造方法,其特征为:在硅衬底上形成金属硅酸盐层的同时在金属硅酸盐层上形成金属氧化物层,除去其金属氧化物层之后形成其他金属氧化物层,从而形成由金属硅酸盐层以及其他金属氧化物层所构成的栅极绝缘膜。补充一下,在第 2 实施例中,直到图 1(b)所示的工序与第 1 实施例或其变形例相同的工序进行。

也就是说,首先,如图 1(a)及图 1(b)所示,例如使用反应性溅射法或化学气相沉积法等,在硅衬底 100 上形成硅酸锆层 103,同时在硅酸锆 103 上形成氧化锆层 102,之后,除去氧化锆层 102,只剩下硅酸锆层 103。

其次,如图 3(a)所示,例如使用反应性溅射,在硅酸锆层 103 上形成作为高介电常数材料层的厚度约为 5nm 的氧化铪层(HfO₂层)110。通过如此,能够形成硅酸锆层 103 和氧化铪层 110 的叠层结构的栅极绝缘膜 104(参照图 3(b))。此时,因为氧化铪层 110 的介电常数高于氧化锆层 102 的介电常数,所以在厚度相同的情况下,硅酸锆层 103 和氧化铪层 110 的叠层结构中的 SiO₂ 换算膜厚,比在硅酸锆 103 和氧化锆层 102 的叠层结

构中的小。

再次，如图 3(b)所示，在栅极绝缘膜 104 上形成栅电极 105。此后，在栅电极 105 的两侧面上形成侧壁绝缘膜 106，同时在硅衬底 100 中的栅电极 105 的两侧面形成作为源极区域以及漏极区域的杂质扩散层 107。此后，在包括栅电极 105 等的上面的硅衬底 100 上，形成层间绝缘膜 108，然后在层间绝缘膜 108 上形成配线 109。补充一下，配线 109 具有设在层间绝缘膜 108 上所形成的插塞，以便与扩散层 107 连接起来。

如上所述，依照第 2 实施例，在硅衬底 100 上形成硅酸锆层 103，同时在硅酸锆层 103 上形成氧化锆层 102，除去氧化锆层 102 之后形成氧化钪层 110，从而形成由硅酸锆层 103 以及氧化钪层 110 所构成的栅极绝缘膜 104。此时，通过使用反应性溅射法或化学气相沉积法等，能够形成厚度均等、并且其介电常数大于 SiO_2 的硅酸锆层 103，同时例如通过控制溅射条件或沉积沉积条件等容易调节硅酸锆层 103 的厚度。另外，因为在硅酸锆层 103 上还形成氧化钪层 110，所以不用考虑与硅衬底 100 的反应，按设计能形成氧化钪层 110。硅酸锆层 103 和氧化钪层 110 的叠层结构能够实现 SiO_2 换算膜厚以及漏电流都很小的栅极绝缘膜 104，由此能够实现具有所需驱动力的功耗量很低的 MOSFET。

另外，依照第 2 实施例，因为很简单地能够形成具有所需厚度结构的硅酸锆层 103 和氧化钪层 110 叠层结构，所以很容易设计满足 MOSFET 功能要求的栅极绝缘膜 104、例如设计以实现高驱动力化和低功耗量的两个方面为目标的栅极绝缘膜等。

补充一下，在第 2 实施例中，最好是通过使用由锆所构成的靶的反应性溅射法、或通过使用包括锆的源气体的化学气相沉积法，形成硅酸锆层 103 和氧化锆层 102。这样做，就确实能够形成厚度均等的、且其介电常数大于 SiO_2 的硅酸锆层 103，同时通过控制溅射条件，能容易且确实地调节氧化锆层 102 的厚度。在此，作为化学气相沉积法，使用一般的热 CVD 法或 ALD 法等亦可。使用 ALD 法，能够谋求提高硅酸锆层 103 的厚度的控制性和均等性。另外，代替反应性溅射法或化学气相沉积法，可以使用能够形成质量良好的硅酸锆层 103 的其他成膜方法就更不用说了。

在第 2 实施例中，作为栅极绝缘膜 104 的下层的金属硅酸盐层使用了

硅酸锆层 103, 不仅如此, 最好是该金属硅酸盐层包括 Zr、Hf、Ti、Al、Pr、Nd 或 La 等金属或这些金属的合金。这样做, 该金属硅酸盐层的介电常数确实高于 SiO_2 的介电常数。

在第 2 实施例中, 作为栅极绝缘膜 104 的上面层的其他金属氧化物层使用了氧化铪层 110, 不仅如此, 其他金属氧化物层包括 Zr、Hf、Ti、Al、Pr、Nd 或 La 等金属或这些金属的合金是最好的。但, 最好是作为栅极绝缘膜 104 的下层的金属硅酸盐层所含的一金属, 不同于其他金属氧化物层所含的其他金属。

在第 2 实施例中, 最好是这样选择作为栅极绝缘膜 104 的下层的金属硅酸盐层所含的一金属: 即该金属硅酸盐层在衬底界面上保持热稳定, 且, 不让该金属硅酸盐层向硅结晶施加很大的应变而造成迁移率恶化。还有, 最好是作为栅极绝缘膜 104 的上层的其他金属氧化物层所含的其他金属, 选择得该其他金属氧化物层的介电常数高于包括与金属硅酸盐层相同的一金属的金属氧化物层。

(第 3 实施例)

下面, 以 n 型 MOSFET 为例对本发明第 3 实施例所涉及的半导体器件的制造方法进行说明。

图 4(a)~图 4(e)为剖面图, 示出了第 3 实施例所涉及的半导体器件的制造方法的每个工序。

第 3 实施例所涉及的半导体器件, 其特征为: 在硅衬底上形成金属硅酸盐层, 同时在金属硅酸盐层上形成金属氧化物层, 然后除去金属氧化物层的一部分, 从而形成由金属硅酸盐层的第一栅极绝缘膜, 和金属硅酸盐层以及金属氧化膜层所构成的第二栅极绝缘膜。在第 3 实施例中, 形成金属硅酸盐层以及金属氧化物层例如使用反应性溅射法。

具体来说, 首先, 如图 4(a)所示, 例如以周知方法在 p 型硅衬底 200 上形成元件隔离 201, 从而规定第一器件形成区域 R_A 以及第二器件形成区域 R_B 。此后, 例如在 Ar 气体和 O_2 气体的混合气体中, 例如通过对由锆(Zn)所构成的金属靶进行反应性溅射, 在第一器件形成区域 R_A 以及第二器件形成区域 R_B 上分别沉积作为高介电常数材料层的、厚度例如 5nm 左右的氧化锆层(ZrO_2 层)202。此时, 在硅衬底 200 和氧化锆层 202 的界面

上,形成由锆、硅以及氧这三个元素化合物(具体来说 $ZrSi_xO_y(x、y>0)$)构成的硅酸锆层 203。另外,硅酸锆层 203 的具体形成过程以及其特征与第 1 实施例中的硅酸锆层 103 相同。

其次,如图 4(b)所示,形成抗蚀图案 250,以便使它覆盖氧化锆层 202 中的第二器件形成区域 R_B 上。此后,如图 4(c)所示,以蚀刻图案 250 为掩膜,例如用稀有氟酸溶液除去氧化锆层 202 中的第一器件形成区域 R_A 上的部分。此时,因为硅酸锆层 203 的蚀刻比率小于氧化锆层 202 的蚀刻比率,所以,只能在第一器件形成区域 R_A 上留下硅酸锆层 203。如此能在第一器件形成区域 R_A 上形成由硅酸锆层 203 所构成的第一栅极绝缘膜 204A(参照图 4(e)),同时能在第二器件形成区域 R_B 上形成由硅酸锆层 203 和氧化锆层 202 所构成的第二栅极绝缘膜 204B(参照图 4(e))。

再次,如图 4(d)所示,除去蚀刻图案 250 之后,如图 4(e)所示,在第一栅极绝缘膜 204A 上形成第一栅电极 205A,同时在第二栅极绝缘膜 204B 上形成第二栅电极 205B。此后,在第一栅电极 205A 的两侧面上形成第一侧壁绝缘膜 206A,同时在第二栅电极 205B 的两侧面上形成第二侧壁绝缘膜 206B。在硅衬底 200 中的第一栅电极 205A 的两侧面形成作为源极区域以及漏极区域的第一杂质扩散层 207A,同时在硅衬底 200 中的第二栅电极 205B 的两侧面形成作为源极区域以及漏极区域的第二杂质扩散层 207B。然后,在包括第一栅电极 205A 以及第二栅电极 205B 等上边面的硅衬底 200 的上面形成层间绝缘膜 208。然后,在层间绝缘膜 208 上形成第一配线 209A 以及第二配线 209B。补充一下,第一配线 209A 具有设在层间绝缘膜 208 上的插塞,以便与杂质扩散层 207A 连接起来,第二配线 209B 具有设在层间绝缘膜 208 上的插塞,以便杂质扩散层 207B 连接起来。

如上所述,依照第 3 实施例中,在硅衬底 200 上形成硅酸锆层 203 的同时,在硅酸锆层 203 上形成氧化锆层 202,然后,除去氧化锆层 202 的一部分,形成由硅酸锆层 203 所构成的第一栅极绝缘膜 204A,和由硅酸锆层 203 以及氧化锆层 202 所构成的第二栅极绝缘膜 204B。也就是说,第 3 实施例的技术为,作为薄栅极绝缘膜使用了硅酸锆层 203 的单层结构,且作为厚栅极绝缘膜使用了硅酸锆层 203 以及氧化锆层 202 的叠层结构的

多栅极绝缘膜技术。在第3实施例中，通过使用由锆所构成的靶的反应性溅射法，确实能够形成厚度均等的、并且其介电常数大于 SiO_2 的硅酸锆层203，同时通过控制溅射条件，能容易且确实地调节硅酸锆层203。于是在很薄的栅极绝缘膜(第一栅极绝缘膜204A)下，能够实现很小的 SiO_2 换算膜厚和很小的漏电流，在多栅极绝缘膜技术中能够防止栅极漏电流的增大，就能形成功耗量很低的系统大规模集成电路。因为能够实现由第一栅极绝缘膜204A优先了提高驱动力的MOSFET，同时能够实现由第二栅极绝缘膜204B优先了提高驱动力的MOSFET，所以能够实现高驱动力化和第功耗量这两方面的系统大规模集成电路。

补充一下，在第3实施例中作为金属靶的材料使用了锆(Zr)，但可使用具有由反应性溅射所得到的其他具有高介电常数(介电常数高于 SiO_2)的化合物(氧化物)的材料，例如Hf、Ti、Ta、Al、Pr、Nd或La等金属或这些金属的合金来代替锆。此时，金属靶包括氧或微量的硅亦可。

在第3实施例中，最好是以具有第一栅极绝缘膜204A的MOSFET作为内部电路使用，同时以具有第二栅极绝缘膜204B的MOSFET作为周围电路使用。这样做能够实现具有驱动力很高、且功耗量很低的内部电路，和功耗量很低的周围电路的系统大规模集成电路。

在第3实施例中，最好以具有第一栅极绝缘膜204A的MOSFET作为逻辑部使用，同时以具有第二栅极绝缘膜204B的MOSFET作为DRAM部使用。这样做能够实现具有驱动力很高、且功耗量很低的逻辑部，和功耗量很低的DRAM部的系统大规模集成电路。

(第3实施例的变形例)

下面，以n型MOSFET为例对本发明第3实施例的变形例所涉及的半导体器件的制造方法进行说明。

第3实施例的变形例与第3实施例不同的地方为：在图4(a)所示的工序中，代替使用反应性溅射法，使用化学气相沉积法形成硅酸锆层203和氧化锆层202。

具体来说，形成元件隔离201之后，首先，作为化学气相沉积工序的初期过程，在高温水蒸气的环境下在硅衬底200的表面上形成1nm左右的氧化膜(硅氧化物层)。然后，通过以 H_2O 和 ZrCl_4 的混合气体为源气体

使用的化学气相沉积法，在硅衬底 200 上形成氧化锆层 202。此时，包括锆的源气体和硅氧化物层之间产生反应，在硅衬底 200 和氧化锆层 202 的界面上，形成由锆、硅以及氧这三个元素化合物所构成的硅酸锆层 203。如此所形成的硅酸锆层 203，它的特征和在使用反应性溅射法时(第 3 实施例)相同。还有，通过改变沉积条件、例如改变源气体中的每个气体成分流量比率、或沉积温度或沉积时间等，任意地能分别设定在叠层结构下的氧化锆层 202 和硅酸锆层 203 的厚度。

于是，依照第 3 实施例的变形例，能够得到与第 3 实施例相同的效果。

更详细地说，依照第 3 实施例的变形例，在硅衬底 200 上形成硅酸锆层 203，同时在硅酸锆层 203 上形成氧化锆层 202，然后除去氧化锆层 202 的一部分形成由硅酸锆层 203 所构成的第一栅极绝缘膜 204A、和由硅酸锆层 203 以及氧化锆层 202 所构成的第二栅极绝缘膜 204B。即，第 3 实施例的变形例的技术为，作为薄栅极绝缘膜使用了硅酸锆层 203 的单层结构，且作为厚栅极绝缘膜使用了硅酸锆层 203 以及氧化锆层 202 的叠层结构的多栅极绝缘膜技术。第 3 实施例的变形例，通过使用包括锆源气体的化学气相沉积法，确实能够形成厚度均等的、其介电常数大于 SiO_2 的硅酸锆层 203，同时通过控制沉积条件，能容易且确实地调节硅酸锆层 203 的厚度。因为能在很薄的栅极绝缘膜(第一栅极绝缘膜 204A)实现很小的 SiO_2 换算膜厚和很小的漏电流，所以在多栅极绝缘膜技术下能够防止栅极漏电流的增大，就能形成功耗量很低的系统大规模集成电路。还有，因为能够实现由第一栅极绝缘膜 204A 优先提高驱动力的 MOSFET 的同时，能够实现由第二栅极绝缘膜 204B 优先减少功耗量的 MOSFET，所以能够实现高驱动力化和低功耗量这两方面的系统大规模集成电路。

补充一下，在第 3 实施例的变形例中使用了包括锆(Zr)的源气体，不仅如此，也可以使用包括由化学气相沉积法所得到的其他具有高介电常数的化合物(氧化物)的材料(例如 Hf、Ti、Ta、Al、Pr、Nd 或 La 等金属或这些金属的合金)的源气体。

另外，在第 3 实施例的变形例中，作为化学气相沉积法，既可以使用一般的热 CVD 法等，又可以使用通过脉冲状地(断断续续地)提供源气体，把氧化锆层等的金属氧化物层一个分子层地沉积的 ALD 法。使用 ALD 法，

能够谋求在硅酸锆层等的金属硅酸盐层的厚度的控制性和均等性的提高。

另外，在第3实施例以及其变形例中，作为形成金属硅酸盐层的方法使用了反应性溅射法或化学气相沉积法，但不仅如此，还可以使用其它能够形成如上述硅酸锆层203那样质量良好的金属硅酸盐层的成膜方法就更不用说了。

(第4实施例)

下面，以n型MOSFET为例对本发明第4实施例所涉及的半导体器件的制造方法进行说明。

图5(a)、图5(b)为剖面图，示出了第4实施例所涉及的半导体器件的制造方法的每个工序。

第4实施例所涉及的半导体器件，其特征为：在硅衬底上形成金属硅酸盐层，同时在金属硅酸盐层上形成金属氧化物层，除去金属氧化物层的一部分之后形成其他金属氧化物层，从而形成由金属硅酸盐层以及其他金属氧化物层所构成的第一栅极绝缘膜，和金属硅酸盐层、金属氧化膜层以及其他金属氧化物层所构成的第二栅极绝缘膜。补充一下、在第4实施例中，直到图4(d)为止的工序都与第3实施例或其变形例相同。

也就是说，首先，如图4(a)~图4(d)所示，例如通过反应性溅射或化学气相沉积法等，在硅衬底200上形成硅酸锆层203的同时，在硅酸锆层203上形成氧化锆层202，此后，在第一器件形成区域 R_A 上除去氧化锆层202、只剩下硅酸锆层203，同时在第二器件形成区域 R_B 上剩下硅酸锆层203以及氧化锆层202的叠层结构。

其次，如图5(a)所示，例如使用反应性溅射法，在硅衬底200上全面形成作为高介电常数层的厚度5nm左右的氧化铪层(HfO_2 层)210。这样做，能够在第一器件形成区域 R_A 上形成由硅酸锆层203和氧化铪层210的叠层结构所构成的第一栅极绝缘膜204A(参照图5(b))，同时能够在第二器件形成区域 R_B 上形成由硅酸锆层203和氧化锆层202、以及氧化铪层210的叠层结构所构成的第二栅极绝缘膜204B(参照图5(b))。此时，因为氧化铪层210的介电常数高于氧化锆层202，所以在同等厚度下相比，硅酸锆层203和氧化铪层210的叠层结构的 SiO_2 换算膜厚小于硅酸锆层203和氧化锆层202的基层结构。

再次,如图 5(b)所示,在第一栅极绝缘膜 204A 上形成第一栅电极 205A 的同时,在第二栅极绝缘膜 204B 上形成第二栅电极 205B。此后,在第一栅电极 205A 的两侧面上形成第一侧壁绝缘膜 206A,同时在第二栅电极 205B 的两侧面上形成第二侧壁绝缘膜 206B。在硅衬底 200 中的第一栅电极 205A 的两侧面形成作为源极区域以及漏极区域的第一杂质扩散层 207A,同时在硅衬底 200 中的第二栅电极 205B 的两侧面形成作为源极区域以及漏极区域的第二杂质扩散层 207B。然后,在包括第一栅电极 205A 以及第二栅电极 205B 等上面的硅衬底 200 的上面形成层间绝缘膜 208。然后,在层间绝缘膜 208 上形成第一配线 209A 以及第二配线 209B。补充一下,第一配线 209A 具有设在层间绝缘膜 208 上的插塞,以便与杂质扩散层 207A 连接起来,第二配线 209B 具有设在层间绝缘膜 208 上的插塞,以便与杂质扩散层 207B 连接起来。

如上所述,依照第 4 实施例中,在硅衬底 200 上形成硅酸锆层 203 的同时,在硅酸锆层 203 上形成氧化锆层 202,除去氧化锆层 202 的一部分,然后形成氧化铪层 210,形成由硅酸锆层 203 和氧化铪层 210 所构成的第一栅极绝缘膜 204A,和由硅酸锆层 203 和氧化锆层 202 以及氧化铪层 210 所构成的第二栅极绝缘膜 204B。也就是说,第 4 实施例的技术为,作为很薄栅极绝缘膜使用了硅酸锆层 203 以及氧化铪层 210 的叠层结构,且作为很厚栅极绝缘膜使用了硅酸锆层 203、氧化锆层 202 以及氧化铪层 210 的叠层结构的多栅极绝缘膜技术。在第 4 实施例中,通过使用反应性溅射法或化学气相沉积法等,确实能够形成厚度均等的、并且其介电常数大于 SiO_2 的硅酸锆层 203,同时通过控制溅射条件或沉积条件等容易调节硅酸锆层 203 的厚度。还有,在第 4 实施例中,硅酸锆层 203 或氧化锆层 202 的上面,又形成氧化铪层 210,因此不用考虑与硅衬底 200 的反应,按设计能形成氧化铪层 210。硅酸锆层 203 和氧化铪层 210 的叠层结构,能实现在厚度很薄的绝缘膜(第一栅极绝缘膜 204A)下,实现很小的 SiO_2 换算膜厚和很小的漏电流,所以在多栅极绝缘膜技术中防止栅极漏电流的增大,能够形成功耗量很低的系统大规模集成电路。因为能够实现由第一栅极绝缘膜 204A 优先了提高驱动力的 MOSFET,同时能够实现由第二栅极绝缘膜 204B 优先了提高驱动力的 MOSFET,所以能够实现高驱动力化和

第功耗量这两方面的系统大规模集成电路。

依照第 4 实施例, 因为很简单地能够形成所要厚度构成的硅酸锆层 203 和氧化铪层 210 的叠层结构, 或硅酸锆层 203、和氧化锆层 202 以及氧化铪层 210 的叠层结构, 所以很容易能设计满足 MOSFET 功能要求的第一栅极绝缘膜 204A 或第二栅极绝缘膜 204B、例如设计以实现高驱动力化和低功耗量的两侧面都为目标的栅极绝缘膜等。

补充一下, 在第 4 实施例中, 最好是通过使用由锆所构成的靶的反应性溅射法、或通过使用包括锆的源气体的化学气相沉积法, 形成硅酸锆层 203 和氧化锆层 202。这样做, 就确实能够形成厚度均等的、且其介电常数大于 SiO_2 的硅酸锆层 203, 同时通过控制溅射条件或沉积条件确实调节氧化锆层 202 的厚度。在此, 作为化学气相沉积法, 使用一般的热 CVD 法或 ALD 法等亦可。使用 ALD 法, 能够谋求提高硅酸锆层 203 厚度的控制性和均等性。代替反应性溅射法或化学气相沉积法, 可以使用能够形成品质良好的硅酸锆层 203 的其他成膜方法就更不用说了。

在第 4 实施例中, 作为第一栅极绝缘膜 204A 或第二栅极绝缘膜 204B 的下边层的金属硅酸盐层使用了硅酸锆层 203, 不仅如此, 最好是该金属硅酸盐层包括 Zr、Hf、Ti、Al、Pr、Nd 或 La 等金属或这些金属的合金。这样做, 该金属硅酸盐层的介电常数确实高于 SiO_2 的介电常数。

在第 4 实施例中, 作为第一栅极绝缘膜 204A 或第二栅极绝缘膜 204B 的上边层的其他金属氧化物层使用了氧化铪层 210, 不仅如此, 其他金属氧化物层包括 Zr、Hf、Ti、Al、Pr、Nd 或 La 等金属或这些金属的合金是最好的。但, 最好是作为第一栅极绝缘膜 204A 或第二栅极绝缘膜 204B 的下边层的金属硅酸盐层所含的一金属, 不同与其他金属氧化物层所含的其他金属。

在第 4 实施例中, 最好是这样选择作为栅极绝缘膜 204A 或第二栅极绝缘膜 204B 的下边层的金属硅酸盐层所含的一金属: 即该金属硅酸盐层在衬底界面上保持热很稳定, 且, 不让该金属硅酸盐层向硅结晶施加很大的应变而造成迁移率恶化。最好是作为栅极绝缘膜 204A 或第二栅极绝缘膜 204B 的上层的其他金属氧化物层所含的其他金属, 选择得该其他金属氧化物层的介电常数高于包括与金属硅酸盐层相同的一金属的金属氧化物

层。

在第4实施例中，最好是以具有第一栅极绝缘膜204A的MOSFET作为内部电路使用，同时以具有第二栅极绝缘膜204B的MOSFET作为周围电路使用。这样做能实现具有驱动力很高、且功耗量很低的内部电路，和功耗量很低的周围电路的系统大规模集成电路。

在第4实施例中，最好以具有第一栅极绝缘膜204A的MOSFET作为逻辑部使用，同时以具有第二栅极绝缘膜204B的MOSFET作为DRAM部使用。这样做能实现具有驱动力很高、且功耗量很低的逻辑部，和功耗量很低的DRAM部的系统大规模集成电路。

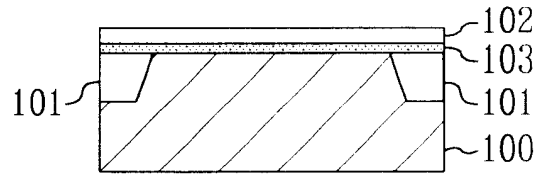


图1(a)

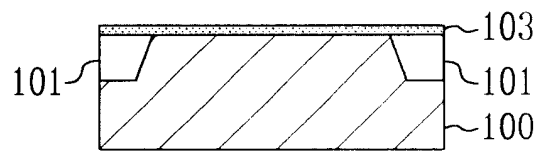


图1(b)

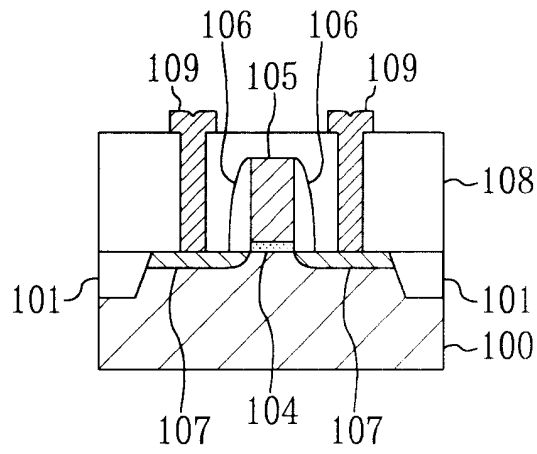


图1(c)

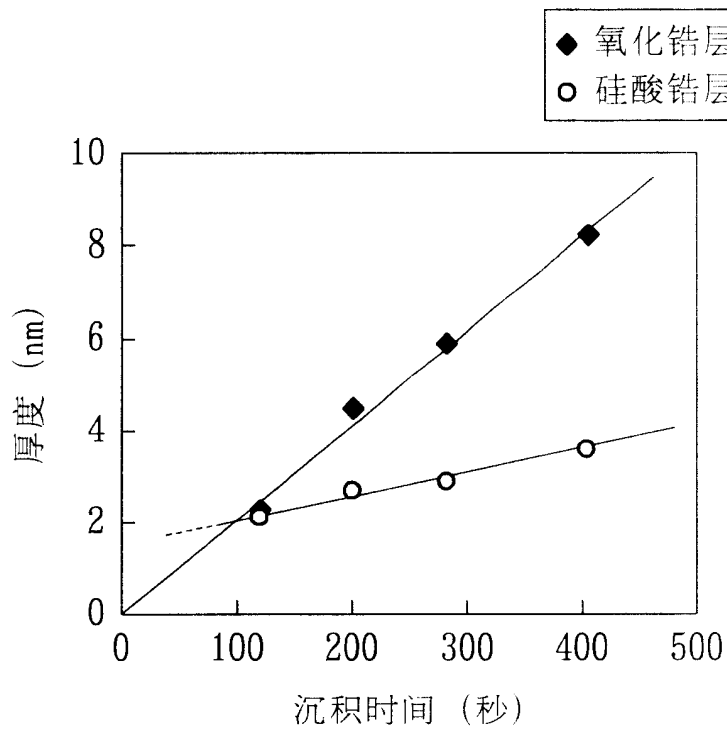


图2

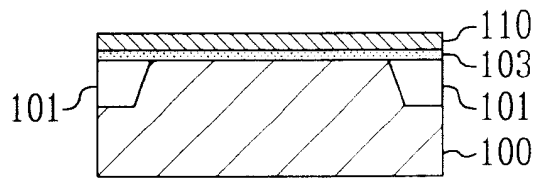


图3(a)

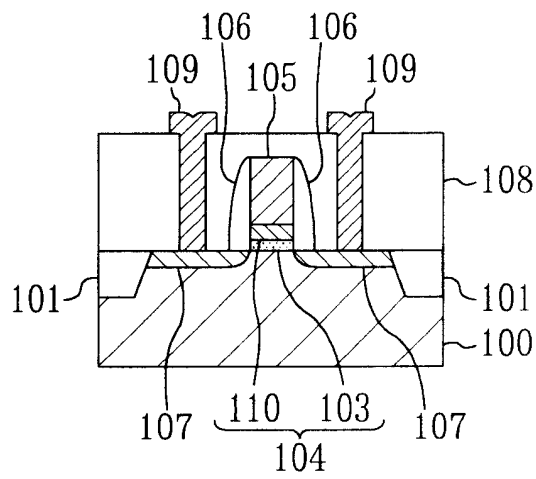
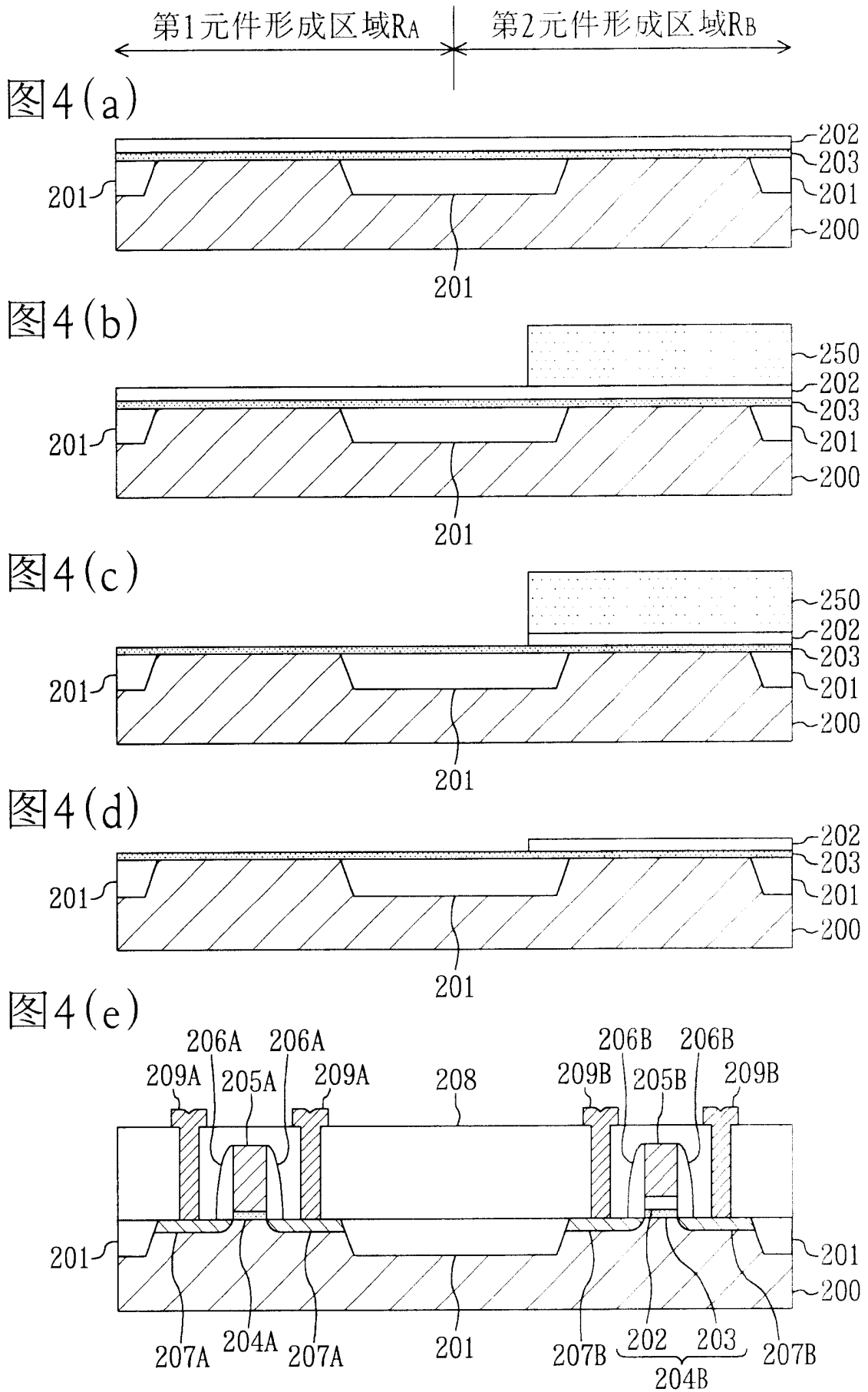


图3(b)



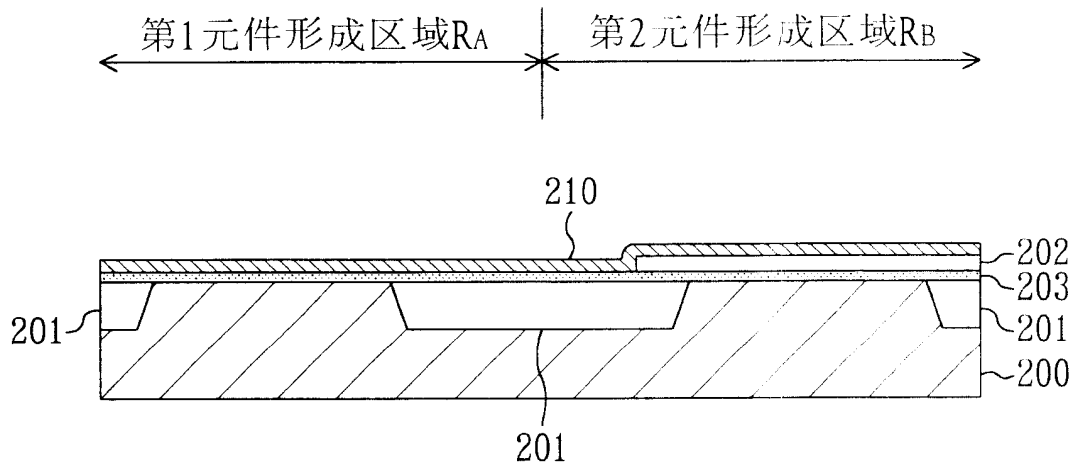


图5(a)

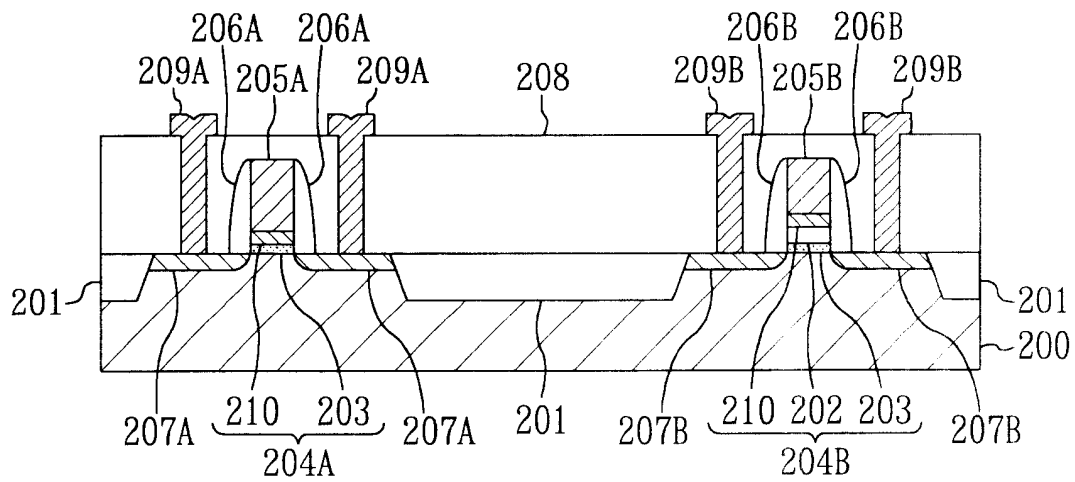


图5(b)

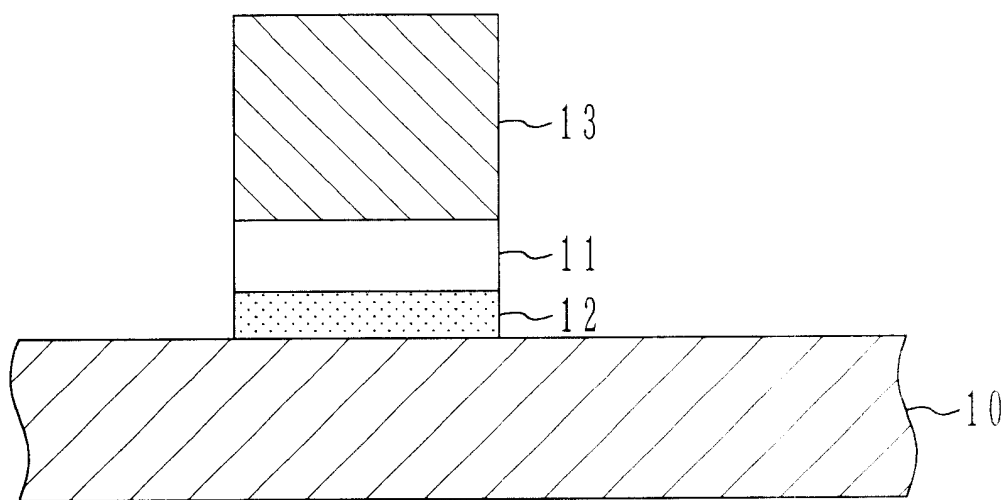


图6