

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 12/02 (2006.01)

G06F 13/20 (2006.01)



[12] 发明专利说明书

专利号 ZL 03822678.2

[45] 授权公告日 2007 年 9 月 26 日

[11] 授权公告号 CN 100339836C

[22] 申请日 2003.7.17 [21] 申请号 03822678.2

[30] 优先权

[32] 2002. 7. 24 [33] US [31] 10/205,546

[86] 国际申请 PCT/US2003/022784 2003. 7. 17

[87] 国际公布 WO2004/010314 英 2004. 1. 29

[85] 进入国家阶段日期 2005. 3. 23

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 戴维·史密斯 赛莱什·比塞索

[56] 参考文献

US6275876B1 2001. 8. 14

US6094699 A 2000. 7. 25

US4535404 1985. 8. 13

US6233641B1 2001. 5. 15

审查员 唐 嫣

[74] 专利代理机构 北京嘉和天工知识产权代理事务所

代理人 严 慎

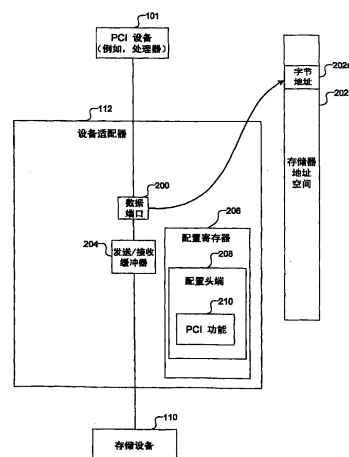
权利要求书 5 页 说明书 6 页 附图 5 页

[54] 发明名称

基于存储器的数据传输的方法、系统和设备

[57] 摘要

本发明提供的是用于局部总线系统的方法、系统和程序。存储器地址空间被配置来控制 I/O 设备。所述存储器地址空间与耦合到局部总线系统的端口相关联。



1. 一种局部总线系统中的方法，包括：
配置存储器地址空间来控制 I/O 设备；以及
将所述存储器地址空间与设备适配器中的耦合到所述局部总线系统的端口关联起来，其中所述端口将所述 I/O 设备耦合到所述设备适配器，并且其中所述设备适配器中的缓冲器与所述端口相关联，以用于经由所述缓冲器流式传送编程 I/O 事务的数据，其中所述被流式传送的数据超过所述缓冲器的大小并且所述编程 I/O 事务使用所述存储器地址空间。
2. 如权利要求 1 所述的方法，其中所述端口是数据端口。
3. 如权利要求 2 所述的方法，其中所述编程 I/O 事务的被流式传送的数据是编程 I/O 数据，其中所述 I/O 设备是储存设备，并且有多于四个的储存设备能够进行 I/O 事务。
4. 如权利要求 3 所述的方法，其中“配置所述存储器地址空间”的操作还包括：
将局部总线功能与所述储存设备关联起来；以及
将对应于所述局部总线功能的两个相邻的基址寄存器配置为所述存储器地址空间中的存储器地址，其中所配置的两个相邻的基址寄存器被用来控制所述储存设备。
5. 如权利要求 1 所述的方法，还包括：
在设备适配器中的所述端口处接收来自 PCI 设备的编程 I/O 数据，其中所述端口映射到所述存储器地址空间中的字节地址；
从所述设备适配器向所述 I/O 设备发送所述编程 I/O 数据。
6. 如权利要求 5 所述的方法，其中经由所述缓冲器来接收和发送所述编程 I/O 数据。
7. 如权利要求 1 所述的方法，还包括：
在所述设备适配器中的所述端口处接收数据请求，其中所述端口映射到所述存储器地址空间中的字节地址，并且其中所述请求来自 PCI 设备；
基于所述请求，从所述设备适配器向所述 I/O 设备发送所述请求；
从所述 I/O 设备接收编程 I/O 数据；以及
将所述编程 I/O 数据发送到所述 PCI 设备。
8. 如权利要求 7 所述的方法，其中，经由所述缓冲器来接收和发送所述编程 I/O 数据。
9. 如权利要求 1 所述的方法，其中所述设备适配器是直接连接到主机总线的 SATA 适配器。

10. 如权利要求 1 所述的方法，其中所述 I/O 设备是 ATA、IDE 或 SATA 设备，并且其中多于四个的所述 I/O 设备能够通过所述设备适配器进行 I/O 事务。

11. 如权利要求 1 所述的方法，其中所述端口的长度是一个或多个字节。

12. 一种系统，包括：

局部总线；

耦合到所述局部总线的设备适配器；

耦合到所述设备适配器的 I/O 设备；

存储装置，其包括的地址空间被配置来控制所述 I/O 设备；以及

位于所述设备适配器中的端口，其中所述地址空间与所述端口相关联；以及

所述设备适配器中的缓冲器，其中所述缓冲器与所述端口相关联，以用于经由所述缓冲器流式传送与所述 I/O 设备进行的编程 I/O 事务的数据，其中所述被流式传送的数据超过所述缓冲器的大小并且所述编程 I/O 事务使用所述地址空间。

13. 如权利要求 12 所述的系统，其中所述设备适配器是直接连接到主机总线的 SATA 适配器。

14. 如权利要求 12 所述的系统，其中所述 I/O 设备是 ATA、IDE 或 SATA 设备，并且其中多于四个的所述 I/O 设备能够通过所述设备适配器进行 I/O 事务。

15. 如权利要求 12 所述的系统，其中所述端口是数据端口。

16. 如权利要求 15 所述的系统，其中所述编程 I/O 事务的被流式传送的数据是编程 I/O 数据，其中所述 I/O 设备是储存设备，并且有多于四个的储存设备能够进行 I/O 事务。

17. 如权利要求 16 所述的系统，还包括：

与所述储存设备相关联的局部总线功能；以及

对应于所述局部总线功能的两个相邻的基址寄存器，该寄存器被配置为所述地址空间中的存储器地址，其中所配置的两个相邻的基址寄存器被用来控制所述储存设备。

18. 如权利要求 12 所述的系统，还包括：

耦合到所述局部总线的 PCI 设备，其中所述端口从所述 PCI 设备接收编程 I/O 数据，并且其中所述端口映射到所述地址空间中的字节地址，并且其中所述编程 I/O 数据从所述设备适配器被发送到所述 I/O 设备。

19. 如权利要求 18 所述的系统，其中经由所述缓冲器来接收和发送所述编程 I/O 数据。

20. 如权利要求 12 所述的系统，还包括：

耦合到所述局部总线的 PCI 设备，其中所述端口接收数据请求，其中所述端口映射到所述地址空间中的字节地址，其中所述请求是来自所述 PCI 设备，其中所述请求从所述设备适配器被发送到所述 I/O 设备，其中从所述 I/O 设备接收编程 I/O 数据，并且其中所述编程 I/O 数据被发送到所述 PCI 设备。

21. 如权利要求 20 所述的系统其中经由所述缓冲器来接收和发送所述编程 I/O 数据。

22. 如权利要求 12 所述的系统，其中所述端口的长度是一个或多个字节。

23. 一种利用耦合到局部总线的 I/O 设备来传输数据的系统，包括：

耦合到所述局部总线的设备适配器；

存储装置，其包括的地址空间被配置来控制所述 I/O 设备；以及

位于所述设备适配器中的端口，其中所述地址空间与所述端口相关联；以及

所述设备适配器中的缓冲器，其中所述缓冲器与所述端口相关联，以用于经由所述缓冲器流式传送与所述 I/O 设备进行的编程 I/O 事务的数据，其中所述被流式传送的数据超过所述缓冲器的大小并且所述编程 I/O 事务使用所述地址空间。

24. 如权利要求 23 所述的系统，其中所述设备适配器是直接连接到主机总线的 SATA 适配器。

25. 如权利要求 23 所述的系统，其中所述 I/O 设备是 ATA、IDE 或 SATA 设备，并且其中多于四个的所述 I/O 设备能够通过所述设备适配器进行 I/O 事务。

26. 如权利要求 23 所述的系统，其中所述端口是数据端口。

27. 如权利要求 26 所述的系统，其中所述编程 I/O 事务的被流式传送的数据是编程 I/O 数据，其中所述 I/O 设备是储存设备，并且有多于四个的储存设备能够进行 I/O 事务。

28. 如权利要求 27 所述的系统，还包括：

与所述储存设备相关联的局部总线功能；

对应于所述局部总线功能的两个相邻的基址寄存器，其中所述寄存器被配置为所述地址空间中的存储器地址，其中所配置的两个相邻的基址寄存器被用来控制所述储存设备。

29. 如权利要求 23 所述的系统，还包括：

耦合到所述局部总线的 PCI 设备，其中所述端口从所述 PCI 设备接收编程 I/O 数据，并且其中所述端口映射到所述地址空间中的字节地址，并且其中所述编程 I/O 数据从所述设备适配器被发送到所述 I/O 设备。

30. 如权利要求 29 所述的系统，其中经由所述缓冲器来接收和发送所述编程 I/O 数据。

31. 如权利要求 23 所述的系统，还包括：

耦合到所述局部总线的 PCI 设备，其中所述端口接收数据请求，其中所述端口映射到所述地址空间中的字节地址，其中所述请求是来自所述 PCI 设备，其中基于所述请求，所述请求从所述设备适配器被发送到所述 I/O 设备，其中从所述 I/O 设备接收编程 I/O 数据，并且其中所述编程 I/O 数据被发送到所述 PCI 设备。

32. 如权利要求 31 所述的系统其中经由所述缓冲器来接收和发送所述编程 I/O 数据。

33. 如权利要求 23 所述的系统，其中所述端口的长度是一个或多个字节。

34. 一种设备，包括：

用于配置存储器地址空间来控制 I/O 设备的装置；

用于将所述存储器地址空间与设备适配器中的耦合到所述局部总线系统的端口关联起来的装置，所述端口将所述 I/O 设备耦合到所述设备适配器，并且其中所述设备适配器中的缓冲器与所述端口相关联；以及

用于经由所述缓冲器流式传送所述 I/O 设备的编程 I/O 事务的数据的装置，其中所述被流式传送的数据超过所述缓冲器的大小并且所述编程 I/O 事务使用所述存储器地址空间。

35. 如权利要求 34 所述的设备，其中所述端口是数据端口。

36. 如权利要求 35 所述的设备，其中所述编程 I/O 事务的被流式传送的数据是编程 I/O 数据，其中所述 I/O 设备是储存设备，并且有多于四个的储存设备能够进行 I/O 事务。

37. 如权利要求 36 所述的设备，其中用于配置所述存储器地址空间的装置还可以：
将局部总线功能与所述储存设备关联起来；以及

将对应于所述局部总线功能的两个相邻的基址寄存器配置为所述存储器地址空间中的存储器地址，其中所配置的两个相邻的基址寄存器被用来控制所述储存设备。

38. 如权利要求 34 所述的设备，还包括：

用于在所述设备适配器中的所述端口处接收来自 PCI 设备的编程 I/O 数据的装置，其中所述端口映射到所述存储器地址空间中的字节地址；

用于从所述设备适配器向所述 I/O 设备发送所述编程 I/O 数据的装置。

39. 如权利要求 38 所述的设备，其中经由所述缓冲器来接收和发送所述编程 I/O 数据。

40. 如权利要求 34 所述的设备，还包括：

在所述设备适配器中的所述端口处接收数据请求，其中所述端口映射到所述存储器地址空间中的字节地址，并且其中所述请求来自 PCI 设备；

基于所述请求，从所述设备适配器向所述 I/O 设备发送所述请求；

从所述 I/O 设备接收编程 I/O 数据；以及

将所述编程 I/O 数据发送到所述 PCI 设备。

41. 如权利要求 40 所述的设备，其中，经由所述缓冲器来接收和发送所述编程 I/O 数据。

42. 如权利要求 34 所述的设备，其中所述设备适配器是与主机总线直接连接的 SATA 适配器。

43. 如权利要求 34 所述的设备，其中所述 I/O 设备是 ATA、IDE 或 SATA 设备，其中有多于四个的 I/O 设备能够通过所述设备适配器进行 I/O 事务。

44. 如权利要求 34 所述的设备，其中所述端口的长度是一个或多个字节。

基于存储器的数据传输的方法、系统和设备

技术领域

本发明涉及基于存储器的数据传输的系统、方法和程序。

背景技术

局部输入/输出（I/O）总线是用于将诸如储存设备的外围设备耦合到计算机系统的高速输入/输出（I/O）总线。外设部件互连（PCI）总线和诸如 PCI-X 总线的增强型 PCI 总线都是常用的 I/O 总线。

PCI 物理设备是一种可被耦合到 PCI 总线的物理设备。每个 PCI 物理设备可以包括一种到八种单独的 PCI 功能。一种 PCI 功能可以是一个逻辑设备。每种 PCI 功能都可以包括配置头端（configuration header），其可被配置来控制被耦合到 PCI 总线的外围设备。配置头端可以包括配置寄存器，例如基址寄存器。在配置头端中可以存在六个基址寄存器，包括基址寄存器 0（BAR0）、基址寄存器 1（BAR1）、基址寄存器 2（BAR2）、基址寄存器 3（BAR3）、基址寄存器 4（BAR4）、基址寄存器 5（BAR5）。每个基址寄存器可以是 32 位的，即一个双字（dword）。在 PCI 特殊兴趣小组的名为“PCI 局部总线规范”的公开文本（版本 2.2，PCI 特殊兴趣小组版权 1992，1993，1995，1998）中描述了 PCI 总线的更多细节，此后被称为“PCI 规范”。在“PCI 规范”的第 6 章中描述了基址寄存器的更多细节。

诸如主机总线适配器（HBA）一类的设备适配器可以在 PCI/PCI-X 总线和储存设备之间起到接口的作用。这种接口可以控制数据从计算机到储存设备的传输，反之亦然。用于储存盘的接口包括集成驱动电子设备（IDE）接口（也被称为“高级技术配件接口”，即 ATA 接口）和串行 ATA（SATA）接口。在串行 ATA 工作组的名为“串行 ATA：高速串行化 AT 配件”的公开文本（版本 1.0，版权 2001）中描述了 SATA 的进一步细节。类似于 IDE/ATA 的技术，例如 ATA 分组接口（ATAPI）技术可用于 CD ROM 和 DVD 驱动器。接口的带宽和处理能力可能会大大影响系统性能、系统配置、系统兼容性、系统升级能力等。

为接口于 PCI/PCI-X 总线的设备而定义的数据传输方法包括“总线主控 IDE”和“编程 I/O”（PIO）。总线主控 IDE 利用主机总线适配器中的直接存储器访问（DMA）引擎进行数据传输，从而降低了主机处理器上的负载。在基于 PIO 的数据传输中，设备适配器起到从属设备的作用，接受来自外部总线主控（例如主机处理器或总线主控控制器）的读写请求，并通过向附属设备进行读或写操作来满足所述请求。在现有技术中，在基于 PIO 的数据传输中，可以每次一个字节、二个字节或四个字节地传输数据。

在现有技术的基于 PIO 的数据传输机制中，设备适配器可以包括数据端口。该数据端口可以位于 I/O 地址空间中的某一字节地址。可以通过设备适配器的配置头端空间中的基址寄存器，以现有技术中公知的方式来实现所述 I/O 地址空间。由于所述数据端口被映射到 I/O 地址空间中的某一地址，所以当向储存设备写入数据时，PCI 设备可以同时向数据端口写入两字节数据。同样，在读数据时，PCI 设备可以同时从数据端口读取两字节的数据。因此，在基于 PIO 数据传输的现有技术的 PCI IDE 实施方案中，可以同时传输两字节的数据，即在 PCI IDE PIO 模式中，每个事务允许两字节的数据。

尽管在现有技术中数据传输已使用在主机总线系统中，但是对于主机总线系统中的数据传输而言，仍需要改进的技术。

附图说明

现在参考附图，在整个附图中相同的标号代表相应的部分：

图 1 图示了根据本发明某些已描述的实施方案，用于访问储存设备中的数据的总线体系结构；

图 2 图示了根据本发明某些已描述的实施方案，使用存储器地址空间的基于编程 I/O 的数据传输机制的框图；

图 3 图示了根据本发明某些已描述的实施方案，使用存储器地址空间的 PCI 功能的配置头端的框图；

图 4 图示了根据本发明某些已描述的实施方案，用于配置系统以进行基于编程 I/O 的数据传输的逻辑；以及

图 5a 和图 5b 图示了根据本发明某些已描述的实施方案，用于基于编程 I/O 的数据传输的逻辑。

具体实施方式

在以下描述中将参考附图，这些附图构成了描述的一部分，并且图示了本发明的几种实施方案。可以理解，也可以使用其他实施方案，在不偏离本发明的范围的情况下，可以作出结构和操作上的改变。

本发明已描述的实施方案提供了允许利用存储器地址空间来实现 PIO 数据传输的技术。通过允许突发（burst）PIO 事务，使用存储器地址空间加快了数据传输的速度。在突发 PIO 事务中，每个事务可以传输大量的数据（例如几千字节）。

图 1 图示了根据本发明多种实施方案的系统 100，其中包括用于访问诸如 ATA/ATAPI/SATA 储存设备一类的储存设备中的数据的总线体系结构。诸如中央处理单元（CPU）或 I/O 处理器的 PCI 设备 101 被耦合到诸如 PCI（或者 PCI-X）总线的主机总

线 106。CPU 可以是本领域中公知的任何 CPU，例如 INTEL[™]x86 系列微处理器、PowerPC[™] 处理器等。I/O 处理器可以包括本领域中公知的任何 I/O 处理器，例如 INTEL[™]80321 或者 INTEL[™]80310。

储存设备 110 经由设备适配器 112 被耦合到 PCI 总线 106，所述设备适配器 112 例如是串行 ATA (SATA) 适配器。储存设备 110 可以是本领域中公知的任何类型的储存设备，例如 SATA、ATA、ATAPI 等类型的储存设备。设备适配器 112 可以是本领域中公知的任何类型的设备适配器，例如 SATA、ATA、ATAPI 等类型的储存适配器。虽然示出了一个储存设备 110，但是更多数量的储存设备可以经由设备适配器 112 被连接到 PCI 总线 106。

包括在配置组件 122 中的配置软件 120 可以对系统 100 进行配置，使得设备 110 可以经由 PCI 总线 106 来交换数据。配置组件 122 被耦合到主机总线 106，并且在某些实施方式中可以是 PCI 设备 101 的一部分或者可被耦合到 PCI 设备 101。配置软件 120 可以是 BIOS 的一部分，可以是单独的软件模块的一部分，可以是设备驱动程序的一部分，等等。

图 2 图示了根据本发明某些已描述的实施方案，可被实现在系统 100 中的基于编程 I/O 的数据传输机制的框图。设备适配器 112 包括数据端口 200。数据端口 200 被定址在存储器地址空间 202 中的字节地址 202a。

耦合到数据端口 200 的是设备适配器 112 中的发送/接收缓冲器 204。对于从 PCI 设备 101 发送来的数据，发送/接收缓冲器 204 可以在它们被发送到储存设备 110 之前存储这些数据。发送/接收缓冲器 204 还可以在来从储存设备 110 接收的数据被发送到 PCI 设备 101 之前存储这些数据。

由于数据端口 200 被定址在存储器地址空间 202 中，所以有可能利用附接于 PCI 总线 106 的储存设备 110 来完成突发 PIO 事务。在突发 PIO 事务中，每个事务可以传输大量数据（例如几千字节）。因为数据可以通过发送/接收缓冲器 204 进行流式传送，所以每个事务的数据可以超过发送/接收缓冲器 204 的大小。

配置软件 120 通过编程位于设备适配器 112 中的配置寄存器 206 来实现存储器地址空间 202。配置软件 120 对包括配置寄存器 206 中的一个或多个寄存器的配置头端 208 进行配置，以编程实现 PCI 功能 210 的设置。根据本发明的多种实施方案，PCI 功能 210 可以将储存设备 110 映射到存储器地址空间 202 并且控制储存设备 110。在本发明可替换的实施方案中，更少或更多数量的储存设备可以受到 PCI 功能 210 的控制。在“PCI 规范”第 6 章中描述了编程配置寄存器 206 和配置头端 208 的机制的进一步细节。

PCI 设备 101 可以拥有寻址两个不同地址空间的能力：I/O 地址空间和存储器地址空间。PCI 设备 101 分别使用 PCI I/O 事务和存储器事务来访问 PCI I/O 和存储器位置。此外，第三访问类型，即配置访问，可被用来访问设备的配置寄存器。可以在系统 100 复位时初

始化 PCI 功能 210 的配置寄存器 206, 以配置 PCI 功能 210 来响应由配置软件 120 分配给所述 PCI 功能的存储器和 I/O 地址范围。

当诸如系统 100 的系统被复位时, 诸如配置软件 120 的配置软件扫描系统 100 中的各种总线, 以确定存在哪些设备, 这些设备又具有怎样的配置要求。上述过程被称为“扫描总线”或“漫步总线”。此时, 配置软件 120 可以基于在配置主机总线 106 时所发现的东西, 向配置寄存器 206 写入设置。

图 3 图示了根据本发明的某些实施方案, 提供以下设置的配置头端 208, 所述设置实现 PCI 功能 210 以将储存设备 110 连接到 PCI 总线 106, 其中所述配置头端 208 被配置来为存储器空间 202 定义地址分配方案, 例如字节地址 202a 被分配用于定址数据端口 200 的地址分配方案。

在图 3 中, 两个 32 位的基址寄存器 BAR0 和 BAR1 被合在一起配置为一个 64 位的存储器基址寄存器 (标号 302 所指示的存储器 BAR), 它从地址 10hex 开始。在可替换的实施方案中, 可以使用不同于 10hex 的不同起始地址来存储存储器 BAR 302。在某些实施方案中, 存储器 BAR 302 可以被配置为 32 位寄存器。在图 3 中, 分别对应于基址寄存器 BAR2、BAR3、BAR4 和 BAR5 的双字 306、308、310 和 312 可以留着不用。储存设备 110 可以通过存储器 BAR 302 被映射到存储器空间 202 中, 即, 经由存储器空间 202 可以访问储存设备 110。在某些实施方案中, 存储器 BAR 302 可以是 64 位长, 并且可以在 2^{64} 位的存储器空间中定位一个地址, 其中所述存储器空间的范围对应于用来控制储存设备 110 的区域。可以通过访问存储器空间来控制储存设备 110。

因此, 存储器 BAR 302 实现了 PCI 功能 210 中的“可编程存储器译码器”。配置软件 120 可以将存储器空间 202 中的一个 64 位存储器地址分配给存储器 BAR 302。因为存储器 BAR 302 可以有 64 位长, 并且可寻址存储器的总量可以是 2^{64} 个字节, 这大得不仅是足以映射储存设备 110 的地址, 还可以映射很多储存设备的地址。在本发明的一种实施方案中, 为控制储存设备 110 所需的存储器空间的量最多是 512 字节。在每个储存设备需要 512 字节的情况下, 可以通过使用存储器 BAR 302 而在 PCI 总线 106 上寻址的储存设备的数目是相当大的, 可以大于 4 个。在可替换的实施方案中, 为控制储存设备 110 所需的存储器空间的量可以是更少或更多数量的字节。寻址储存设备所需的字节数量要根据控制每个设备所需的能力而定, 并且是对于每个设备所支持的特性集合的函数。考虑到存储器 BAR 302 中大的可寻址空间以及每个储存设备所需的相对较小的字节数量, 在本发明的实施方案中可以同时支持的储存设备的数目是非常大的, 并且可以超过四个储存设备。因此, 本发明的实施方案所提供的配置机制使得系统 100 能够利用存储器空间 202 中的某些预定义的地址, 将由组成 PCI 设备 101 的 CPU 或 I/O 处理器发起的访问转换为 PCI 总线 106 上的配置访问。

图 4 图示了根据本发明的某些实施方案, 用于配置系统 100 以在 PCI 设备 101 和储存

设备 110 之间进行突发模式的 PIO 数据传输的逻辑。

在框 400，系统 100 开机。控制前进到框 404，其中配置软件 120 配置图 3 中所描述的存储器 BAR 302。控制前进到框 408，其中设备适配器 112 确定存储器 BAR 302 映射到存储器地址空间 202。然后控制前进到框 416，其中用于配置系统 100 的过程结束。

在图 4 中描述的逻辑使得设备适配器 112 能够在系统 100 中的 PCI 设备 101 和储存设备 110 之间以突发 PIO 模式来传输数据。将数据端口 200 配置到存储器地址空间 202 中的地址 202a，这使得突发模式 PIO 模式的数据传输能够进行，其中在某些实施方案中每个事务可以传输几千字节的数据。

图 5a 图示了根据本发明的某些实施方案，用于对储存设备 110 进行突发模式的基于编程 I/O 的数据写的逻辑。控制开始于框 500，其中 PCI 设备 101 向设备适配器 112 上的数据端口 200 发送 PIO 数据，其中所述数据端口 200 是通过存储器地址空间 202 中的字节地址 202a 来寻址的。所述 PIO 数据是以突发模式发送的，即所发送的数据量可以达几千字节。设备适配器 112（在框 504）将所述 PIO 数据接收到与数据端口 200 耦合的发送/接收缓冲器 204 中。控制前进到框 508，其中设备适配器 112 将所述 PIO 数据从发送/接收缓冲器 204 发送到储存设备 110。储存设备 110（在框 512）接收由 PCI 设备 101 发送的 PIO 数据。

图 5b 图示了根据本发明的某些实施方案，用于从储存设备 110 进行突发模式的基于编程 I/O 的数据读的逻辑。控制开始于框 550，其中 PCI 设备 101 经由设备适配器 112 上的数据端口 200 向储存设备 110 请求数据，其中所述数据端口是通过存储器地址空间 202 中的字节地址 202a 来寻址的。所述 PIO 数据是以突发模式接收的，即所发送的数据量可以达几千字节。控制前进到框 558，其中设备适配器 112 将所述 PIO 数据从与数据端口 200 相关联的发送/接收缓冲器 204 发送到 PCI 设备 101。控制前进到框 562，其中 PCI 设备 101 接收突发模式的 PIO 数据。

图 5a 和图 5b 的逻辑图示了 PIO 数据经由与设备适配器 112 的数据端口 200 相耦合的发送/接收缓冲器 204，在 PCI 设备 101 和储存设备 110 之间的突发模式传输。所述数据端口被映射到存储器地址空间 202。存储器地址空间 202 是通过配置存储器基址寄存器 302 而创建的。PIO 数据的突发模式传输提高了储存设备 110 和 PCI 设备 101（例如处理器）之间在 PCI 总线 106 上的数据传输速度。因此，所描述的实施方案为主机总线系统中基于 PIO 的数据传输提供了改进的技术，其中在某些实施方式中每个事务可以传输几千字节的数据。

附加实施方式

使用标准的编程和/或工程设计技术来产生软件、固件、硬件或它们的组合，可以将

这里所描述的操作实现为一种方法、装置或制品。用在这里的术语“制品”是指在硬件逻辑（例如，集成电路芯片、可编程门阵列（PGA）、专用集成电路（ASIC）等）或者机器可读介质（例如磁储存介质（例如硬盘、软盘、磁带等）、光储存设备（CD-ROM、光盘等）、易失性和非易失性存储器件（例如 EEPROM、ROM、PROM、RAM、DRAM、SDRAM）、固件、可编程逻辑等）上实现的机器可读指令或逻辑。在计算机可读介质中的代码可由处理器来访问并执行。还可以通过传输介质，或者通过网络从文件服务器访问其中实现了优选实施方案的代码。在这些情形中，其中实现了代码的制品可以包括传输介质，例如网络传输线、无线传输介质、通过空间、无线电波、红外线信号等传播的信号等。当然，本领域的技术人员将会认识到，在不偏离本发明的范围的情况下，可以对这种配置做出很多修改，并且所述制品可以包括在本领域中公知的任何承载信息的介质。

在所描述的实施方案中，储存设备在总线拓扑上通信，所述总线拓扑例如是 PCI-X 或 PCI 总线拓扑。在可替换的实施方案中，储存设备可以使用本领域中公知的任何通信体系结构来通信。可替换的实施方案可以使用不同于 IDE、ATA、SATA 或 ATAPI 的接口。

在 PCI 总线的实施方案中，可以使用附加的 PCI-X 或 PCI 桥。在某些实施方案中，储存设备包括磁硬盘。在可替换的实施方案中，储存设备可以包括本领域中公知的任何储存设备，例如光盘、磁带、CDROM 驱动器、DVD 等。

在所述的实施方案中，以一定数量的位图示了寄存器的长度。在可替换的实施方案中，寄存器的长度可以具有不同数量的位。

图 4、图 5a 和图 5b 的逻辑描述了以特定顺序发生的具体操作。在可替换的实施方案中，可以以不同的顺序，即经过修改或删除的顺序来执行所述逻辑操作中的某些操作。此外，可以向上述逻辑中增加步骤，并且这些步骤仍然遵守所描述的实施方案。另外，这里所描述的操作可以依次发生，或者可以并行处理某些操作。还有，可以由单个处理单元或者分布式处理单元来执行操作。

出于图示和描述的目的已给出了对本发明优选实施方案的以上描述。这些描述不希望是穷尽性的，或者将本发明限制为所公开的精确形式。按照以上教导，很多修改和变化都是可能的。本发明的范围不想由这一详细描述来限定，而是想用所附的权利要求来限定。以上说明书、实施例和数据提供了生产和使用本发明的结构的完整描述。由于在不偏离本发明的精神和范围的情况下可以实现本发明的很多实施方案，所以本发明由所附的权利要求书来表示。

****Intel 是英特尔公司的注册商标。PowerPC 是 IBM 公司的注册商标。**

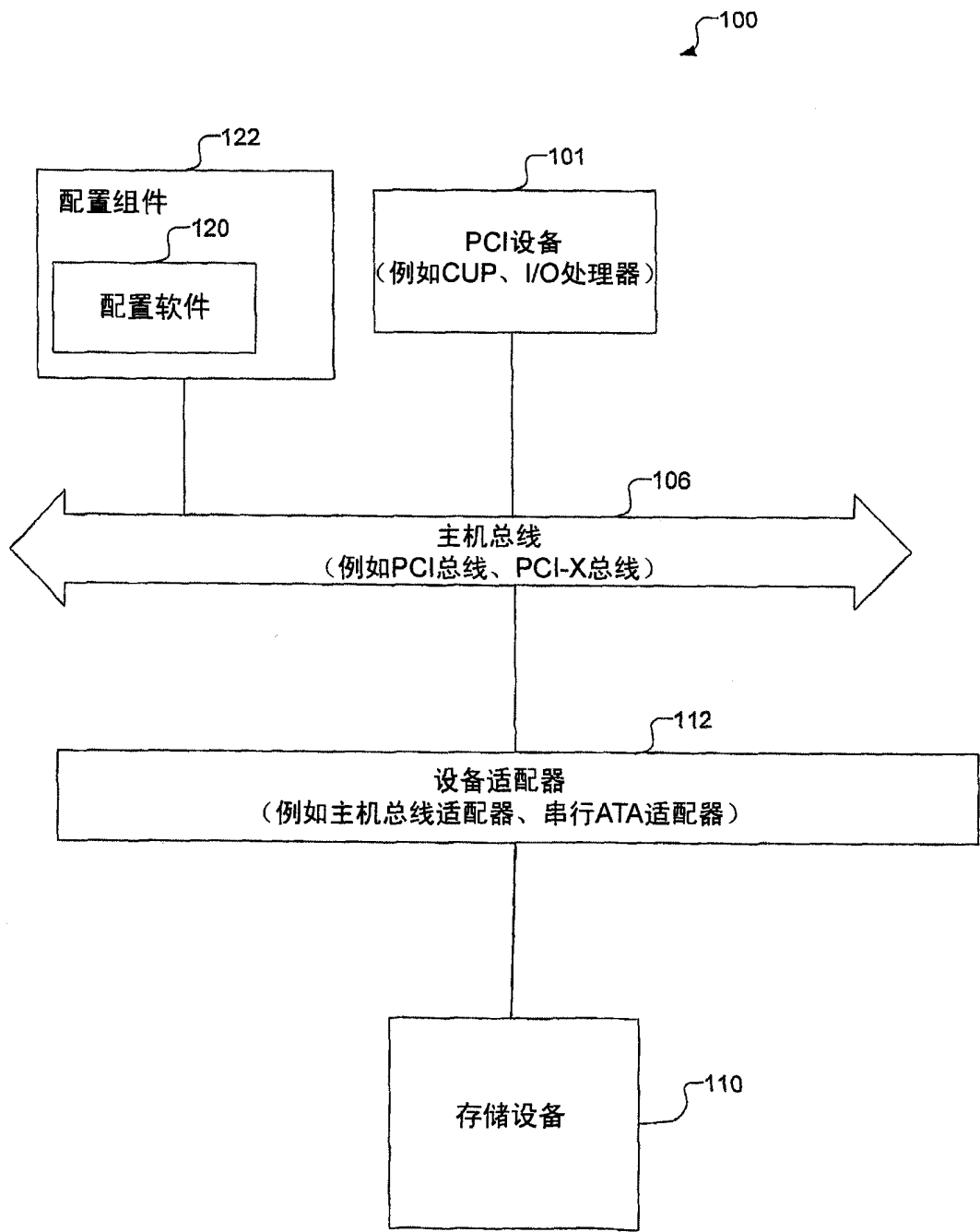


图 1

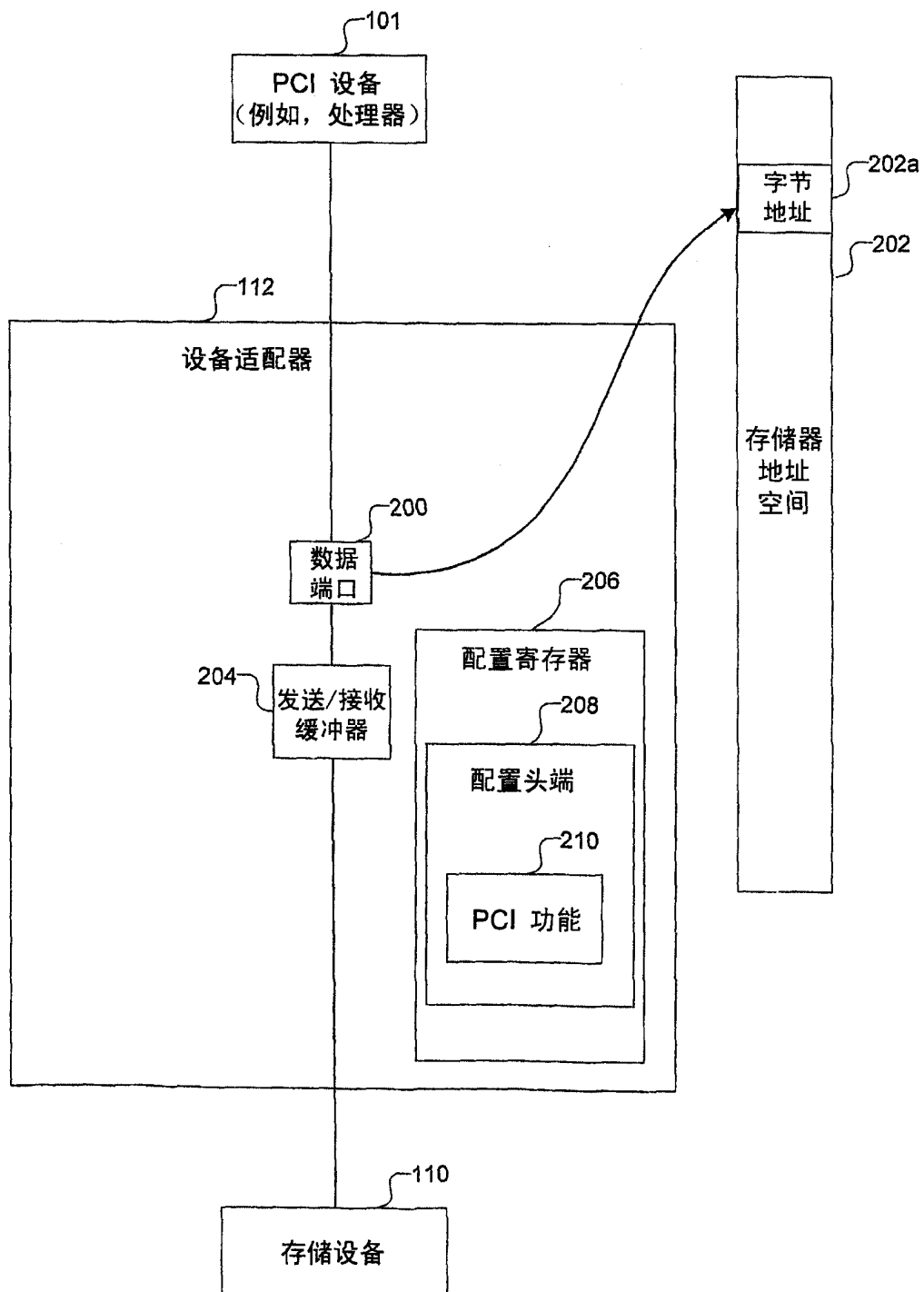


图 2

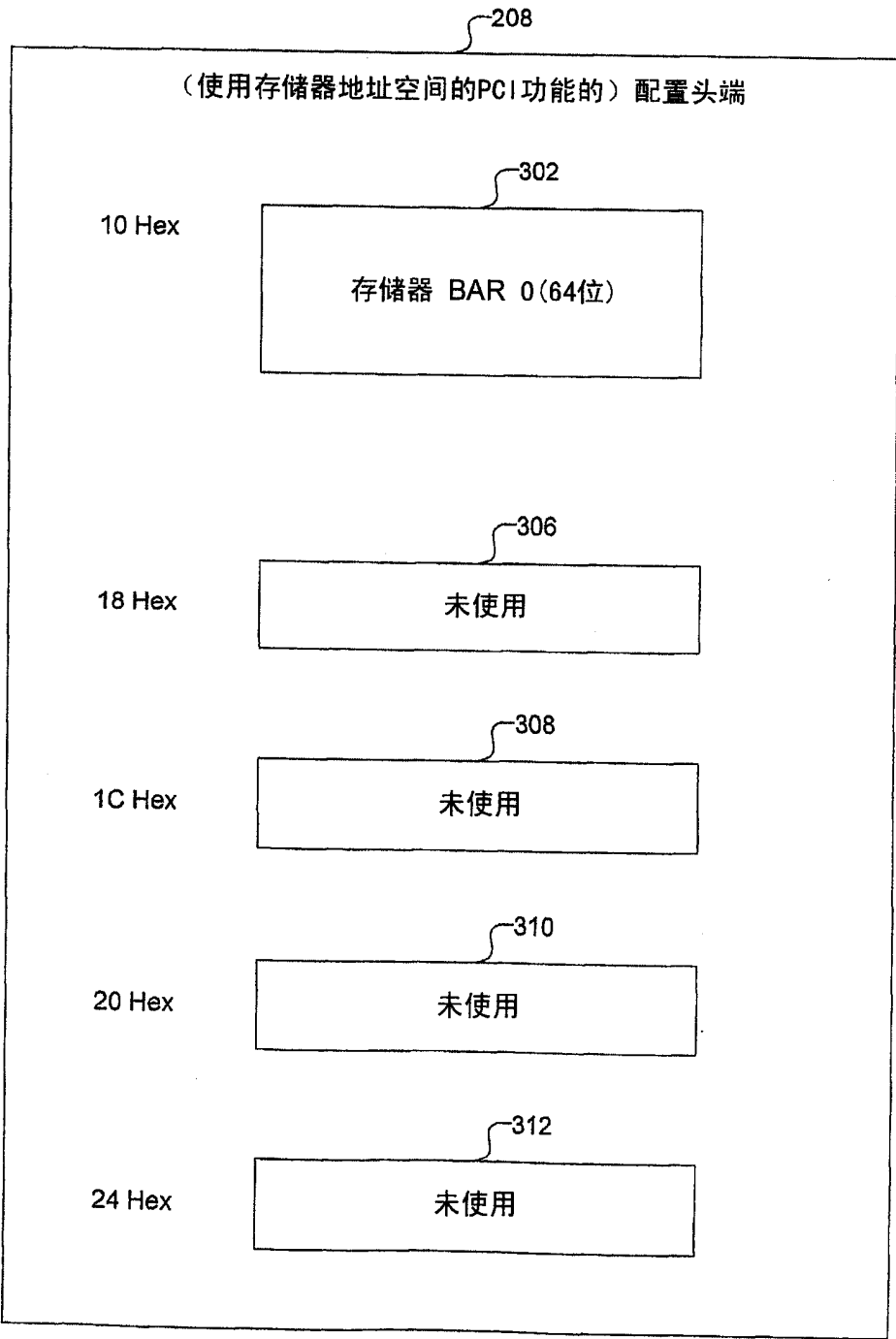
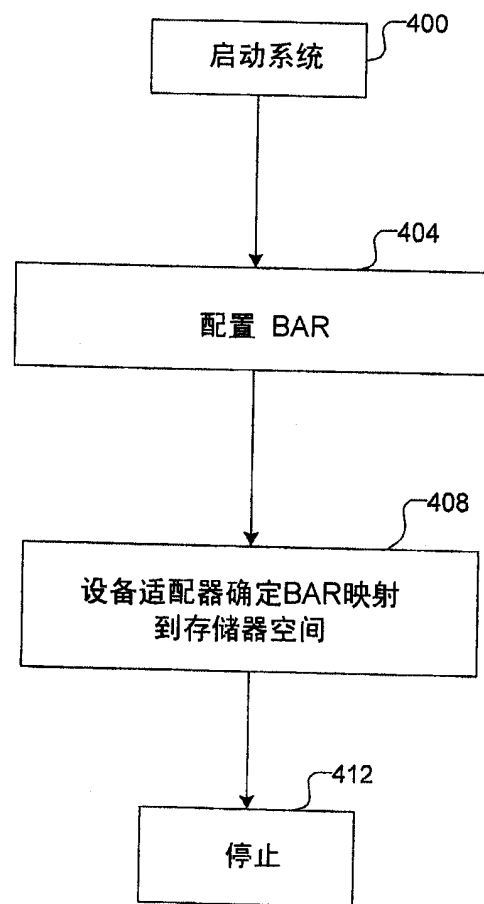


图 3

**图 4**

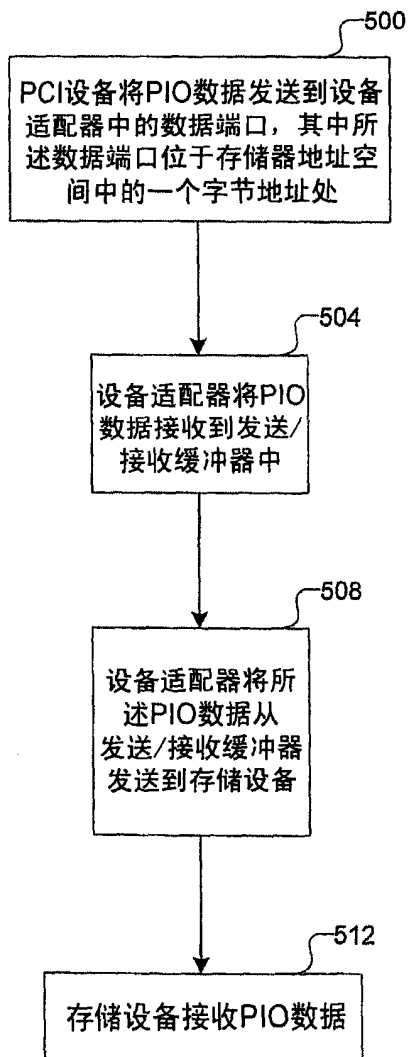


图 5a

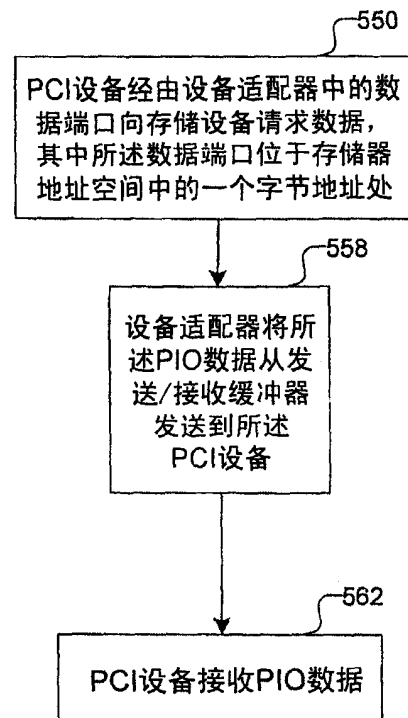


图 5b