

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成25年1月17日 (2013.1.17)

【公開番号】特開2010-170540(P2010-170540A)

【公開日】平成22年8月5日 (2010.8.5)

【年通号数】公開・登録公報2010-031

【出願番号】特願2009-286214(P2009-286214)

【国際特許分類】

G 0 6 T 5/20 (2006.01)

G 0 6 T 1/20 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 5/36 (2006.01)

G 0 9 G 5/00 (2006.01)

【 F I 】

G 0 6 T 5/20 J

G 0 6 T 1/20 A

G 0 9 G 3/20 6 3 2 G

G 0 9 G 3/20 6 3 1 H

G 0 9 G 3/20 6 3 1 U

G 0 9 G 5/36 5 2 0 C

G 0 9 G 5/00 5 5 0 M

G 0 9 G 5/00 5 5 0 H

【手続補正書】

【提出日】平成24年11月27日 (2012.11.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

X 行 Y 列 ( X 及び Y は自然数 ) の画素のそれぞれに対応して入力される X × Y 個の画素データが Y - K ( K は Y 以上の自然数 ) であるとき、出力データとして、前記画素データを 1 行目の画素に対応する画素データから各行の画素に対応する画素データ毎に順次出力し、且つ前記各行の画素に対応する画素データを出力する毎に K - Y 個のダミーデータを順次出力する機能を有するデータ調整回路と、

K 個の前記画素データの記憶が可能であり、前記データ調整回路から入力される前記画素データまたは前記ダミーデータを一定期間記憶した後に出力する機能を有する第 1 のラインメモリと、

K 個の前記画素データの記憶が可能であり、前記第 1 のラインメモリから入力される前記画素データまたは前記ダミーデータを一定期間記憶した後に出力する機能を有する第 2 のラインメモリと、

前記第 1 のラインメモリに記憶されたデータと前記第 2 のラインメモリに記憶されたデータを出力するタイミングを制御する機能を有する出力タイミング制御回路と、

前記出力タイミング制御回路を介して前記第 1 のラインメモリ及び前記第 2 のラインメモリから入力される前記画素データを一定期間記憶し、記憶した前記画素データを用いてフィルタ処理を行う機能を有する演算回路と、を有する画像処理回路。

【請求項 2】

請求項 1 において、  
前記第 1 のラインメモリは、K 段の第 1 の順序論理回路を有し、  
前記第 2 のラインメモリは、K 段の第 2 の順序論理回路を有する画像処理回路。

【請求項 3】

請求項 1 または請求項 2 において、  
前記ダミーデータは、入力される前記画素データのいずれかである画像処理回路。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、  
前記データ調整回路は、前記画素データの数を計数する計数回路を有する画像処理回路

。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項に記載の画像処理回路と、  
前記画像処理回路に電氣的に接続されたコントロール回路と、  
前記コントロール回路に電氣的に接続された走査線駆動回路及び信号線駆動回路と、  
前記走査線駆動回路及び前記信号線駆動回路に電氣的に接続された画素を有する画素部  
と、を有する表示装置。

【請求項 6】

請求項 5 に記載の表示装置を表示部に有する電子機器。