

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010年1月7日(07.01.2010)



(10) 国際公開番号
WO 2010/001645 A1

- (51) 国際特許分類:
H01L 21/316 (2006.01) H01L 27/115 (2006.01)
C23C 14/34 (2006.01) H01L 29/788 (2006.01)
H01L 21/8247 (2006.01) H01L 29/792 (2006.01)
- (21) 国際出願番号: PCT/JP2009/055596
- (22) 国際出願日: 2009年3月23日(23.03.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-170567 2008年6月30日(30.06.2008) JP
- (71) 出願人(米国を除く全ての指定国について): キヤノンアネルバ株式会社(CANON ANELVA CORPORATION) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木2丁目5番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 金 恩美(KIM, EunMi) [KR/JP]; 〒2158550 神奈川県川崎市麻生区栗木2丁目5番1号 キヤノンアネルバ株式会社内 Kanagawa (JP). エルヌ フランク(ER-

NULT, Franck) [FR/JP]; 〒2158550 神奈川県川崎市麻生区栗木2丁目5番1号 キヤノンアネルバ株式会社内 Kanagawa (JP). 恒川 孝二(TSUNEKAWA, Koji) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木2丁目5番1号 キヤノンアネルバ株式会社内 Kanagawa (JP).

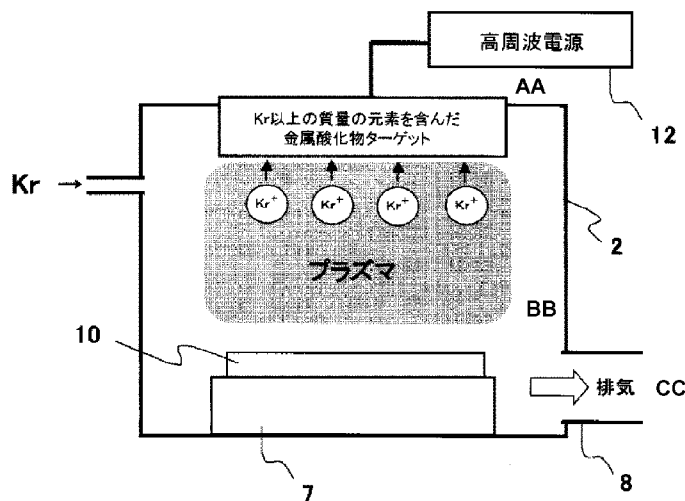
- (74) 代理人: 渡辺 敬介, 外(WATANABE, Keisuke et al.); 〒1100016 東京都台東区台東四丁目11番4号三井住友銀行御徒町ビル6階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,

[続葉有]

(54) Title: METHOD FOR FORMING METAL OXIDE INSULATING FILM

(54) 発明の名称: 金属酸化物絶縁膜の成膜方法

[図2]



12 HIGH FREQUENCY POWER SUPPLY
AA METAL OXIDE TARGET CONTAINING ELEMENT
HAVING MASS OF Kr OR MORE
BB PLASMA
CC AIR RELEASE

(57) Abstract: Provided is a method for forming a metal oxide insulating film for a nonvolatile semiconductor memory element. Leak current density is reduced and characteristics and reliability of a device are improved by the method. The metal oxide insulating film of LaHfO, LaAlO, ZrAlO or the like, containing a metal element such as La and Hf which are heavier than an introduced rare gas, is formed by sputtering by introducing the rare gas having an atomic weight of Kr or more and using a metal oxide target containing a metal element heavier than the introduced rare gas.

(57) 要約: 不揮発性半導体メモリ素子向けの絶縁膜形成において、リーク電流密度を低減でき、デバイス特性及び信頼性を向上させることができる金属酸化物絶縁膜の成膜方法を提供する。Kr以上の原子量を有する希ガスを導入して、導入希ガスより重い金属元素を含む金属酸化物ターゲットを用い、LaHfO、LaAlO、ZrAlOのように導入希ガスより重いLaまたはHfなどの金属元素を含む金属酸化物絶縁膜をスパッタ成膜する。



NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG).

- 出願し及び特許を与えられる出願人の資格に
関する申立て (規則 4.17(ii))
- 発明者である旨の申立て (規則 4.17(iv))

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

規則 4.17 に規定する申立て:

明 細 書

金属酸化物絶縁膜の成膜方法

技術分野

[0001] 本発明は、真空容器内にスパッタガスを導入し、高電圧を印加してスパッタガスのイオンをターゲットに衝突させてターゲット物質をスパッタし、基板上に金属酸化物絶縁膜を成膜する方法に関する。さらに本発明は、金属酸化物絶縁膜の成膜方法を用いて製造する不揮発性半導体メモリ素子及びその製造方法、成膜装置の制御プログラム、並びに記録媒体に関する。

背景技術

[0002] 不揮発性半導体メモリ素子は、電荷捕獲手段として、FG (Floating Gate) 型と、MONOS (Metal Oxide Nitride Oxide Semiconductor) 型と、がある。

[0003] FG型は、電荷蓄積層として、ゲート絶縁膜中に埋め込まれたポリシリコン等の導電性の膜を使用する。FG型はポリシリコン等を用いるため、ゲート絶縁膜とのエネルギー障壁が大きく、捕獲された電荷の半導体基板表面やゲート電極側へのリークが少ない。

[0004] 一方、MONOS型は、ゲート絶縁膜中に積層されたシリコン窒化膜などの絶縁性の膜を使用する。MONOS型は、積層されたゲート絶縁膜中に電荷を蓄積するため、エネルギー障壁が小さい。従って、一般にFG型は、MONOS型よりも高温における記憶保持特性が優れる。

[0005] しかしFG型は、電荷保持能力の点で、FG部と半導体基板表面の間のシリコン酸化膜の薄膜化に課題がある。即ち、10nm以下のシリコン酸化膜にFNトンネル注入すると、SILC (Stress Induced Leakage Current) と呼ばれる低電界領域でのリーク電流が発生し、FGに蓄積された電荷がこのリークパスを通過して全て失われる。従って、FG型におけるトンネル酸化膜の薄膜化は、SILC発生のため、8nmが電荷保持能力の観点から下限となる。よってFG型は、微細化による動作電圧の低減と保持能力の維持との両立が困難である。

[0006] これに対して、MONOS型では、電荷の蓄積を担う電荷捕獲サイトがそれを含む絶

縁膜中に空間的に離散化して存在している。そのため、FG型と同様なSILCによるリークパスが発生しても、リークパス周辺の局所的な電荷が失われるだけであり、素子全体の不揮発性の消失には至らない。従って、MONOS型は、電荷保持層と半導体基板表面の間のシリコン酸化膜の薄膜化が可能となり、結果として、FG型と比較して薄膜化による素子の動作電圧の低減ができる。

[0007] 近年、上述した微細化の観点から、半導体メモリ素子の更なる高集積化を目的として、MONOS型の不揮発性半導体メモリ素子が注目されている。

[0008] MONOS型は、一般的に半導体基板の表面側から第1の絶縁膜としてシリコン酸化膜、第2の絶縁膜としてシリコン窒化膜、及び第3の絶縁膜としてシリコン酸化膜を積層した構造を有する。第1のシリコン酸化膜は、蓄積された電荷の半導体基板へのリークを防止する機能を有する。第2のシリコン窒化膜は、電荷蓄積層として機能する。第3のシリコン酸化膜は、ブロッキング層として、蓄積された電荷のゲート電極側へのリークを防止する機能を有する。

[0009] このMONOS型半導体不揮発メモリ素子の微細化に伴って、ブロッキング層として高誘電率を有する絶縁膜を適用することが望まれており、シリコン酸化膜よりも比誘電率が大きいゲート絶縁膜の適用が検討されている。このシリコン酸化膜より比誘電率が大きい絶縁膜を高誘電率膜と呼ぶ。

[0010] ここで、酸化膜換算膜厚について説明する。ゲート絶縁膜の種類によらず、ゲート絶縁膜材料がシリコン酸化膜であると仮定して、ゲート容量から逆算して得られる絶縁膜の電氣的な膜厚をシリコン酸化膜換算膜厚(EOT:Equivalent Oxide Thickness)という。即ち、絶縁膜の比誘電率を ϵ_h 、シリコン酸化膜の比誘電率を ϵ_o とし、絶縁膜の厚さを d_h としたとき、シリコン酸化膜換算膜厚 d_e は、 $d_e = d_h \times (\epsilon_o / \epsilon_h)$ で表される。

[0011] 上記数式は、ゲート絶縁膜に、シリコン酸化膜の比誘電率 ϵ_o に比べて大きな誘電率 ϵ_h をもった材料を用いた場合には、シリコン酸化膜の換算膜厚は、このゲート絶縁膜の膜厚よりも薄いシリコン酸化膜と同等になることを示している。なお、シリコン酸化膜の比誘電率 ϵ_o は3.9程度である。そのため、例えば、 $\epsilon_h = 39$ の高誘電率材料からなる膜は、その物理膜厚を15nmとしても、シリコン酸化膜換算膜厚(電気膜厚

)が1.5nmになる。従って、ゲート絶縁膜の容量値を膜厚が1.5nmのシリコン酸化膜と同等に保ちつつ、トンネル電流を著しく低減することができる。よって、ブロッキング層に高誘電率膜を適用することにより、リークによる保持特性の劣化を招くことなく、EOTの薄膜化による動作電圧の低減が可能となる。高誘電率膜の成膜方法として、CVD(Chemical Vapor Deposition)法、原子層吸着堆積法、スパッタ法が挙げられる。CVD法は、形成過程においてインキュベーションタイムが存在するため、膜厚の制御性、面内均一性、及び再現性が課題となる。一方、スパッタ法は絶縁膜へのプラズマダメージによる下地の酸化や界面層の形成が課題となる。このスパッタ法による高誘電率膜の形成には、スパッタガスにArと O_2 などの反応性ガスとの混合ガスを用いた反応性スパッタが用いられている。

[0012] 例えば、特許文献1には、Arと O_2 の混合ガスを用い、膜厚20nmの酸化タンタル膜を成膜する技術が提案されている。

[0013] また、特許文献2には、高周波(RF:Radio Frequency)電力を用いたスパッタ装置で酸化物のターゲットを用い、スパッタガスとして酸素含有ガスを添加しないArガスだけを導入して、絶縁膜の成膜を行なう技術が提案されている。

[0014] また、特許文献3には、メタルターゲットの背面に磁石を備え、イオン化率を高めるためターゲットにRFコイルを備え、ターゲットに対向する基板を有するマグネトロンスパッタ装置が提案されている。このマグネトロンスパッタ装置は、金属膜の成膜と酸化による金属膜の絶縁化合物化とを交互に行って、絶縁膜を成膜する。

[0015] 特許文献1:特開昭62-128167号公報

特許文献2:特開平02-085355号公報

特許文献3:特開平11-200032号公報

発明の開示

発明が解決しようとする課題

[0016] ところで、上述した絶縁膜の成膜方法には、以下のような課題が存在する。即ち、特許文献1の方法では、Arと O_2 ガスの混合ガスを用いているため、絶縁膜の下地(絶縁膜の下層や基板)が酸化され、EOTが増大するという問題がある。

[0017] このような下地の酸化の問題は、例えば、特許文献2のようにスパッタガスに酸素含

有ガスを添加せずArガスだけを導入する方法で回避することができる。しかし、ターゲットを構成する元素の下地基板への打ち込みによりトラップが形成されるため、容量－電圧特性にヒステリシスが発生し、デバイス特性のばらつきや信頼性が低下するという問題がある。

[0018] また、特許文献3の成膜方法においても、ターゲットを構成する元素の下地基板への打ち込みによりトラップが形成され、デバイス特性が悪化するという問題がある。

[0019] このように、従来の絶縁膜の成膜方法では、近年の不揮発性メモリ素子の絶縁膜に要求される低いリーク電流密度と界面におけるトラップ形成によるデバイス特性の悪化を抑制することが困難であった。

[0020] 本発明は、上記事情に鑑み、リーク電流密度を低減することができ、ヒステリシスを改善してデバイス特性及び信頼性を向上させることができる金属酸化物絶縁膜の成膜方法を提供することを目的とする。また、本発明に係る金属酸化物絶縁膜の成膜方法を用いて製造する不揮発性半導体メモリ素子及びその製造方法、成膜装置の制御プログラム、並びに記録媒体を提供することを目的とする。

課題を解決するための手段

[0021] 上記の目的を達成すべく成された本発明の構成は以下の通りである。

[0022] 即ち、真空容器の内部にスパッタガスを導入し、高電圧を印加してスパッタガスのイオンをターゲットに衝突させてターゲット物質をスパッタし、基板の上に金属酸化物絶縁膜を成膜する方法において、上記スパッタガスとして、少なくともKr以上の原子量を有する希ガスを含むガスを導入し、プラズマを生成する手順と、上記プラズマに、上記希ガスより重い原子量を有する金属元素を含む金属酸化物のターゲットを曝し、上記希ガスより重い原子量を有する金属元素を少なくとも1つ含む金属酸化物絶縁膜を成膜する手順と、を有することを特徴とする金属酸化物絶縁膜の成膜方法である。

発明の効果

[0023] 本発明によれば、スパッタガスとしてKr以上の原子量を有する希ガスを導入し、高電圧を印可してプラズマを生成し、上記希ガスよりも重い原子量を有する金属元素を含む金属酸化物のターゲットを使用する場合、再スパッタ率を下げるができる。従

って、従来のArを用いた絶縁膜のスパッタ成膜に比して、下地の酸化によるEOTの増加を招くことなく、リーク電流密度を低減できる。また、ヒステリシスを改善して、デバイス特性及び信頼性を向上させることができる。

図面の簡単な説明

[0024] [図1]本発明に係る絶縁膜の成膜方法の実施に用いる成膜装置を示す模式図である。

[図2]本発明に係る絶縁膜の成膜方法の概念を示す概略図である。

[図3]実施例1の成膜装置および制御装置を示すブロック図である。

[図4]実施例1におけるLaHfO膜の電流－電圧特性を示す説明図である。

[図5]実施例1におけるLaHfO膜のキャパシタンス－電圧特性を示す説明図である。

[図6]実施例3の半導体メモリ素子の作製工程を示す断面図である。

符号の説明

- [0025]
- 1 成膜装置
 - 2 真空容器
 - 4 ターゲット
 - 6 カソード電極
 - 10 基板
 - 12 高周波電源
 - 13 磁石ユニット
 - 15 ガス供給系
 - 16 制御装置
 - 18 記憶装置
 - 23 シリコン基板
 - 24 素子分離領域
 - 25 第1の絶縁膜
 - 26 第2の絶縁膜
 - 27 第3の絶縁膜
 - 28 第4の絶縁膜

29 第5の絶縁膜

30 ゲート電極

発明を実施するための最良の形態

[0026] 以下、図面を参照して、本発明の実施の形態を説明するが、本発明は本実施形態に限定されるものではない。

[0027] 図1は、本発明に係る金属酸化物絶縁膜の成膜方法の実施に用いる成膜装置を示す模式図である。

[0028] 図1に示すように、本実施形態の成膜装置1は、処理室として真空排気可能な真空容器(チャンバ)2を備え、基板10上に物理蒸着(PVD:Physical Vapor Deposition、あるいはスパッタ成膜とも呼称される)する装置である。即ち、本実施形態の成膜装置1は、真空容器2の内部にスパッタガス(スパッタ成膜に使用するガス)を導入し、高電圧を印加してスパッタガスの陽イオンをターゲットに衝突させてターゲット物質をスパッタし、基板10上に金属酸化物絶縁膜を成膜する。

[0029] 真空容器2の排気ポート8を介して排気ポンプ等の排気装置9が接続されている。また、真空容器2には、スパッタガスの導入手段として、流量制御器15Aやバルブ15B、15Cなどを備えたガス導入系15が接続され、このガス導入系15からスパッタガスが所定の流量で導入される。本実施形態のスパッタガスとしては、長周期律表の第18族元素のうち、少なくともクリプトン(Kr)以上の原子量を有する希ガスを含むガスを導入する。Kr以上の原子量を有する希ガスとしては、例えば、Krまたはキセノン(Xe)を単独使用し、必要に応じてアルゴン(Ar)等を混合して真空容器2内に供給する。

[0030] 真空容器2には、不図示の圧力測定機構、不図示のプロセス圧力測定機構、そして不図示の分圧測定機構がある。圧力測定機構はチャンバー内の圧力測定を行なえるようになっている。プロセス圧力測定機構はプロセス中の圧力測定を行なえるようになっている。分圧測定機構は酸素などの各種気体成分の分圧の測定を行なえるようになっている。圧力測定機構としてはイオンゲージなどが使用できる。プロセス圧力測定機構としてはダイアフラムゲージ等のプロセス圧力に応じたものが使用できる。分圧測定機構としては、四重極型質量分析を利用した分圧測定器や、その他の分圧測定装置を適宜使用することができる。

- [0031] 本実施形態の成膜装置1は、真空容器2の下部に基板10を保持する基板ホルダ7を配置しており、上部にカソード電極6に支持されたターゲット4を配置している。
- [0032] 基板ホルダ7は、例えば、円板状の保持テーブルであって、基板ホルダ7は、その上面(表面)に基板10を載置し、基板10はその処理面を上方へ臨ませて保持される。基板ホルダ7は、モータ等の不図示の回転機構により、基板10の面内方向に回転可能となっている。なお、基板ホルダ7には、ヒータ等の不図示の加熱機構が内蔵されている。
- [0033] 基板10としては、例えば、半導体ウエハが挙げられ、基板のみの状態もしくはトレイに搭載された状態で、基板ホルダ7に保持される。
- [0034] カソード電極6には、高電圧を供給する放電用電源として、例えば、整合器11を介して高周波電源12が接続されている。このカソード電極6の本体中には、マグネトロン放電用の磁石ユニット13が備えられている。磁石ユニット13は、不図示の回転機構に接続され、カソード電極6の面内方向に沿って回転可能と成っており、カソード表面に平行な磁束を形成する。
- [0035] 本実施形態では、ターゲット4として、上記希ガスよりも重い原子量を有する金属元素を少なくとも1つ含む金属酸化物で形成されている。真空容器2の天部には、不図示の回転機構に回転可能に支持されたシャッタ機構14が備えられており、シャッタ機構14の回動操作によりターゲット4の前面が開閉される。
- [0036] なお、真空容器2の側壁には、基板ホルダ7上への基板10の搬送経路を開閉するための不図示のゲートバルブが設けられている。
- [0037] 次に、本発明に係る金属酸化物絶縁膜の成膜方法について説明する。図2は、本発明に係る絶縁膜の成膜方法の概念を示す概略図である。
- [0038] 図1および図2を参照して、まず、真空容器2内に、ターゲット4として、上記希ガスよりも重い原子量を有する金属元素を少なくとも1つ含む金属酸化物ターゲットを設置する。そして、排気ポート8を通じて排気装置9により、真空容器2内を所定の真空度まで排気する。
- [0039] 次に、真空容器2の側壁の不図示のゲートバルブを開け、ロボットアーム等の不図示の搬送アームを用いて、基板10を基板ホルダ7の上面(表面)へと搬送する。基板

ホルダ7上に基板10を保持した後、搬送アームを後退させ、ゲートバルブを閉じる。

[0040] 次に、真空容器2内にガス導入系15よりスパッタガスを導入する。このとき、スパッタガスには、 O_2 などの酸素含有ガスは混合しない。スパッタガスには、物理蒸着(PVD)で通常使用される程度の高純度(多くは99.999%程度)のガスを使用する。本実施形態では、スパッタガスとして、長周期律表の第18族元素のうち、少なくともKr以上の原子量を有する希ガスを含むガス、例えば、Krを所定の流量だけ導入する。このとき、真空容器2の酸素分圧は 1×10^{-6} Pa以下とする。

[0041] 次に、このスパッタガスの導入下において、回転機構によって磁石ユニット13を回転させながら、カソード電極6に高周波電源12から放電用電力を投入する。カソード電極6に高電圧を印可すると、カソード電極6と基板ホルダ7との間でマグネトロン放電が行われ、プラズマが発生する。次に、シャッタ機構14の回動操作によりターゲット4の前方を開ける。プラズマ中のKr以上の原子量を有する希ガスの陽イオンでターゲット物質がスパッタされ、基板10の処理面に上記希ガスより重い原子量を有する金属元素を少なくとも1つ含む金属酸化物絶縁膜が成膜される。その結果、従来のよりも絶縁膜のリーク電流とヒステリシスが改善され、しかもシリコン酸化膜換算膜厚(EOT)が増加しない。

[0042] 基板10上に所定の膜厚を堆積後、高周波電源12からの電力供給を停止する。さらに、ガス導入系15からのスパッタガスの導入を停止し、シャッタ機構14の回動操作によりターゲット4の前方を閉じ、排気装置9により真空容器2の内部を排気する。

[0043] 次に、ゲートバルブを開けた後、不図示の搬送アームを挿入し、真空容器2内から基板10を搬出する。最後に、ゲートバルブを閉じて、全工程を終了する。

[0044] 本発明は、金属酸化物ターゲットを用いたPVDにより、基板上に導入希ガスより重い原子量を有する金属元素を少なくとも1つ含む金属酸化物絶縁膜を成膜する。その際、スパッタガスとして、長周期律表の第18族元素のうち、少なくともKr以上の原子量を有する希ガスを含むガスを用い、非酸化性雰囲気下での成膜により、絶縁膜のリーク電流とヒステリシスが改善され、EOTが増加しないという所見に基づいている。

[0045] これは、以下の原理に由来していると考えられる。一般に、ターゲットに電力を印加

してターゲット原子を陽イオンでスパッタするとき、スパッタガスの陽イオンが衝突したターゲットからは、ターゲットを構成する原子などのスパッタ粒子と2次電子が放出される。また、ターゲットに衝突した陽イオンが電荷を失わずに反射または散乱する。さらに、ターゲットに衝突した陽イオンのうち、電荷を失って反射散乱してかなりのエネルギーをもったまま飛び出してくる希ガスの原子がある。この原子を「反射原子」と呼び、この反射原子に注目する。反射原子は高いエネルギーをもっているので、基板上の堆積膜に衝突することでその膜を再スパッタする。

[0046] この割合、即ち再スパッタ率は、ターゲット構成原子の原子量をMasstarget、スパッタガスの原子量をMassgasとしたとき、下記数式で表わされるATOMIC MASS PARAMETERの関数となる(参照;D. W. Hoffman, J. Vac. Sci. Technol. A8, 3707(1990) “Intrinsic resputtering—theory and experiment”)。

[0047]
$$\text{ATOMIC MASS PARAMETER} = (\text{Masstarget} - \text{Massgas}) / (\text{Masstarget} + \text{Massgas})$$

[0048] ターゲット材料がLa(原子量138. 906)とHf(原子量178. 49)のようにArよりも重い原子の場合、Ar(原子量39. 948)に比べ、Kr(原子量83. 798)でスパッタをすると、基板上での再スパッタ率が下がる。

[0049] 例えば、ターゲット材料がランタン(La)であり、スパッタガスがArの場合は、ATOMIC MASS PARAMETER=0. 553となり、D. W. Hoffmanの文献中のFig 4によれば、再スパッタ率は約11%である。一方で、ターゲット材料がLaであり、スパッタガスがKrの場合には、ATOMIC MASS PARAMETER=0. 247となり、再スパッタ率は約6%である。以上により、スパッタガスがKrの場合、Arの場合と比べて、半分程度に再スパッタ率が低い。

[0050] 同様に、ターゲット材料がハフニウム(Hf)であり、スパッタガスがArのときのATOMIC MASS PARAMETER=0. 634より再スパッタ率は約14%である。また、ターゲット材料がHfであり、スパッタガスがKrのときのATOMIC MASS PARAMETER=0. 361より再スパッタ率は約7%である。従って、Hfの場合にも、Krを使用すると、Arよりも再スパッタ率を低くすることができる。

[0051] このように、スパッタガスよりも重い原子量の金属元素を含むターゲット材料を使用

した場合、スパッタガスよりもターゲット材料の原子が重いほど、反射原子による堆積膜の再スパッタ率が高くなることが、明らかである。再スパッタ率が低いということは堆積膜の密度が高く、所望の膜が成膜できると考えられる。膜の密度が低いと電圧を印加した場合に膜中の空孔(再スパッタにより生成した原子の空サイト)が並んで電流が流れるパスを作り、電流が流れ易くなるという問題が発生する。

[0052] この観点から、LaHfO膜をスパッタガスにKrガスを用いて成膜した場合には、スパッタガスにArガスを用いた場合の成膜に比べ、高密度の膜ができ、リーク電流密度が低減し、ヒステリシス特性を改善することができたと考えられる。

[0053] このように、スパッタガスよりも重い原子量の金属元素を含むターゲット材料を使用した場合、スパッタガスとしてKrを使用すれば、再スパッタ率を下げる可以降低。従って、金属酸化物ターゲットを用いたPVDにより、スパッタガスよりも重い原子量を有する金属元素を少なくとも1つ含む金属酸化物絶縁膜を成膜する場合、スパッタガスとしてXeを使用しても、Arと比較して堆積膜の電気的特性を飛躍的に向上できる。

[0054] なお、スパッタガスの原子とターゲット材料の原子との原子量が近接しているか、又は、スパッタガスの原子よりもターゲット材料の原子の原子量が軽い場合には、ターゲット材料の原子の重さの違いが再スパッタ率に与える影響は小さくなる。即ち、KrやXeなどの重い希ガスをスパッタガスに使用することは、Krよりも軽い元素、例えば、Arよりも軽い元素の酸化物である SiO_2 や Al_2O_3 の形成よりも、LaやHfなどの重い元素を含む絶縁膜の成膜に特に効果があると考えられる。一方、KrやXeなどの重い希ガスよりも、更に重い他の元素が含まれる金属酸化物ターゲット、例えば、希ガスがKrであれば、Hf、La、Zr、Dy、Y、Ta、Ce、Prなどがターゲット材料に含まれる場合に有効である。また、希ガスがXeであれば、Hf、La、Dy、Ta、Ce、Prなどがターゲット材料に含まれる場合に有効である。

[0055] また、スパッタガスとしてKrのみを使用した場合だけでなく、KrとArの混合ガスを用いても、Krの分圧に応じて前述の電気的特性向上の効果が得られる。Krの混合量だけ、反射原子による再スパッタ率が低下するためと推測される。Xeにおいても同様である。

[0056] 図2の概念図は、基板10に対してターゲット4が平行である場合について図示されているが、図1のように基板10の斜め上方にターゲット4を配置する場合、ターゲット径が小さくて済み、コストを低減できるのでより好ましい。

[0057] 次に、非酸化性雰囲気下において成膜することが重要である理由について説明する。ここで、非酸化性雰囲気とは、スパッタガス中に O_2 などの酸素含有ガスを含まないことを意味する。さらに具体的には真空容器2の成膜雰囲気に酸素分圧が 1×10^{-6} Pa以下であることである。スパッタガスに O_2 などの酸素含有ガスを含む従来の反応性スパッタ法では、EOTが増加する。しかし、本発明の方法では、ターゲットからスパッタされた酸化物材料のスパッタ粒子が、必ずしも原子状のものばかりではなく、クラスター状であるものも相当数ある。非酸化性雰囲気下で成膜する結果として、EOT増加に影響する活性な原子状酸素や分子状の酸素が雰囲気中に極めて少なくなり、EOTの増加はスパッタガスに O_2 などの酸素含有ガスを添加した場合と比べて、殆ど問題にならないと考えられる。

実施例

[0058] 以下、実施例を挙げて本発明を詳細に説明するが、本発明はこれらの実施例に限定されるものではない。

[実施例1]

実施例1は、本発明に係る成膜方法において、スパッタガスとしてKrを使用し、高誘電率膜である酸化ハフニウムランタンを成膜する場合について説明する。

[0060] 実施例1では、図1に示した成膜装置1を用いており、この成膜装置1は更に図3に示す制御装置16を備えている。図3は、実施例1の成膜装置および制御装置を示すブロック図である。

[0061] 再び図1を参照して、成膜装置1について概略説明する。成膜装置1は、真空排気可能な真空容器2を備え、排気ポート8を通じて真空容器2内を排気する排気系装置9と、真空容器2内へ所定のガスを導入するガス導入系15と、を備えている。この真空容器2内には、被スパッタ面を露出させて設けたターゲット4を含むカソード電極6と、ターゲット4から放出されたスパッタ粒子が到達する所定位置に基板10を保持する基板ホルダ7と、を備えている。

- [0062] ガス導入系15には、Kr、Xe、そして比較実験などのためにArガスが導入可能なように構成されている。カソード電極6の本体内には、マグネトロンスパッタリングを実現するための磁気ユニット13が配設されている。ターゲット4を含むカソード電極6は、基板10の斜め上方に設置されている。カソード電極6には、スパッタ放電用電力をターゲット4に印加する高周波電源12と整合器11が接続されている。シャッタ機構14は、その回転操作により、ターゲット4と基板10との間を開閉する。成膜時にはシャッタ機構14は開の状態とされる。
- [0063] 図3を参照して、制御装置16はコンピュータにより形成され、コンピュータはCPU(中央演算装置)17と、制御プログラムを格納した記憶装置18と、設定情報等を入力する入力装置19と、から構成されている。コンピュータ16は、成膜装置1の制御要素と電氣的に接続されて通信可能であり、成膜装置1に成膜に必要な動作指令を送信する。
- [0064] コンピュータ16には、例えば、広く普及している所定の性能のパーソナルコンピュータ(PC)を使用することができる。
- [0065] CPU17は、制御プログラムにしたがって各制御要素の制御や各種の演算処理等を行う。
- [0066] 記憶装置18としては、マスクROMやハードディスク(HDD)等が挙げられる。ROMは、成膜装置の基本動作を制御する各種プログラムやパラメータを格納する。RAMは、作業領域として一時的にプログラムやデータを記憶する。HDDは、各種プログラムやパラメータ、データを格納する。記録媒体としては、CD-ROM、CD-R等のコンパクトディスク、光磁気ディスク(MO)、フロッピー(登録商標)ディスク(FD)、フラッシュメモリ等のコンピュータ読み取り可能な各種記録媒体が用いられる。
- [0067] 入力装置19は、キーボード、マウス、タッチパネル、音声入力など、その他あらゆる入力手段が使用できる。
- [0068] 記憶装置18には、本発明に係る金属酸化物絶縁膜の成膜方法を実行するアルゴリズムが制御プログラムとして格納される。即ち、制御プログラムは、マスクROMとして実装されるか、HDDに記録媒体からインストールして使用される。制御プログラムは、真空容器2内に、Kr以上の原子量を有する希ガスを含むガスを導入し、高電圧

を印可してプラズマを生成する手順と、上記希ガスより重い原子量を有する金属元素を含む金属酸化物ターゲットをプラズマに曝す手順と、を実行する。

[0069] 入力装置19は、制御プログラムの実行などのCPU17への指令を入力する。CPU17は、記憶装置18より制御プログラムを読み出して実行する。プログラムの実行指令に基づいて成膜装置1が制御され、Kr以上の原子量を有する希ガスを含むガスの存在下でプラズマを生成する手順と、プラズマに上記希ガスより重い原子量を有する金属元素を含む金属酸化物ターゲットを曝す手順と、を実施する。

[0070] 次に、上記の成膜装置1および制御装置16を用いた絶縁膜の成膜方法について説明する。真空容器2内のカソード電極6に、ターゲット4として、導入希ガスよりも重い原子量を有する金属元素(La、Hf)を含む La_2O_3 と HfO_2 を1:2(mol比)になるように形成した $\text{La}_2\text{Hf}_2\text{O}_7$ を設置した。

[0071] まず、真空容器2の不図示のゲートバルブを開け、不図示の搬送アームを用いて真空容器2内に基板10を搬入し、基板ホルダ7上に載置する。基板ホルダ7上に基板10を保持した後、搬送アームを後退させ、ゲートバルブを閉じる。さらに、排気系装置9により、真空容器2内の圧力を 5×10^{-6} Pa以下になるまで排気する。このとき、分圧測定機構により真空容器2の酸素分圧値を計測したところ 1×10^{-9} Paであった。

[0072] 次に、スパッタガスとして、少なくともKr以上の原子量を有する希ガスを含むガスを導入する。スパッタガスをガス導入系15から導入しながら、高周波電源12からターゲット4に高周波電圧を印加すると、ターゲット4が臨む空間にスパッタ放電が生じ、セルフバイアス電圧によりターゲット4がスパッタされる。その結果、基板10の表面に、酸化ハフニウムランタン(以下、「LaHfO膜」と呼ぶ。なお、本明細書において、膜の名称として使用するLaHfO膜の表記と膜中元素の組成比とは無関係である。また、他の膜に関しても同様である)膜が堆積される。

[0073] この成膜の間、不図示の回転機構により基板ホルダ7を回転させ、静止したターゲット4に対して基板10を回転させる。これにより、基板10上に作成されるLaHfO膜は均一な膜となる。基板10に対して斜方に設置したターゲット4から、スパッタ粒子を飛来させて成膜しながら基板10を回転させる本成膜装置1を使用することで、極めて均一で良質な膜を得ることができる。

- [0074] 次に、成膜条件について説明する。 $\text{La}_{0.2}\text{Hf}_{0.2}\text{O}_2$ ターゲットには、300Wの高周波電力(周波数が13.56MHz)を投入した。スパッタガスとして純度99.999%のKrガス110sccmを導入し、0.1Paの圧力とし、比抵抗が8~12 $\Omega\cdot\text{cm}$ のシリコン基板上へ20nmの LaHfO の絶縁膜を成膜した。なお、sccmは、standard cc per minuteの略であり、標準状態である0°C1気圧の cm^3 単位に換算した1分間あたり供給するガス流量の単位である。なお、分圧測定機構による成膜中の酸素分圧値は、 $1\times 10^{-7}\sim 1\times 10^{-8}$ Paであった。
- [0075] また、本実施例との比較のために、純度99.9999%のArガス140sccmを導入し、0.1Paの圧力とし、同様に比抵抗が8~12 $\Omega\cdot\text{cm}$ のシリコン基板上へ20nmの LaHfO の絶縁膜を成膜した。
- [0076] その後、成膜した LaHfO 膜は電気特性測定のため、マスクを使用した蒸着法により、上部電極として直径1mmのAlパッドを堆積させた。下部電極としてはInを用いた。
- [0077] 図4は、上記の成膜方法で得た LaHfO 膜の電流－電圧特性を示す説明図である。図4に示すように、Arガスでスパッタ成膜した場合に比べて、Krガスでスパッタ成膜した場合にリーク電流密度が低くなっていることが判る。特に、5[－MV/cm]のときに、Arガスでスパッタ成膜した場合のリーク電流密度は $7.4\times 10^{-9}[\text{A}/\text{cm}^2]$ であるのに比べ、Krガスでスパッタ成膜した場合は $1.4\times 10^{-9}[\text{A}/\text{cm}^2]$ であり、およそ5分の1と低くなった。
- [0078] 次に、図5は、図4の LaHfO 膜のキャパシタンス－電圧特性を示す説明図である。図5に示すように、Arガスでスパッタ成膜した場合に比べて、Krガスでスパッタ成膜した場合は、ヒステリシスの幅が狭くなることが判る。即ち、図5において、従来のArの場合のヒステリシスの幅が0.4Vであるのに対して、Krでは0.28Vであり、結果としてKrではArの70%程度にヒステリシスが改善されていた。
- [0079] また、従来のArと O_2 の混合ガスを用いた絶縁膜のスパッタ成膜のように、下地を酸化してEOTが増加するという問題も生じなかった。
- [0080] [実施例2]
- 実施例2では、本発明に係る絶縁膜の成膜方法において、スパッタガスとしてXeを

使用し、高誘電率膜である酸化ハフニウムランタンを成膜する場合について説明する。

[0081] 本実施例では、実施例1と同じ装置を使用し、スパッタガス以外は同じ手順、同じ条件で成膜した。即ち、 $\text{La}_2\text{Hf}_2\text{O}_7$ ターゲットには、300Wの高周波電力(周波数が13.56MHz)を投入した。スパッタガスとして純度99.9999%のXeガスを導入して0.1 Paの圧力とし、比抵抗が8~12 $\Omega \cdot \text{cm}$ のシリコン基板上へ20nmのLaHfOの絶縁膜を成膜した。

[0082] 実施例1と同様の方法にて、電流－電圧特性とキャパシタンス－電圧特性を測定したところ、Krの場合よりも低いリーク電流密度と、良好なヒステリシス特性、即ち狭いヒステリシス幅が得られた。また、従来のArと O_2 の混合ガスを用いた絶縁膜のスパッタ成膜のように、下地を酸化しEOTが増加するという問題も生じなかった。

[0083] [実施例3]

図6を参照して、実施例3の半導体メモリ素子の製造方法について説明する。図6は、実施例3の半導体メモリ素子の作製工程を示す断面図である。

[0084] 本実施例の半導体メモリ素子は、少なくとも表面が半導体層で構成される基板と、この基板の上に形成されたゲート電極と、基板とゲート電極との間に順次積層された積層型のゲート絶縁膜と、を有している。上記積層型のゲート絶縁膜の少なくとも一層を構成する金属酸化物絶縁膜は本発明に係る金属酸化物絶縁膜の成膜方法を用いて積層される。

[0085] 具体的には、まず、図6(a)に示すように、STI(Shallow Trench Isolation)技術を用いて、シリコン基板23の表面に素子分離層24を形成した。

[0086] 次に、熱酸化膜法により、素子分離されたシリコン基板23上に第1の絶縁膜としてシリコン酸化膜25を30 Å~100 Åの厚みで形成する。

[0087] このシリコン酸化膜25上に、LPCVD(Low Pressure Chemical Vapor Deposition)法により、第2の絶縁膜としてシリコン窒化膜26を30 Å~100 Åの厚みで形成する。

[0088] このシリコン窒化膜26上に、第3の絶縁膜として酸化アルミニウム膜27を5 Å~50 Åの厚みで形成する。酸化アルミニウム膜27は、MOCVD法、ALD(Atomic Lay

er Deposition)法、PVD(Physical Vapor Deposition)法を用いてもよい。

[0089] この酸化アルミニウム膜27上に、第4の絶縁膜としてLaHfO膜28を10 Å～200 Åの厚みで形成する。LaHfOの形成は、実施例1および実施例2の形成条件と同様である。

[0090] このLaHfO膜28上に、第5の絶縁膜として酸化アルミニウム膜29を5 Å～50 Åの厚みで形成する。成膜方法は、MOCVD法、ALD法またはPVD法を用いて形成する。

[0091] 次に、この酸化アルミニウム膜29上に、ゲート電極として厚さ150nmのpoly-Si膜30を形成した。

[0092] その後、図6(b)に示すように、リソグラフィー技術及びRIE(Reactive Ion Etching)技術を用いてゲート電極を加工し、引続きイオン注入を行って、エクステンション拡散領域31をマスクとして、ゲート電極を自己整合的に形成した。

[0093] さらに、図6(c)に示すように、シリコン窒化膜とシリコン酸化膜を順次堆積し、その後エッチバックすることによってゲート側壁32を形成した。この状態で再度イオン注入を行い、活性化アニールを経てソース・ドレイン拡散層33を形成した。

[0094] 作製した不揮発性半導体メモリ素子の電気特性を評価した結果、リーク電流の低減とブロッキング層中のトラップの影響に起因した特性ばらつきや信頼性の悪化がないことを確認した。

[0095] 以上のように、本発明に係る絶縁膜の成膜方法を不揮発性半導体メモリ素子の製造方法に適用しても良好な特性が得られることが判った。

[0096] また、本実施例では、ゲート電極としてpoly-Si膜を用いたが、ゲート電極としてTiN、Ta₂N₃、W、WN、Pt、Ir、Pt、Ta、Tiを用いても同様の効果を得ることができた。

[0097] さらに、本実施例では、第1の絶縁膜、第2の絶縁膜、第3の絶縁膜、第4の絶縁膜及び第5の絶縁膜のアニール処理をイオン注入後の活性化アニールにより行っているが、各々の絶縁膜を形成した後に、アニール処理を行ってもよい。

[0098] そして、本実施例では、不揮発性半導体メモリ素子のブロッキング層として、第3の絶縁膜と第4の絶縁膜と第5の絶縁膜の積層型の絶縁膜を用いているが、第3の絶縁膜と第4の絶縁膜の積層型の絶縁膜でも同様の効果を得ることができた。

産業上の利用可能性

[0099] 本発明の金属酸化物絶縁膜の成膜方法は、不揮発性半導体メモリ素子の製造に広く応用することができる。

請求の範囲

- [1] 真空容器の内部にスパッタガスを導入し、高電圧を印加してスパッタガスのイオンをターゲットに衝突させてターゲット物質をスパッタし、基板の上に金属酸化物絶縁膜を成膜する方法において、
前記スパッタガスとして、少なくともKr以上の原子量を有する希ガスを含むガスを導入し、プラズマを生成する手順と、
前記プラズマに、前記希ガスより重い原子量を有する金属元素を含む金属酸化物のターゲットを曝し、前記希ガスより重い原子量を有する金属元素を少なくとも1つ含む金属酸化物絶縁膜を成膜する手順と、
を有することを特徴とする金属酸化物絶縁膜の成膜方法。
- [2] 前記スパッタガスは、酸素含有ガスの酸素分圧を 1×10^{-6} Pa以下にしたことを特徴とする請求項1に記載の金属酸化物絶縁膜の成膜方法。
- [3] 前記スパッタガスは、Krであることを特徴とする請求項1または2に記載の金属酸化物絶縁膜の成膜方法。
- [4] 前記スパッタガスは、Xeであることを特徴とする請求項1または2に記載の金属酸化物絶縁膜の成膜方法。
- [5] 前記スパッタガスは、KrまたはXeを含む混合ガスであることを特徴とする請求項1または2に記載の金属酸化物絶縁膜の成膜方法。
- [6] 前記ターゲットは、少なくともHfまたはLaのいずれかを含むことを特徴とする請求項1から5のいずれかに記載の金属酸化物絶縁膜の成膜方法。
- [7] 金属酸化物絶縁膜を有する不揮発性半導体メモリ素子の製造方法であって、
前記金属酸化物絶縁膜を請求項1から6のいずれかの成膜方法で積層することを特徴とする不揮発性半導体メモリ素子の製造方法。
- [8] 少なくとも表面が半導体層で構成される基板と、
前記基板の上に形成されたゲート電極と、
前記基板と前記ゲート電極との間に順次積層された積層型のゲート絶縁膜と、
を有し、
前記積層型のゲート絶縁膜の少なくとも一層を構成する金属酸化物絶縁膜が請求

項1から6のいずれかの成膜方法で形成されることを特徴とする不揮発性半導体メモリ素子。

- [9] 真空容器の内部にスパッタガスを導入し、高電圧を印加してスパッタガスのイオンをターゲットに衝突させてターゲット物質をスパッタし、基板の上に金属酸化物絶縁膜を成膜する成膜装置を制御するプログラムであって、

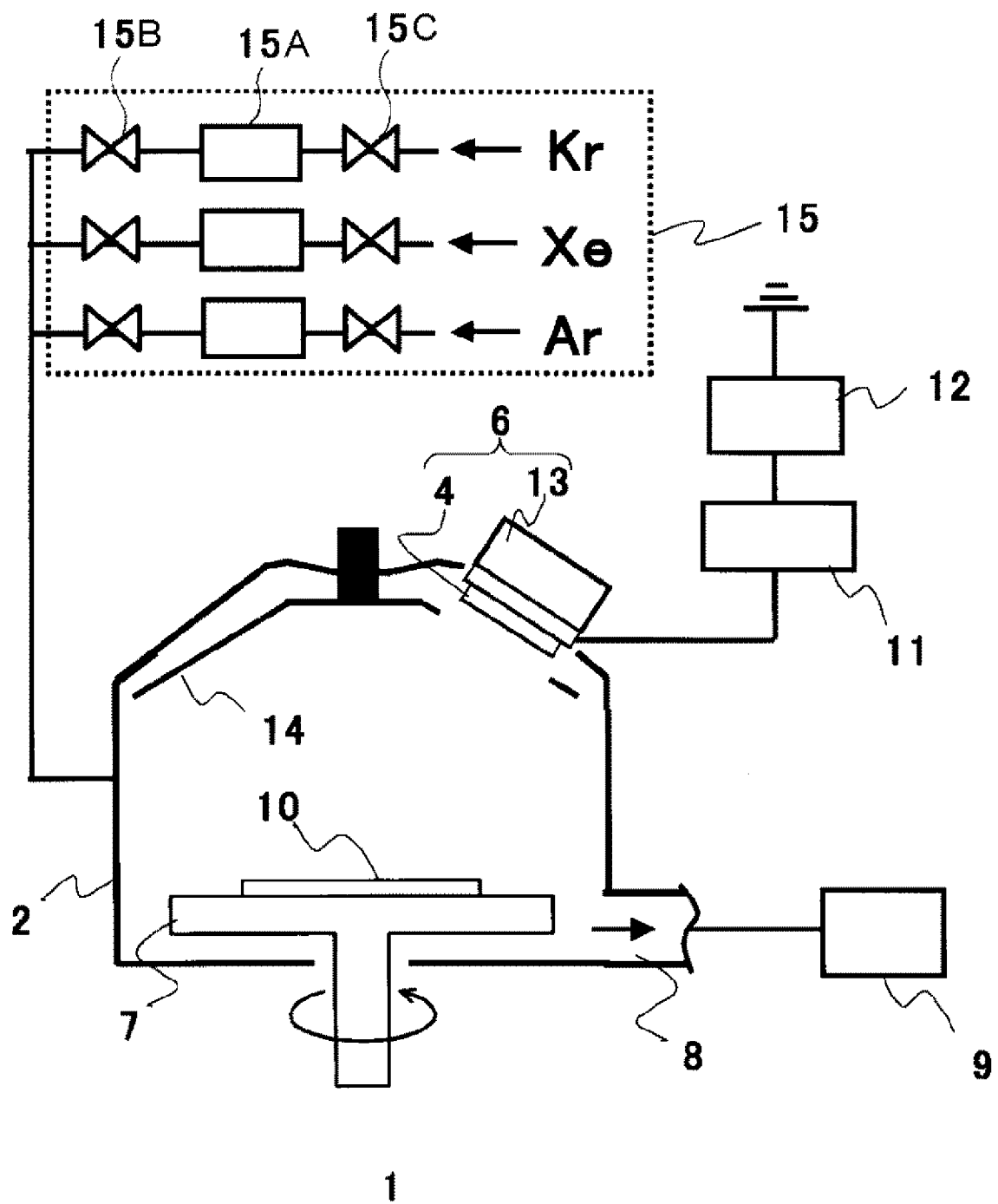
前記スパッタガスとして、少なくともKr以上の原子量を有する希ガスを含むガスを導入し、プラズマを生成する手順と、

前記プラズマに、前記希ガスより重い原子量を有する金属元素を含む金属酸化物のターゲットを曝し、前記希ガスより重い原子量を有する金属元素を少なくとも1つ含む金属酸化物絶縁膜を成膜する手順と、

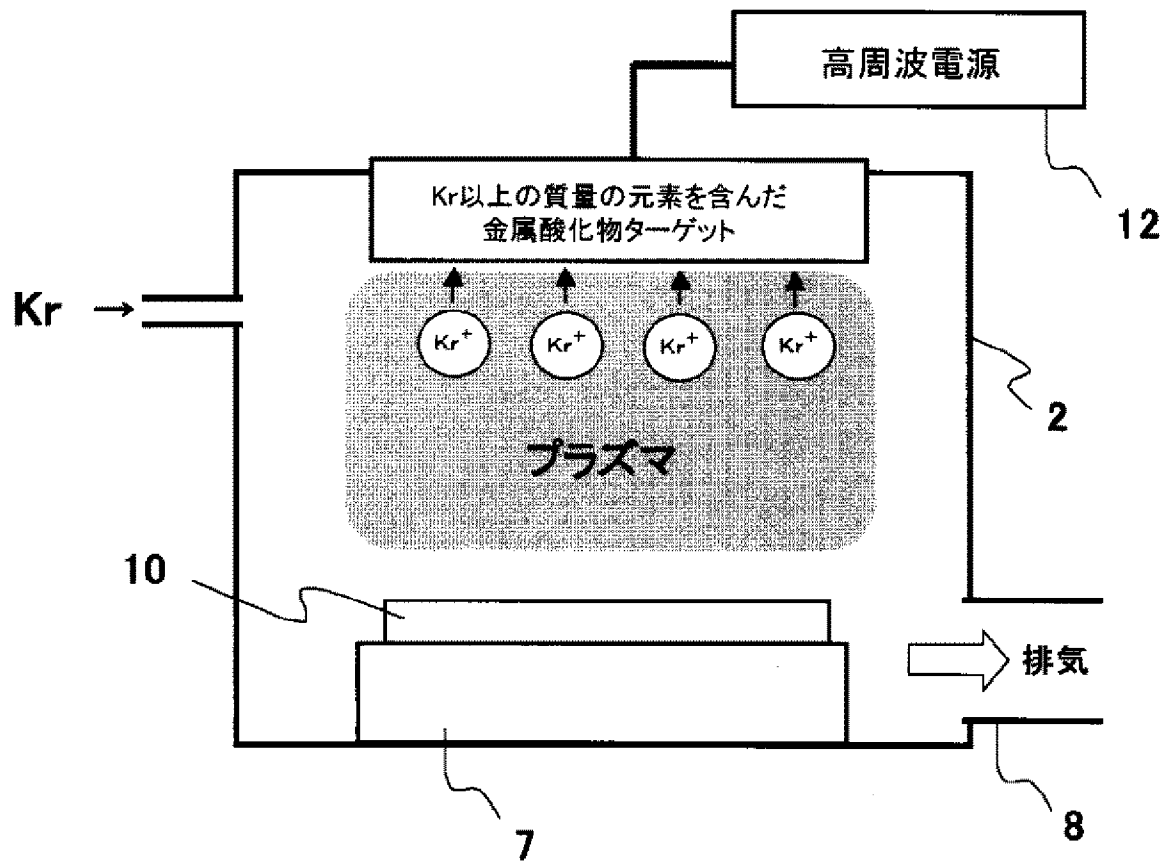
を成膜装置に実行させることを特徴とする制御プログラム。

- [10] 請求項9に記載の制御プログラムを記録したことを特徴とするコンピュータ読み取り可能な記録媒体。

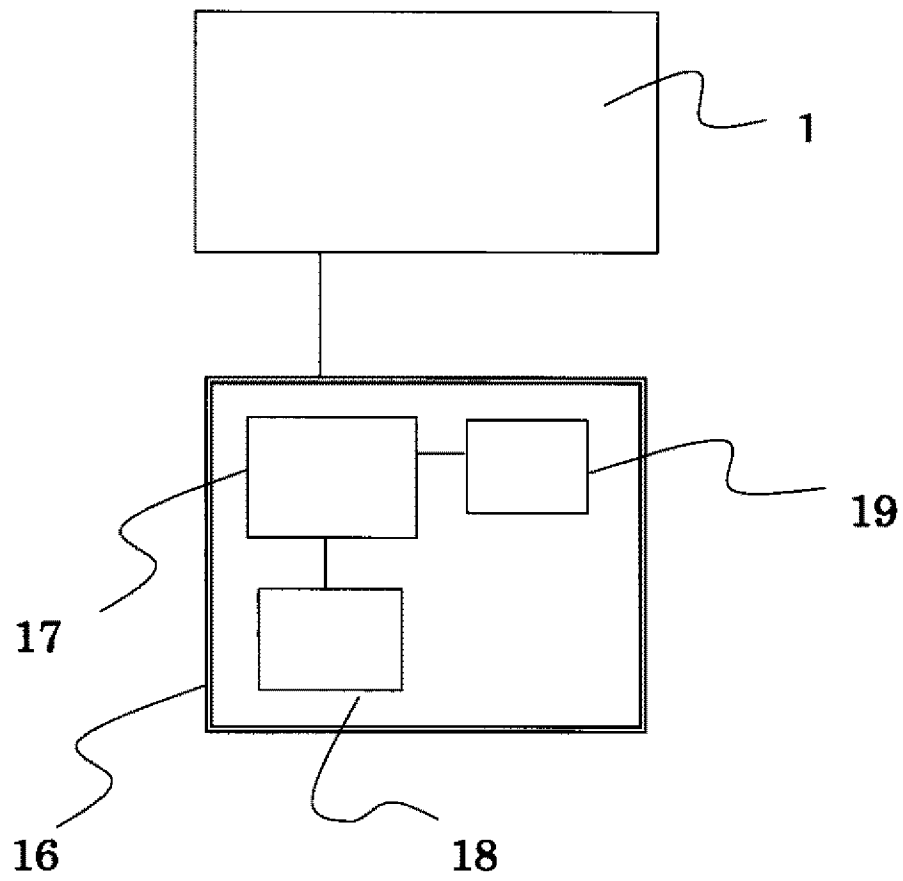
[図1]



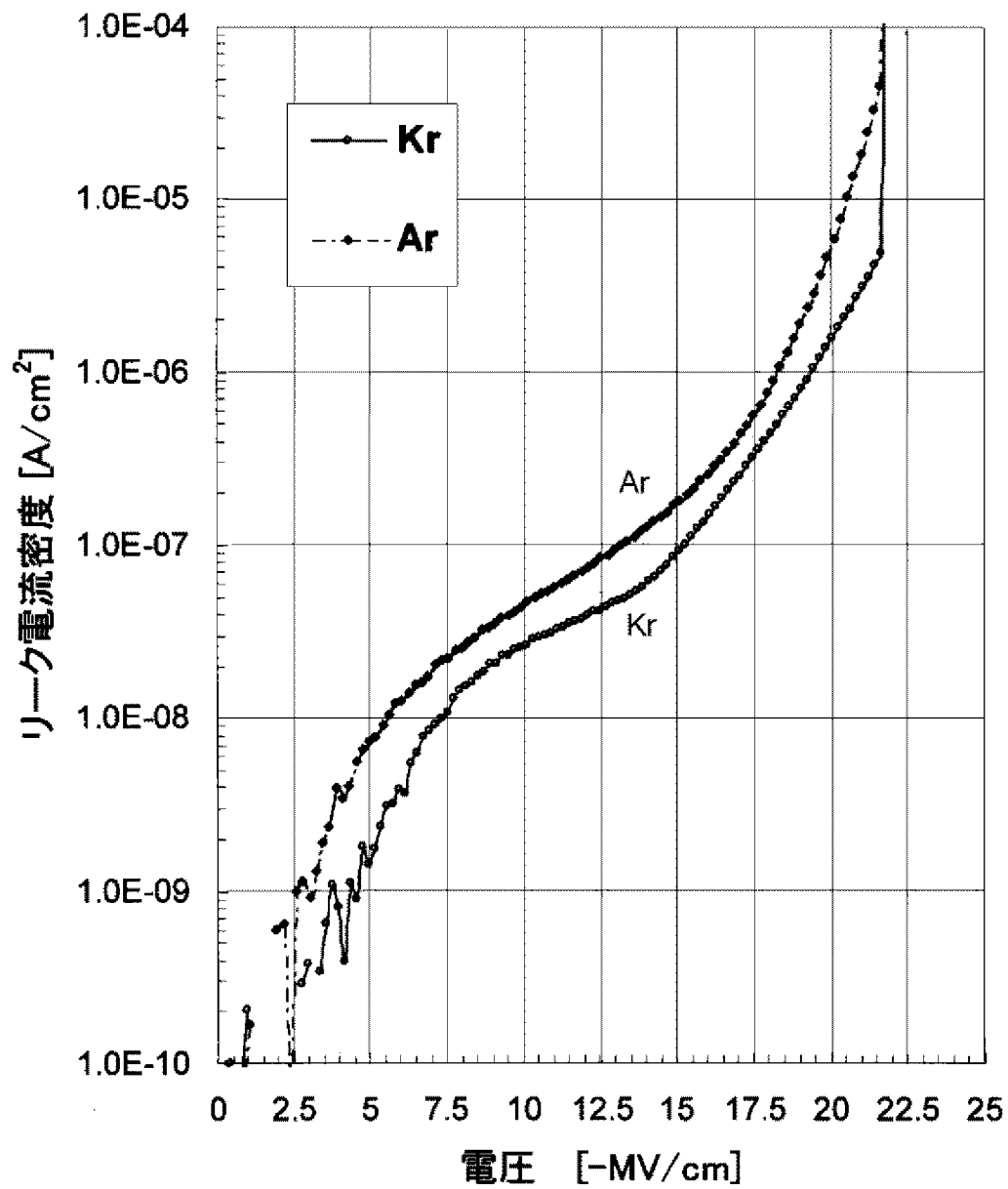
[図2]



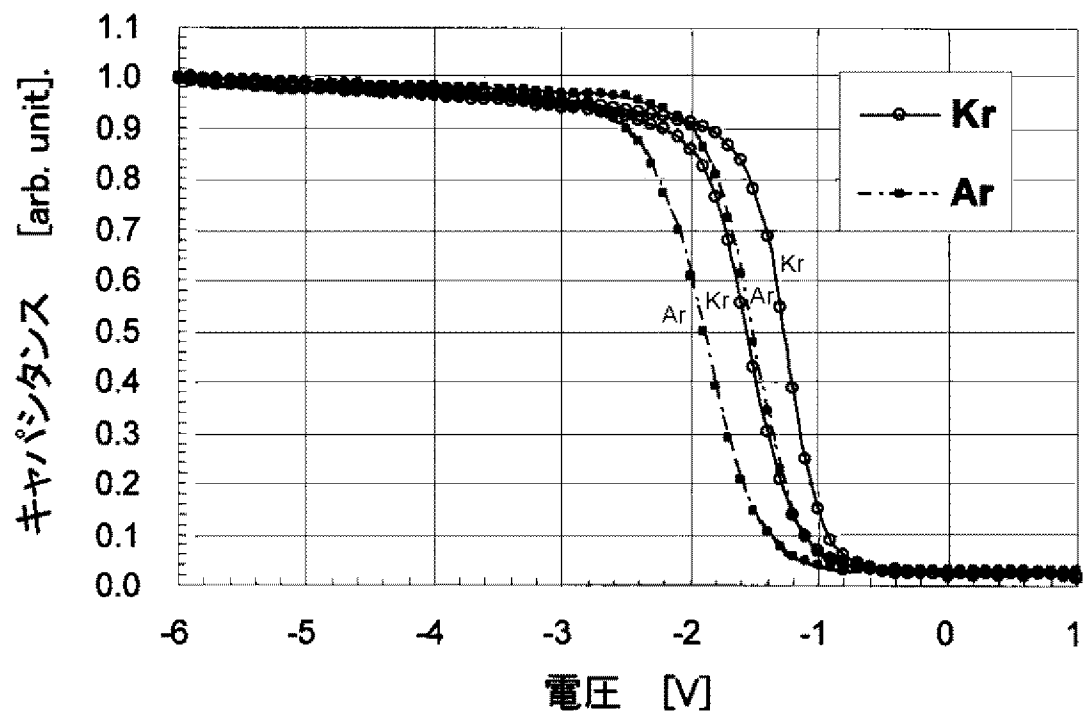
[図3]



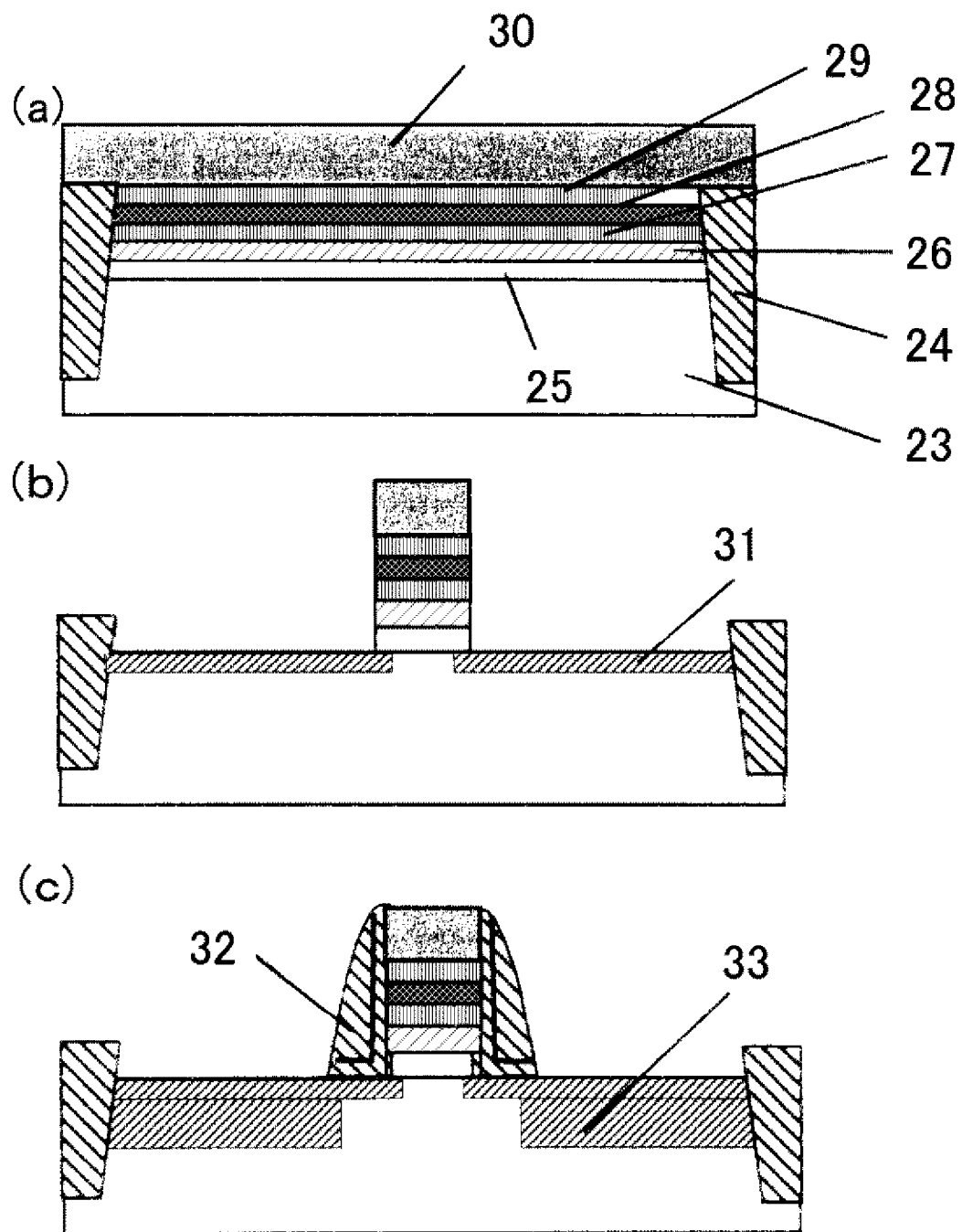
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/055596

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/316(2006.01)i, C23C14/34(2006.01)i, H01L21/8247(2006.01)i,
H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/316, C23C14/34, H01L21/8247, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2008-277319 A (Toshiba Corp.), 13 November, 2008 (13.11.08), Figs. 1 to 10; Par. Nos. [0014] to [0096] & US 2008/0271990 A1	1-7, 9, 10
X Y	JP 2003-249497 A (Matsushita Electric Industrial Co., Ltd.), 05 September, 2003 (05.09.03), Figs. 1 to 10; Par. Nos. [0009] to [0109] & US 2003/0113972 A1 & CN 1427454 A	1-6, 9, 10 7, 8
X	JP 2002-050624 A (Ulvac, Inc.), 15 February, 2002 (15.02.02), Figs. 1 to 5; Par. Nos. [0005] to [0019] (Family: none)	1, 3-5, 9, 10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 April, 2009 (22.04.09)

Date of mailing of the international search report
12 May, 2009 (12.05.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/055596

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 1-215969 A (Fujitsu Ltd.), 29 August, 1989 (29.08.89), Fig. 1; page 2, upper right column, line 6 to page 3, lower right column, line 7 (Family: none)	1, 3-5, 9, 10
Y	JP 2008-118144 A (Samsung Electronics Co., Ltd.), 22 May, 2008 (22.05.08), Figs. 1 to 3; Par. Nos. [0008] to [0021] & US 2008/0105918 A1 & KR 10-2008-0041041 A & CN 101179077 A	7, 8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/316(2006.01)i, C23C14/34(2006.01)i, H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/316, C23C14/34, H01L21/8247, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, X	JP 2008-277319 A (株式会社東芝) 2008. 11. 13, 図 1 - 1 0, 【0 0 1 4】 - 【0 0 9 6】 & US 2008/0271990 A1	1-7, 9, 10
X Y	JP 2003-249497 A (松下電器産業株式会社) 2003. 09. 05, 図 1 - 1 0, 【0 0 0 9】 - 【0 1 0 9】 & US 2003/0113972 A1 & CN 1427454 A	1-6, 9, 10 7, 8
X	JP 2002-050624 A (株式会社アルバック) 2002. 02. 15, 図 1 - 5, 【0 0 0 5】 - 【0 0 1 9】 (ファミリーなし)	1, 3-5, 9, 10

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 4 . 2 0 0 9

国際調査報告の発送日

1 2 . 0 5 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

今井 拓也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

4 0 3 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 1-215969 A (富士通株式会社) 1989.08.29, 第1図, 第2頁右上欄第6行ー第3頁右下欄第7行 (ファミリーなし)	1, 3-5, 9, 10
Y	JP 2008-118144 A (三星電子株式会社) 2008.05.22, 図1ー3, 【0008】ー【0021】 & US 2008/0105918 A1 & KR 10-2008-0041041 A & CN 101179077 A	7, 8