

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G11C 15/00

(45) 공고일자 1996년09월25일
(11) 공고번호 특1996-0013022

(21) 출원번호	특1992-0016616	(65) 공개번호	특1993-0006934
(22) 출원일자	1992년09월09일	(43) 공개일자	1993년04월22일
(30) 우선권 주장	91-13186 1991년09월11일 일본(JP) 92-3403 1992년01월10일 일본(JP) 가와사끼 세이데쯔 가부시끼가이샤 토자기 시노부 일본국 효오고겐 고오베시 추우오오구 기타혼마치도오리 1쵸오메 1반		
(73) 특허권자	일본국 효오고겐 고오베시 추우오오구 기타혼마치도오리 1쵸오메 1반		
(72) 발명자	요네다 마사토		
(74) 대리인	강동수, 강일우		

심사관 : 김희태 (책자공보 제4654호)

(54) 반도체 집적회로

요약

내용없음

대표도

도1

명세서

[발명의 명칭]

반도체 집적회로

[도면의 간단한 설명]

제 1 도는 본 발명에 관계되는 반도체 집적회로의 1실시예의 구성도.

제 2 도는 본 발명에 관계되는 반도체 집적회로의 다른 실시예의 구성도.

제 3 도는 본 발명에 관계되는 반도체 집적회로의 다른 실시예의 구성도.

제 4 도는 본 발명에 관계되는 반도체 집적회로에 사용될 EEPROM 메모리 셀의 1실시예의 구성도.

제 5 도는 본 발명에 관계되는 반도체 집적회로의 다른 실시예의 구성도.

제 6 도는 본 발명에 관계되는 반도체 집적회로를 설명하기 위한 스택형 메모리에 의한 구성도.

제 7 도는 제 6 도에 나타난 반도체 집적회로에 사용되는 스택형 메모리 셀의 문턱값 전압의 분포도이다.

* 도면의 주요부분에 대한 부호의 설명

1a, 1b : 데이터선 2a, 2b : 데이터선

3, 4 : 전압제어수단 6 : 센스앰프

11 : 메모리 페어 11a, 11b : 메모리 셀

12 : 메모리 페어 12a, 12b : 메모리 셀

13 : 메모리 트랜지스터 14 : 셀렉터 트랜지스터

15 : 셀렉터 워드선 16 : 일치검색선

17 : 일치검색 센스앰프 18 : 접지 트랜지스터

19 : 일치검색 데이터 20 : 트라이 스테이트 버퍼

21 : 접속수단 22 : 소오스

23 : 드레인 24 : 터널산화막

25 : 플로팅 게이트 26 : 콘트롤 게이트

27 : 일치검색 센스앰프 27a : 인버터
 28 : 프리차아지 트랜지스터 29 : 고전압 펄스 인가수단
 31 : CAM 메모리 셀 31a, 31b : 스택형 FLASH EEPROM 셀
 32 : CAM 메모리 셀 32a, 32b : EEPROM 셀
 33 : 플로팅 게이트 34 : 콘트롤 게이트
 51 : 메모리 페어 51a, 51b : 메모리 셀
 52 : 메모리 페어 52a, 52b : 메모리 셀
 53 : 플로팅 게이트 54 : 콘트롤 게이트
 55 : 셀렉터 와이드선 56 : 일치검색선
 57 : 일치검색 센스앰프 58 : 접지 트랜지스터
 59 : 일치검색 데이터

[발명의 상세한 설명]

본 발명은, CAM(Content Addressable Memory : 내용 액세스 메모리) 즉, 연상(連想) 메모리 장치에 관한 것으로, 상세하게는, 불휘발성 메모리 소자를 베이스로 하는 신구조의 셀로 이루어지는 CAM 구조의 반도체 집적회로에 관한 것이다.

종래부터 검색데이터와 기억데이터의 일치검출을 전(全)비트 병행으로 실시하여, 일치된 데이터의 기억어드레스 또는 데이터를 출력하는 기능을 가지는 반도체 기억회로로서, 연상메모리 즉 완전 병렬(並列)형 CAM(내용 액세스 메모리 : Content Addressable Memory)가 잘 알려져 있다(스가노따꾸오 감수, 이이즈카테쓰야편 「CMOS 초 LSI의 설계」 바이후관, P176-177 참조).

그러나, 종래의 CAM의 1비트당의 구성에는, SRAM 셀과 익스크로시브 NOR 회로로 구성되어 있고, 셀 사이즈가 크고 실용 레벨의 용량을 가진 CAM을 구성하는 것은 불가능하였다.

또, 근년에는, 수많은 상품화되어 있는 개인 데이터 베이스로서 IC 카드 등에서는, 상기와 같은 CAM의 구성이 아니고, 미리 데이터가 기억된 ROM(리드 온리 메모리)의 데이터를 하나하나 순차로 검색하여 소망하는 데이터를 찾아내는 구조로 되어 있다. 이때문에, 국어사전이나 영화(英和)사전과 같이 데이터가 많으면 많을수록, 검색에 많은 시간을 요하며, 고속이고 동시에 플렉시블한 검색기능을 가진 것은 아직 존재하고 있지 않았다.

이상의 종래의 기술을 고려하여 종래의 ROM 등에 수납되어 있는 데이터의 검색이 소프트웨어적으로 하나하나의 데이터에 대하여 순차로 실시되는 것이 아니고, CAM과 같이 한번에 전체 데이터의 검색이 가능하게 되면, 이후에 대용량 메모리를 탑재하는 IC 카드 등의 데이터 검색을 보다 고속이고 동시에 플렉시빌리티(flexibility)를 가진 것으로 할 수가 있다.

이를 위해서, 대용량 연상 메모리의 가능성을 시사한 것으로서, 미국 특허 제3,701,980호 공보(U.S. Patent 3,701,980, OCT. 1972) 혹은 일본국 특개평 1-194196호 공보에 기재된 발명 등을 들 수 있다. 먼저, 전자의 미국 특허는, DRAM 베이스의 것으로 통상의 2비트 메모리를 1조로 한 CAM 셀의 구조를 가지며, 후자의 것은 EPROM 불휘발성 메모리를 베이스로 하는 것이며, 역시 통상의 EPROM 메모리 2비트를 1조로 한 CAM을 구성하고 있다. 따라서, 어느 것도 SRAM 베이스의 CAM 보다도 고집적화가 가능한 것이다.

그런데, 미국 특허 3,701,980호 공보에 개시된 DRAM 베이스의 것은 아직도 면적(面積)적으로 문제가 있다. 한편, 일본국 특개평 1-94196호 공보에 개시된 EPROM 불휘발성 메모리 베이스의 것으로는, 구조적으로 단지 2비트 1조로 하여 EPROM 메모리를 사용하고, 공통화된 접지라인을 일치검색선으로 한 것 뿐이며, 일치검색시의 동작의 상세한 것에 대해서 충분한 고려가 되어 있지 않고, 플렉시블한 기록, 판독출력을 할 수 없다고 하는 문제가 있다.

본 발명은, 이와 같은 점을 감안하여, 다수의 메모리 셀의 검색을 상호 간섭없이 고속으로 실시할 수 있고, 보다 고속이고 동시에 대용량의 데이터 베이스를 구축하는 것을 가능하게 하는 연상메모리 구조의 반도체 집적회로를 제공하는 것을 목적으로 한다.

본 발명자는, 상기 목적을 달성하기 위하여 불휘발성 메모리를 2비트 1조로 하여 사용하는 연상메모리에 대해서, 예의 연구한 결과, 종래의 CAM 구조에서의 좋지 않은 상태가 하기와 같은 점에 있는 것을 알았다.

즉, (1) 이 일본국 특개평 1-194196호 공보에 개시된 CAM 구조에서는, 일치검색시에, 일치 셀과, 불일치 셀이 혼재하면 공통화된 일치검색선을 통하여, 로우 0 데이터의 전위와, 하이 1 데이터의 전위와의 충돌이 발생하게 되어, 동작을 보장할 수 없다.

그것뿐만 아니라, (2) 고집적회로로 되면 될수록 메모리 셀의 수는, 막대한 것으로 되어, 일치 셀과, 불일치 셀이 다수 존재하게 되기 때문에, 전체로서는 매우 커다란 전류가 흐르게 된다.

본 발명자는 상기 식견에 의거하여 본 발명에 이르게 된 것이다.

즉, 본 발명의 제 1 상태는, 제 2 데이터선으로부터 일치검색선으로의 전기적 접속 또는 비접속을 정의하는 제 1 메모리 셀과, 제 2 데이터선으로부터 상기 일치검색선으로의 전기적 비접속 또는 접속을 정의하는 제 2의 메모리 셀과 이들 제1 및 제 2 메모리 셀의 접속정의 상태에 따라서 상기 제 1 데이터선 및 상기 제 2 데이터선을 각각 상기 일치검색선에 접속 및 비접속으로 하는 셀렉터 트랜

지스터를 가지며, 이 셀렉터 트랜지스터의 문턱값 전압이 제조공정에서 만들어진 설정값을 가진 것을 특징으로 하는 반도체 집적회로를 제공하는 것이다.

여기서, 상기 일치검색선에는, 전류구동형의 센스앰프가 접속되고, 일치검색시에 상기 셀렉터 트랜지스터의 게이트전압(V_W)이 이하의 조건을 만족하도록 구성하여 이루어지는 것이 바람직하다.

$$V_t \leq V_W \leq V_S + V_t'$$

단, V_t : 셀렉터 트랜지스터의 문턱값 전압(기판 바이어스 0V시)

V_S : 검색시의 일치검색선의 전위

V_t' : 검색시에 기판 바이어스된 셀렉터 트랜지스터의 문턱값 전압

또, 본 발명은, 상기 상태의 반도체 집적회로로서, 상기 제1 및 제 2 메모리 셀과, 각각의 셀렉터 트랜지스터와, 이들 셀렉터 트랜지스터를 제어하는 제어 워드선을 1조의 검색 워드 블록으로 하고, 여러개의 검색워드블록에 대하여 상기 일치검색선 및 상기 센스앰프를 공통화한 것을 특징으로 하는 반도체 집적회로를 제공하는 것이다.

또, 본 발명의 제 2 상태는, 제 1 데이터선으로부터 일치검색선으로의 전기적 접속 또는 비접속을 정의하는 제 1 메모리 셀과, 제 2 데이터선으로부터 상기 일치검색선으로의 전기적 비접속 또는 접속을 정의하는 제 2 의 메모리 셀과, 이들 제1 및 제 2 메모리 셀의 접속 정의 상태에 따라서, 상기 제 1 데이터선 및 상기 제 2 데이터선을 각각 상기 일치검색선에 접속 및 비접속으로 하는 셀렉터 트랜지스터와, 이 셀렉터 트랜지스터의 게이트 전극에 접속된 셀렉터 워드선과 상기 일치검색선을 전기적으로 접속하는 접속수단과, 상기 셀렉터 워드선을 플로팅으로 하는 플로팅수단을 가지는 것을 특징으로 하는 반도체 집적회로를 제공하는 것이다.

여기서, 상기 셀렉터 트랜지스터의 문턱값 전압이 제조공정에서 만들어진 설정값을 갖도록 구성하여 이루어지는 것이 바람직하다.

또, 일치검색시의 상기 셀렉터 트랜지스터의 게이트전압(V_W)이 이하의 조건을 만족하도록 구성하여 이루어지는 것이 바람직하다.

$$V_t \leq V_W \leq V_H + V_t'$$

단, V_t : 셀렉터 트랜지스터의 문턱값 전압(기판 바이어스 0V시)

V_H : 검색시의 데이터선의 H(하이) 전위

V_t' : 검색시에 기판 바이어스된 셀렉터 트랜지스터의 문턱값 전압

또, 본 발명은, 상기 상태의 반도체 집적회로이며, 상기 제1 및 제 2 메모리 셀과, 각각 셀렉터 트랜지스터와, 이들 셀렉터 트랜지스터를 제어하는 제어워드선을 1조의 검색워드블록으로 하고, 여러개의 검색워드블록에 대하여 상기 일치검색선 및 여기에 접속되는 일치검색선의 전위 검출수단을 공통화한 것을 특징으로 하는 반도체 집적회로를 제공하는 것이다.

상기 각 상태에 있어서, 상기 셀렉터 트랜지스터의 문턱값 전압(V_t)(기판 바이어스 0V시)이 주변회로의 그것보다도 높게 설정되어 있는 것이 바람직하며, 또, 상기 메모리 셀이 불휘발성 메모리 소자로 구성되는 것이 바람직하고, 그 위에, 상기 불휘발성 메모리 소자가, MONOS형 불휘발성 메모리 소자인 것이 바람직하다.

또한, 본 발명의 제 3 상태는, 제 1 데이터선으로부터 일치검색선으로의 전기적 접속 또는, 비접속을 정의하는 제 1 불휘발성 메모리 셀과, 이에 대해서 제 2 데이터선으로부터 상기 일치검색선으로의 전기적 접속 또는 비접속을 정의하는 제 2 불휘발성 메모리 셀과, 이들 제1 및 제 2 의 불휘발성 메모리 워드블록으로 하는 연상메모리 장치이며, 데이터 검색시의 각 신호선의 전압과 불휘발성 메모리 셀의 문턱값전압이 하기 식(Ⅰ) 및 (Ⅱ)를 동시에 만족하도록 조정되어 있는 것을 특징으로 하는 반도체 집적회로를 제공하는 것이다.

$$V_W - V_H < V_{tL} < V_W - V_L < V_{tH} \text{ (Ⅰ)}$$

$$V_W - V_S < V_{tL} \text{ (Ⅱ)}$$

단, V_{tL} : 불휘발성 메모리 셀의 저문턱값 전압

V_{tH} : 불휘발성 메모리 셀의 고문턱값 전압

V_W : 검색시 셀렉터 워드라인의 전위

V_H : 검색시 데이터선의 H 데이터를 나타낸 전압

V_L : 검색시 데이터선의 L 데이터를 나타낸 전압

V_S : 검색시의 일치검색선의 전위

이다.

여기서, 상기 불휘발성 메모리 셀이, 상기 식(Ⅰ) 및 (Ⅱ)를 만족하는 문턱값 전압을 가진 불휘발성

트랜지스터에 의해 구성되어 있는 것이 바람직하다.

또, 본 발명은, 상기 제 3 상태의 반도체 집적회로이며, 또한, 상기 데이터 검출시의 전압을 상기 식(1) 및 (2)를 동시에 만족하도록 설정하는 수단을 가지는 것을 특징으로 하는 반도체 집적회로인 것이 바람직하다.

또, 상기 불휘발성 메모리 셀이, EPROM, EEPROM 및 UVEEPROM의 어느 것으로 구성되는 것이 바람직하다.

또, 상기 검색워드블록의 여러개에 대하여, 상기 일치검색선 및 이것에 접속되는 전위검출수단을 공통화한 것이 바람직하다.

이하에, 본 발명의 CAM 구조의 반도체 집적회로를 상세하게 설명한다.

본 발명의 제 1 상태의 반도체 집적회로에 있어서, 각 메모리 셀을 셀렉터 하는 셀렉터 트랜지스터의 문턱값 전압이 제조공정에서 설정값으로 만들어지고 있다.

이 때문에, 이 셀렉터 트랜지스터의 게이트전압을 그 문턱값 전압에 의하여 한정되는 설정범위 내의 전압이 되도록 콘트롤하여 일치, 불일치 검출시의 일치 셀과 불일치 셀과의 사이의 관통전류를 억제하는 것이 가능하게 된다.

본 발명의 제 2 상태의 반도체 집적회로에 있어서, 각 메모리 셀의 셀렉터 트랜지스터의 게이트 전극에 접속되는 셀렉터 워드선과 일치검색선을 접속수단을 통하여 전기적으로 접속하는 동시에, 상기 셀렉터 워드선을 플로팅으로 함으로써 일치, 불일치 검출시의 일치 셀과 불일치 셀과의 사이의 관통전류를 억제하는 것을 가능케하고 있다. 여기서, 상기 셀렉터 트랜지스터의 문턱값 전압이 제조공정에서 설정값으로 만들어져 있는 것으로는, 이 셀렉터 트랜지스터의 게이트전압을 상기 설정범위 내의 전압이 되도록 콘트롤함으로써, 상기 관통전류를 더욱 줄게 억제할 수가 있다.

본 발명의 제 3 상태의 반도체 집적회로는, 1조의 검색 메모리 워드블록에서, 제1 및 제 2 데이터선과 일치검색선과의 전기적 접속 또는 비접속을 정의하는 제1 및 제 2 불휘발성 메모리 셀을 제어워드선에 의하여 제어하도록 구성되어 있다. 한편, 상기 제1 및 제 2 데이터선, 상기 일치검색선, 상기 제어워드선 등의 신호선에 인가되는 전압과, 상기 제1 및 제 2 불휘발성 메모리 셀의 저문턱값 전압과의 관계가 상기 식(1) 및 (2)를 만족하도록 조정되어 있다. 이 때문에, 한가닥의 상기 제어워드선에 다수의 검색메모리 워드블록이 접속되어 있는 경우에 있어서도, 상기 제1 및 제 2 데이터선으로부터 가해지는 검색데이터와 상기 검색메모리 워드블록의 메모리 데이터가 일치하는 블록에서는, 비록 상기 제어워드선의 제어에 의해서도 상기 제1 및 제 2 불휘발성 메모리 셀의 접속 정의 상태에 관계없이, 상기 제1 및 제 2 데이터선의 어느 것도 상기 일치검색선에 접속하는 일은 없고, 상기 검색데이터와 상기 메모리 데이터가 불일치 블록에서만, 상기 제어워드선에 의해, 상기 제1 및 제 2 불휘발성 메모리 셀의 접속정의 상태에 따라서, 상기 제 1 데이터선 및 제 2 데이터선을 각각 상기 일치검색선에 접속 혹은 비접속시키는 것이 가능하게 된다.

상기 일치검색선의 전위를 상기 일치검색선에 접속되어 있는 센스앰프로 검출함으로써, 상기 제1 및 제 2 데이터선에 인가되는 검색데이터에 의한 각 블록의 상기 제1 및 제 2 불휘발성 메모리 셀과의 일치검색결과를 얻을 수가 있다. 따라서, 비록, 동일 제어워드선에 의하여 제어되는 다수조의 검색메모리 워드블록에서, 검색데이터와 불일치하게 되는 검색메모리 워드블록과 일치하는 검색메모리 워드블록과의 양쪽이 존재하더라도 이들의 블록간에서의 전기적 충돌을 없앨 수가 있어, 매우 높은 정밀도를 일치검색 결과를 얻을 수 있으며, 또한 매우 높은 메모리 셀 선택의 자유도를 가질 수가 있다.

이하에, 본 발명에 관계되는 연상메모리 구조의 반도체 집적회로를 첨부도면에 나타낸 알맞은 실시예에 의거하여 상세히 설명한다.

먼저, 본 발명의 설명에 들어가지 전에, 종래의 불휘발성 메모리를 사용하는 CAM 구조에서 생기는 문제와 동일한 문제가, 불휘발성 메모리 셀을 고집적 CAM에 응용할 경우에도 존재하는 것을 제 6 도에 나타낸 새로운 2비트 1조의 CAM의 FLASH EEPROM 메모리 구조를 사용하여 설명하고, 새로운 기술을 가하여서, 본 발명의 주된 발명의 포인트를 밝히도록 한다.

동 도면에서는, 메모리 셀(51a),(51b)을 1조로 한 메모리 페어(51)와, 메모리 셀(52a),(52b)을 1조로 한 메모리 페어(52)를 각각 하나의 CAM 셀로 하고 있다.

이 예에서 들고 있는 것은, 스택셀 구조라고 칭하여지는 것으로, 전하(電荷)를 축적하는 플로팅 게이트(53)의 바로 위에 콘트롤 게이트(54)를 적층한 것이며, 고집적화에 적합한 구조로 되어 있다.

또, 각 메모리 셀의 플로팅 게이트(53)의 전하축적 상태에 의한 문턱값 전압(V_t)의 분산을 나타낸 것이 제 7 도이다.

통상, 스택구조의 메모리 셀의 저문턱값 전압(V_{tl})은 0.5~3.5V 정도이며, 3V 정도의 분산을 갖는다. 이 분산을 더욱 작게 억제하는 것은, 구조상 혹은 제조상 매우 곤란한 것으로 일컬어지고 있다. 그러나, CAM 구조의 경우는 이 분산이 치명적이다. 이것을 논점(論點)의 하나로서 이하의 설명을 계속한다.

메모리 셀(51a)의 플로팅 게이트(53)에는, 전자(電子)가 주입되고, 고문턱값 전압(V_{th})(이것을 데이터 0 L(로우)라고 정의한다)이, 메모리 셀(51b)은 그 반전의 저문턱값 전압(V_{tl})(이것을 데이터 1 H(하이)라고 정의한다)이, 메모리 셀(52a)는 저문턱값 전압(V_{tl})이 메모리 셀(52b)은 고문턱값 전압(V_{th})이 정의되어 있다. 즉, 메모리 페어(51)에 의해 구성되는 CAM 셀에는 0 L(로우)데이터가, 메모리 페어(52)의 CAM에는 1 H(하이)데이터가 정의되어 있다고 하자.

이 상태에서 각각의 CAM 셀에 일치검색 데이터(59)의 데이터의 0 L(로우), 0 L(로우)가 일치검색되는 경우에 대해서 고려한다.

먼저, 접지 트랜지스터(58)를 오프로 하고, 일치검색 센스앰프(57)를 액티브로 한다. 이 일치검색앰프(57)는 전류구동형의 앰프이며, 스스로 드라이브능력을 가진다. 그 때문에, 일치검색선(56)은, 1.5~2.0V 정도의 전위에 설정된다.

이 설정전위는, 플로팅 게이트(53)의 축적전하에 영향을 주지 않도록 작은 값인 것이 바람직하고, 일반적으로는, 2V 이하가 좋다고 생각되고 있다.

여기서, 일반적인 CAM 동작으로서는, 설정전위에 설정된 일치검색선이, 불일치 CAM 셀의 데이터선의 0 L(로우)에 의한 전류인입(引入)에 의하여 디스차아지되어 저전위로 변화된다. 이 변화를 일으킨 일치검색선이 불일치를, 반대로 전위변화가 없고 설정전위를 유지하는 것이 일치를 나타낸다.

이 예에서는, 메모리 페어(52)의 CAM 셀의 데이터 1 H(하이)와 검색데이터 0 L(로우)가 상이하며, 일치검색선(56)은 데이터선(2a)(0 L(로우))에 의한 전류인입에 의해 저전위가 된다.

구체적인 검색동작으로서는, 데이터선(1a)에 일치검색데이터의 0 L(로우)전위가 0V가 인가되고, 데이터선(1a)에는, 이 반대의 1 H(하이)전위의 1.5V~2.0V가 인가한다.

이때도, 상기 이유에 의해 하이상태의 전위는, 1.5V~2.0V 정도로 낮게 설정된다.

이 상태에서, 셀렉터 워드선(55)이 액티브가 되면, 문턱값 전압(V_t)이 V_{th} (>6.5V 3 : 제 7 도 참조)의 메모리 셀(51a), (52b)은 오프상태를 유지한다. 그러나 메모리 셀(51b)과, 메모리 셀(52a)의 경우는 다른 동작을 한다.

먼저, 메모리 셀(52a)에 착안한다. 일치검색선(56)의 전류를 빼내고 불일치를 검출하기 위해서는, 이 메모리 셀(52a)을 온하지 않으면 안된다. 그런데, 이 트랜지스터의 문턱값 전압(V_t)은, 0.5~3.5V의 값을 얻는다(제 7 도 참조). 또, 이때의 소오스 전극측은 데이터선(2a)으로 되고, 0V가 인가되어 있다. 따라서, 셀렉터 워드선(55)의 전압(V_w)은 3.5V 이상일 필요가 있고, 통상은 그것보다 1V 정도 높은 4.5V 정도가 적당하다고 사료된다.

요컨대, 셀렉터 워드선(55)의 전압(V_w) 4.5V로서 처음으로 일치검색선(56)의 전위가 데이터선(2a)의 0V 전위에 의한 전류인입이 발생한다.

한편, 일치검색 센스앰프(57)은 전류구동형이며, 드라이브능력이 있다. 이때문에, 일치검색선(56)의 전위는 최종적으로 1.0V~1.5V 정도로 저하되고, 이 약 0.5V 정도의 저압전하에 의하여 불일치를 검출한다.

물론, 이 전위저하에 의해 불일치를 검출하게 되는 것인데, 이것에 의해 일치데이터를 기억하고 있던 CAM 셀의 메모리 셀(51b)에 불합리가 발생하게 된다.

이 메모리 셀(51b)의 각각 3개의 전극(드레인, 게이트, 소오스)의 전위를 생각하면, 먼저 게이트는, 셀렉터 워드선(55)의 4.5V 이상, 소오스는 일치검색선(56)의 전위의 1.0V~1.5V, 또 드레인은 데이터선의 1.5V~2.0V가 된다. 요컨대, 이 트랜지스터의 게이트, 소오스전위차(V_{gs})는 3.0~3.5(4.5-(1.0~1.5))V 이상이 된다.

그런데, 이 메모리 셀(51b)의 문턱값 전압(V_t)은, 최저 0.5V이다(제 7 도 참조).

요컨대,

$$V_{gs}(=3.0\sim3.5) > V_t(=0.5)$$

로 되어 이때 기판 바이어스효과에 의한 메모리 셀(51b)의 문턱값 전압의 상승을 고려하더라도, 이 메모리 셀(51b)의 트랜지스터는 온하고 만다.

이 때문에, 데이터선(1b)의 하이전위로부터 데이터선(2a)의 로우전위로 관통전류가 흐르게 된다.

일반적으로 연상메모리의 경우, 일치검색동작은, 복수의 셀렉터 워드선에 걸쳐서 동시에 행해진다. 따라서, 각 셀렉터 워드선에서의 관통전류는 칩전체에서는 매우 큰 값으로 되며, 동작 불능이라는 치명적인 문제가 된다.

또, 데이터선(1b)의 하이전위에 의해 데이터 일치검색선(55)의 전위가 오르고, 일치검색 센스앰프(37)에 의한 전위차검출이 곤란한 상태로 되는 문제도 발생한다.

이와 같은 새로운 고찰을 바탕으로, 본 발명에 관계되는 반도체 집적회로를 첨부도면에 의거하여 구체적으로 설명한다.

제 1 도는, 본 발명의 상태의 1실시예를 나타낸 것이다.

동 제 1 도의 메모리 셀은 MONOS 구조의 불휘발성 메모리라고 불리어지고, 데이터를 기억하는 메모리 트랜지스터(13)와 그 셀렉터 트랜지스터(14)로 이루어지고 있다. 메모리 트랜지스터(13)를 구성하는 질화막 중에 전자를 트랩하거나 하지않던가 따라서 인핸스먼트(enhasncement) 타입이거나, 디프레이션(depression) 타입의 트랜지스터 특성을 나타낸다. 한편, 이 메모리 트랜지스터(13)와 직렬로 설치된 셀렉터 트랜지스터(14)는, 통상의 제조공정에서 만들어진 인핸스먼트 타입의 트랜지스터이다.

본 발명은, 이 셀렉터 트랜지스터(14)의 문턱값 전압(V_t)의 분산이 매우 적은 것에 착안하여, 일치

검색시의 메모리 셀 간의 전기간섭을 억제한 연상메모리 구조를 새로이 제안하는 것이다.

일례로서, 동도 메모리 셀(11a)의 메모리 트랜지스터(13)에는 부(負)의 전하가 축적되고, 0 L(로우)상태를, 그 반전데이터가 메모리 셀(11b)에 기록되어 있다. 또, 메모리 셀(12a)의 메모리 트랜지스터(13)에는 정(正)의 전하가 축적되고, 1 H(하이)상태를, 그 반전데이터가 메모리 셀(12b)에 기록되어 있다. 이들 메모리 셀(11a),(11b)과 메모리 셀(12a),(12b)은 각각 메모리 페어(11)와 메모리 페어(12)를 구성하여, 2비트의 CAM 셀이 된다.

각, 메모리 셀(11a),(11b),(12a),(12b)의 셀렉터 트랜지스터(14)의 게이트 전극은 동일 셀렉터 워드선(15)에 또, 소오스 전극은 일치검색선(16)에 접속되어 있다.

또한, 일치검색선(16)에는 일치검색 센스앰프(17)와 접지 트랜지스터(18)가 설치되어 있다.

여기서, 메모리 셀의 메모리 트랜지스터(13)의 메모리 게이트로의 전자의 주입(부전하의 축적) 및 전자의 인출(정전하의 축적)에 관해서는, Takaaki Nozaki et al., A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Disk Application

IEEE J. Solid-State Circuits, Vol 26, no., pp. 497-501 Apr. 1991.에 상세히 나타나 있다. 또, 메모리 트랜지스터(13)의 제어선에 관해서 도시를 생략한다.

먼저, 메모리 셀의 데이터 판독출력동작에 대해서 간단히 설명한다. 통상의 판독출력동작에서는, 데이터선(1a),(1b),(2a),(2b)의 앞끝에 설치된 선택회로(5) 및 센스앰프(6)를 사용해서 한다. 선택회로(5)에 의하여 데이터선(1b)에 센스앰프(56)가 접속된다.

이 앰프는, 전류검출형이며, 데이터선(1b)은 비판독출력시에 1.5~2.0V에 유지된다. 이어서, 셀렉터 워드선(15)에 5V가 인가되고, 메모리 셀(11b)의 셀렉터 트랜지스터(14)가 온한다. 한편, 메모리 트랜지스터(13)에는, 정(正)의 전하가 축적되어 있고, 메모리 트랜지스터(13)는 디프레이션 타입이며, 메모리 게이트로의 인가전압은 0V일지라도 온 상태가 된다.

이때문에, 데이터선(1b)과 일치검색선(1b)과의 사이에 직렬로 설치된 메모리 트랜지스터(13)와 셀렉터 트랜지스터(14)의 어느 것인가가 온 한다.

또, 이때 일치검색선(16)은 접지 트랜지스터(18)에 의하여 접지 전위에 고정되어 있으며, 이 때문에, 데이터선(1b)의 전위는 내려가서 1.0V~1.5V 정도로 변화한다.

이 변화를 센스앰프(6)로 검출하고 그 결과를 출력한다.

여기서, 데이터선(1b)의 전위를 2V 이하로 하는 이유는, 메모리 트랜지스터에 축적된 전하로의 데이터 판독출력시의 영향을 억제하기 위해서이다.

다음에, 일치검출동작에 대해서 설명한다.

먼저, 메모리 셀(11a),(11b),(12a),(12b)를 2셀 1조의 메모리 페어로서 데이터를 기록한다. 이 조는 반드시 인접하는 메모리 셀일 필요는 없으나, 이 예에서는, 설명의 용이화를 위해서 인접하는 셀에 상반되는 데이터를 기록하고 있다.

메모리 페어(11)에 의해 구성되는 CAM셀은, 0 L(로우), 메모리 페어(12)의 CAM셀은, 1 H(하이)이다. 일치검색 데이터(19)는, 이들 메모리 페어(11),(12)에 대하여 각각 0 L(로우), 0 L(로우)를 검출하는 것으로 한다. 따라서, 메모리 페어(11)의 CAM셀의 데이터는 검색데이터와 일치하나, 메모리 페어(12)의 CAM셀의 데이터는 불일치가 된다.

먼저, 데이터선(1a)에는, 0 L(로우), 데이터선(1b)에는, 1 H(하이)가 인가되고, 데이터선(2a)에는 0 L(로우), 데이터선(2b)에는 1 H(하이)가 인가된다.

또, 접지 트랜지스터(18)는 오프, 일치검색선(16)은 1 H(하이)상태에 설정된다.

이 상태에서 셀렉터 워드선(15)이 1 H(하이)가 되면, 메모리 페어(11),(12)를 구성하는 각각의 메모리 셀(11a),(11b),(12a),(12b)의 셀렉터 트랜지스터(14)의 게이트에 1 H(하이)의 전압이 인가된다.

메모리 셀(11a) 및 (12b)에 관해서는, 메모리 트랜지스터(13)가 전자를 축적하고 있고, 인헨스먼트 타입으로 되어, 상술한 데이터 판독출력시와 같이 메모리 게이트가 0V 인가되며, 오프상태를 유지한다. 이때문에, 데이터선(1a)의 0 L(로우)상태와 데이터선(2b)의 1 H(하이)상태가 일치검색선(16)에 영향을 주는 일은 없다. 그러나, 메모리 트랜지스터(13)가 디프레이션 타입으로 되어 있는 메모리 셀(11b) 및 메모리 셀(12a)의 경우는 다르다. 특히, 그 0 L(로우) 또는 1 H(하이)의 전압치 설치가 중요한 문제가 된다.

이하에 구체적으로 설명한다.

먼저, 메모리 셀(12a)의 경우는, 축적데이터 1 H(하이)와 검색데이터 0 L(로우)가 다르다.

이 때문에, 데이터선(2a)의 0 L(로우)상태에 의하여 일치검색선(16)의 1 H(하이)상태의 전하를 빼낼 필요가 있다.

여기서, 가령, 데이터선(2a)이 0V(L상태), 일치검색선(16)이 1.5~2.0V(H상태)에 전위가 설정되어 있고, 셀렉터 워드선에 5V(H상태)가 인가되었다고 하자.

그러면, 메모리 셀(12a)의 셀렉터 트랜지스터(14)의 소오스, 게이트 전위차(V_{gs})는 5V가 된다.

즉,

$$V_{gs} = (\text{셀렉터 워드선(15)의 H전압}) - (\text{데이터선(2a)의 L전압})$$

=5-0=5

또, 이 셀렉터 트랜지스터(14)의 문턱값 전압(V_t)은, 주변 트랜지스터의 문턱값과 마찬가지로 0.8V 정도이다.

따라서, $5V > \text{문턱값 전압}(V_t) = 0.8V$ 가 되고, 메모리 셀(12a)의 셀렉터 트랜지스터(14)는 온하여 일치 검색선(16)의 전위를 내린다. 일치검색 센스앰프(17)도 데이터 판독출력시의 센스앰프(6)와 같이 전류검출형의 앰프이며, 데이터선(2a)로 부터의 전류인입에 의하여 전압강하가 발생하여 1.0V~1.5V 정도의 전위로 안정된다.

한편, 메모리 페어(11)의 경우는, 축적데이터 0 L(로우)와 검색데이터 0 L(로우)가 일치하고 있고, 데이터선(1b)과 일치검색선(16)은 비접속의 상태를 유지할 필요가 있다.

그러나, 셀렉터 워드선(15)에 5V가 인가되고, 일치검색선(16)의 불일치전위가 1.0~1.5V라고 하면, 메모리 셀(11b)의 셀렉터 트랜지스터(14)의 소오스 게이트 전위차(V_{gs})가,

$$V_{gs} = 5 - (1.0 \sim 1.5)$$

$$= 4.0 \sim 3.5 > 0.8 (\text{셀렉터 트랜지스터의 문턱값 전압}(V_t))$$

로 되어, 기판 바이어스 효과에 의해 문턱값 전압(V_t)의 상승을 고려하더라도, 메모리 셀(11b)의 셀렉터 트랜지스터(14)는 온하고, 데이터선(1b)과 일치검색선(16)이 접속된다. 즉, 데이터선(1b)의 1 H(하이) 전위 1.5~2.0V와 데이터선(2a)의 0 L(로우)의 전위 0V가 도통하여 관통전류가 흐른다.

여기까지는 상술한 것과는 다르지 않으나, 본 발명에서는, 반도체 제조과정에서 만들어지는 셀렉터 트랜지스터를 이용한 제어를 하고 있다.

이 때문에, 셀렉터 워드전압(V_w) 혹은 셀렉터 트랜지스터(14)의 문턱값 전압(V_t)을 제어함으로써, 이 과제를 매우 쉽게 해결할 수 있다.

이것을 이하에 설명한다.

먼저, 상기 예에서는 셀렉터 워드전압(V_w)을 5V로 하였으나, 이것은 그렇게 높게 설정할 필요는 없고, 셀렉터 트랜지스터(14)의 문턱값(V_t)보다 높으면 된다. 다만 너무 낮게 설정하면 검색스피드가 늦어진다. 또, 상한(上限)은 메모리 셀(12a)의 셀렉터 트랜지스터(14)에 의하여 끌어내려지는 일치검색선(16)의 전위(1.0~1.5V)를 소오스 전극, 셀렉터 워드선(15)의 워드전압(V_w)을 게이트전위로 하는 메모리 셀(11b)의 셀렉터 트랜지스터(14)가 온하지 않는 전압차까지 워드전압(V_w)을 올리는 것이 가능하다.

이것을 식으로 표현하면,

$$V_w > V_t (0.8V)$$

$$V_w - (1.0 \sim 1.5) < V_t'$$

여기서, $V_t' = V_t + \Delta V$ (기판 바이어스 효과분, 약 1V)

즉,

$$V_t < V_w < (\text{일치검색선의 불일치시의 전위}) + V_t' \text{식(1)}$$

요컨대, 일치검색 동작시에 셀렉터 워드선(15)의 워드전압을 예를 들면 3V로 약하게로 선택해 놓으면, 메모리 셀(12a)의 셀렉터 트랜지스터(14)는 오프로 할 수가 있다. 이 결과, 데이터선(11b)의 1 H(하이) 전위 1.5~2.0V로 부터 데이터선(2a)의 0 L(로우) 전위 0V로의 관통전류를 억제하면서 동시에 검색스피드의 열화가 실용상 문제가 되지 않는 정도로 할 수가 있다.

이것은 종래의 불휘발성 타입의 연상 메모리에서는 불가능한 일이 없고, 제조공정에서 만들어진 문턱값 전압을 가진 셀렉터 게이트 트랜지스터를 제어하는 구조를 사용하고, 또한 일치검색 동작시에 셀렉터 워드선의 워드전압을 적정하게 선택함으로써 가능하게 되는 것이다.

또, 식(1)에서 알 수 있듯이 셀렉터 게이트 트랜지스터의 문턱값 전압(V_t)을 3.0V 정도로 함으로써 식(1)에 의하여

$$3.0 < V_w < (1.0 \sim 1.5) + (3.0 + 1)$$

로 되어, 워드전압(V_w)을 대략 5V로서, 데이터 판독출력시와 같은 전압으로 하는 것도 가능하다. 이 렇게 함으로써 셀렉터 워드선 전압의 제어를 간단화 할 수가 있다.

다음에, 본 발명의 제 2 상태의 1 실시예(제 2 실시예)를 제 2 도에 나타낸다. 이것도 역시, 제조공정에서 만들어지는 문턱값 전압(V_t)을 가진 셀렉터 트랜지스터(14)를 제어하는 구조를 가지는 연상 메모리이다.

제 1 실시예와 다른 점은, 데이터 일치검색시에 셀렉터 워드선(15)을 플로팅으로 하는 트라이 스테이트 버퍼(20)와, 이 셀렉터 워드선(15)과 일치검색선(16)과 접속하는 접속수단(21)이 있는 점이다.

메모리 셀(11a), (11b), (12a), (12b)의 기억상태는 제 1 실시예와 동일하게 한다.

또, 일치검색 센스앰프(27)는 일치검색선(16)의 미리 프리차아지된 전하가 메모리 셀(12a)에 접속된 데이터선(2a)의 0 L(로우) 전위 0V에 의하여 빼내어지는 것에 의한 전위저하를 검출하는 것이며, 제 1 실시예와 같은 전류드라이브 타임이 아니고 정상적인 검색전류는 없다. 따라서, 보다 저소비 전력형의 센스앰프이며, 동시 다수검색동작을 기본으로 하는 연상메모리의 센스계(系)로서 보다 뛰어나고 있다. 물론 제 1 실시예와 같이 전류검출형의 앰프라도 좋을 필요도 없다.

기본적인 생각은, 일치검색시에 불일치가 검출되어 일치검색선(16)의 전위가 저하되어 올때에, 접속수단(21)에 의해 셀렉터 워드선(15)의 전위도 동시에 내린다.

이때문에, 셀렉터 트랜지스터(14)의 소오스 전극(일치검색선(16))과 게이트 전극(셀렉터 워드선(15))의 전압차를 대략 0으로서, 이 셀렉터 트랜지스터(14)를 오프 상태 혹은 거기에 가까운 상태를 유지시키는데 있다.

단, 이때에는 데이터선(1b)의 1 H(하이)상태의 전위는 1.5~2.0V이기 때문에, 제 1 실시예와 같이 셀렉터 워드선(15)의 워드전압(V_w)은 일치검색시에 역시 식(1)과 같은 이하의 식(2)를 충족할 필요가 있다.

$$V_t < V_w < (1 \text{ H의 데이터선전압}) + V_t' \text{ 식(2)}$$

단, $V_t' = V_t + \Delta V$ (기판 바이어스 효과분, 약 1V)

여기서, 식(1)과 비교하면 V_w 의 최대치가 0.5V 정도, 보다 높게 설정할 수가 있다. 이것은 제 1 실시예와 다르며, 셀렉터 트랜지스터(14)의 소오스 전극(일치검색선(16))과 게이트 전극(셀렉터 워드선(15))의 전압차가 대략 0V로 되어, 데이터선(1b)을 소오스 전극측으로 하는 경로만이 정상적인 전류경로가 될 가능성이 있기 때문이다. 이 때문에, 검색스피드는 약간 개선된다.

이하에 보다 구체적인 구동방법의 1예를 나타낸다.

먼저, 접지 트랜지스터(18)가 오픈된다. 이어서, 접속수단(21)에 의해 이 셀렉터 워드선(15)과 일치검색선(16)이 접속되고, 트라이 스테이트 버퍼(20)에 의해 셀렉터 워드선(15)이 플로팅하게 된다. 또, 이 일치검색선(16)은 프리차아지 트랜지스터(28)에 의해 워드전압(V_w)의 허용 최대치 $\{(1.5 \sim 2.0) + V_t'\}$ 까지 프리차아지 된다.

이때 데이터선(1a),(1b),(2a),(2b)은 어느것이나 1 H(하이)상태의 전위 1.5~2.0V가 인가되어 있다.

이 일치검색선(16) 및 셀렉터 워드선(15)의 프리차아지가 완료되면, 다음에 일치검색 데이터(19)에 대응한 전위가 데이터선(1a),(1b),(2a),(2b)에 주어진다.

즉, 데이터선(1a),(2a)에는 0 L(로우) 전위 0V가, 데이터선(1b),(2b)에는 1 H(하이) 전위 1.5~2.0V가 인가된다(이하, 이 상태를 검색개시상태라고 칭한다).

제 1 실시예와 같이, 메모리 셀(11a),(12b)의 메모리 트랜지스터(13)는 인헨스먼트 타입이며 또한 게이트 전압은 0V가 되어, 어느 것이나 오프상태이다. 그런데, 메모리 셀(11b),(12a)의 각 메모리 트랜지스터(13)는 디프레이션 타입이 되어 온 상태이다.

메모리 셀(12a)의 셀렉터 트랜지스터(14)의 소오스 전극은 데이터선(2a)과, 게이트 전극은 셀렉터 워드선(15)의 접속되어 있다. 그 때문에, 이 셀렉터 트랜지스터(14)의 게이트, 소오스 전위차(V_{gs})는, 검색개시상태에서 1.5~2.0V이다.

또, 이 셀렉터 워드선(15)은, 접속수단(21)에 의해 일치검색선(16)과 접속되어 있다. 이 때문에 메모리 셀(12a)의 셀렉터 트랜지스터(14)의 드레인전극(일치검색선(16)에 접속)과 게이트 전극(셀렉터 워드선(15)에 접)의 전위차는 정상적으로는 0V로 된다. 따라서, 일치검색선(16)의 전하는 데이터선(2a)에 의하여 빼내게 된다.

이 상태에서, 제 1의 실시예와 다른 점은, 일치검색 센스앰프(27)가 정상적인 구동능력을 가지지 않는 점이다. 상기 일치검색 센스앰프(27)의 출력거환된 채널 MOS(27b)는 노이즈 등의 대책용이 매우 약한 것이며, 드라이버의 역할은 없다.

따라서, 정상적인 구동전류를 가지지 않았기 때문에 저소비전력이다.

차이지업된 전하가 빼내어져서 전위가 내려가, 일치검색 센스앰프(27)의 인버터(27a)의 문턱값 전압을 차단했을 때에 그 출력이 1 H(하이)로 되는 것을 검출한다. 요컨대, 기본적으로는, 빼내어지는 0 L(로우) 전위의 0V까지 일치검색선의 전위가 끌어내려진다.

이점에 주목하면서, 일치검색선(16)의 전하가 빼내어져서 전위가 저하되어 올때의 메모리 셀(11b)의 셀렉터 트랜지스터(14)에 대해서 고찰한다.

검색초기 상태에서는, 이 메모리 셀(11b)의 셀렉터 트랜지스터(14)의 소스전극, 게이트 전극 및 드레인전극의 어느것이나 1 H(하이)상태에 설정되어 있고, 오프상태를 유지한다.

그런데, 검색일치선(16)의 전하가 데이터선(2a)의 0 L(로우)상태에 의하여 로우전위에 인입된다.

이때의 일치검색선(16)의 전위를 V_s 로 하면,

$$V_s + \Delta V_v = V_w \text{ (셀렉터 워드선(15)의 전위)} < \text{데이터선(1b)의 전위} (\Delta v < < 1) \text{ 식(3)}$$

과 같이 된다.

따라서, 데이터선(1b)보다 셀렉터 트랜지스터(14)의 게이트전압이 상승하여, 데이터선(1b)을 소오스

전극측으로 하는 전류경로는 존재하지 않는다.

생각할 수 있는 경로는 일치검색선(16)을 소오스 전극측으로 하는 경로이다. 이때의 게이트, 소오스 전위차(V_{GS}) 식(3)에 의해

$$V_{GS}=V_W-V_S=\Delta V$$

로 된다. 여기서 ΔV 의 값이, 그때의 셀렉터 트랜지스터(14)의 문턱값(V_t)과 비교하여 어떻게 하는 것이 문제가 된다. 그러나, 이 ΔV 는 순간적인 미소 전압차이고, 또한, 정상적으로는 0V로 되는 것으로, 결과적으로 문제는 되지 않는다.

이 미소전압차의 발생원인은, 셀렉터 워드선(15), 일치검색선(16) 혹은 접속수단(21)의 반도체기판 상으로의 형성에 의한 저항, 접합용량 혹은 기생(寄生)용량 등에 의해, 셀렉터 워드선(15) 전위와 검색일치선(16) 전위의 각 점에서의 전위변동 시간차가 발생하기 때문이다. 그렇지만, 이 시간차는 매우 작은 것이며, 그 결과 일시적으로 흐르는 전류량도 매우 적은 것이다.

또, 이것을 억제하는데는, 배선재료의 저 저항화나 접속수단(21)의 복수와, 혹은 이 시간차가 문제로 되지 않는 정도로 데이터선(1a),(2a)의 0 L(로우)상태에 의한 로우전위 인입을 천천히 하는등, 억제방법은 여러가지 있다.

결국, 상기 구성을 취하면, 데이터선(1b)측 혹은 일치검색선(1b)측의 어느것을 소오스 전극으로 하여도, 셀렉터 트랜지스터(14)의 게이트 소오스전위(V_{GS})가 정상적으로 문턱값 전압(V_t)보다도 크게 되는 일은 없고, 메모리 셀(11b)의 셀렉터 트랜지스터(14)는 오프상태를 유지한다.

따라서, 데이터선(1b)으로 부터 데이터선(2a)으로의 정상적인 관통전류를 흘리는 일 없이, 일치검색선(1b)의 전하는 데이터선(2a)에 의하여 빼내어지고, 최종 셀렉터 트랜지스터(14)의 문턱값(V_t)(약 0.8V)까지 저하한다. 이 전위저하가 일치검색 센스앰프(27)의 인버터에 의해 검출되고, 1 H(하이)상태가 출력된다.

통상의 메모리내의 판독출력은, 접속수단(21)을 끊어버리고, 프리차아지 트랜지스터(28)를 오프, 접지 트랜지스터(18)를 온으로 한다.

또한, 선택회로(5)를 통하여 각 메모리 셀(11a),(11b),(12a),(12b)의 데이터선(1a),(1b),(2a),(2b)의 어느 한선을 전류구동 능력을 가지는 전류 검출형의 센스앰프(6)에 접속하고, 셀렉터 워드선(15)을 1 H(하이) 상태에서 셀렉터 트랜지스터(14)를 액티브로 하고, 데이터선의 전위변화를 검출하여 데이터의 판독출력을 한다.

여기서, 셀렉터 워드선(15)의 구동전압은 일치검색선과 같이 낮게하는 것은 불필요하고, 통상 5V(전원전압)로 설정된다. 단지, 전류검출형의 센스앰프(6)의 접속되는 데이터선에 관해서는, 메모리 트랜지스터(13)의 차아지전하를 유지하는 이유로, 1.5~2.0V의 저전위로 설정된다. 이 데이터선 전위는 메모리 트랜지스터(13)가 인핸스먼트 타입(부전하가 축적)에서 변화하지 않고 1.5~2.0V를 유지하고, 한편 디프레이션 타입(정전하가 축적)에서는 1.0~1.5V로 전위강하를 일으키도록 설정되어 있다. 이 데이터에 의한 전위차를 검출하여 출력한다.

또, 제 1 실시예와 같이 셀렉터 트랜지스터(14)의 문턱값 전압(V_t)을 통상의 주변 트랜지스터의 그것과 같이 0.8V 정도로 설정하는 것은 아니고, 2.5V 정도에 설정하면 식(2)에 의해

$$2.5V < V_W < (1.5 \sim 2.0) + (2.5 + 1.0) = 5.0 \sim 5.5$$

로 되고, V_W 를 통상의 데이터 판독출력과 같이 5V로 하는 것이 가능하게 된다. 이것에 의하여, 셀렉터 워드선(15)을 드라이브하는 트라이스테이트버퍼(20)의 공급전원의 제어가 용이하게 된다.

이상의 구조 혹은 그 제어에 관해서도, 제조공정에서 만들어지는 매우 제어성이 좋은 문턱값 전압(V_t)을 가진 셀렉터 트랜지스터(14)를 이용한 구성을 취함으로써 비로서 가능하게 된 것으로, 종래와 같이 문턱값 전압의 온측 분산(0.5~3.5V)이 커다란 메모리에 있어서의 구성은 불가능하게 된다.

또, 이들 실시예에서는 주로, MONOS 구조를 가진 불휘발성 메모리에 관한 예에 의해 설명해 왔으나, 통상의 프로세스에 의한 만들어 넣은 게이트를 셀렉터 게이트로 하여 얻어진 EEPROM 혹은 ROM에 관해서도 적용할 수 있는 것은 말할 것도 없다.

다음에, 본 발명의 제 3 상태의 연상메모리 구조의 반도체 집적회로의 1실시예를 제 3 도에 나타낸다.

제 3 도에 나타낸 CAM 메모리는, 상술한 제 6 도와 같이, CAM의 구성단위로 되어 있는 2비트 1조의 EEPROM 메모리 셀에 의해 구성된 것이다.

CAM 메모리 셀(31)은, 예를 들면 스택형 FLASH EEPROM셀(31a),(31b)로 이루어지고, EEPROM셀(31a)과 (31b)는, 서로 상반되는 기억상태를 갖도록 기록되어 있다. 여기서는, EEPROM셀(31a)에는 데이터 0 L(로우), (31b)에는 데이터 1 H(하이)가 기록되고, EEPROM셀(32a)에는 데이터 1 H(하이), (32b)에는 데이터 0 L(로우)가 기록된 것으로 한다. 이들 EEPROM 메모리 셀(31a),(31b)과 메모리 셀(32a),(32b)은 각각 메모리 패어를 구성하여, 2비트의 CAM 메모리 셀(31),(32)이 된다.

EEPROM 메모리 셀(31a),(31b),(32a),(32b)는, 예를 들면 제 4 도에 나타낸 바와 같은 구체적인 구조를 가진 EEPROM 메모리 셀(20)로 이루어진다. EEPROM 메모리 셀(20)은 P기판(21)에 n의 소오스(22), 드레인(23)을 형성하고, 그 사이의 기판(21)상에 터널산화막(24), 그위에 단 플로팅 게이트(25), 다시 그 위에 단 콘트롤 게이트(26)를 형성한 것이다. 기록은 고전압펄스(29)를 콘트롤 게이트(26)에 인가함으로써, 플로팅 게이트(25)에서 핫(hot) 엘렉트론을 주입하여서 행해지고, 문턱값 전압(V_t)을

V_w 이상 설정 전압으로 올림으로써 0 L(로우)의 데이터 상태를 정의한다. 또, 1 H(하이)의 기록은, 소오스(22) 또는 드레인(23) 측에 플로팅 게이트로부터 전자를 빼내는 것에 의해 실시하고 있다. 본 출원에서는, 데이터 0 L(로우)가 기록된 EEPROM 메모리의 문턱값 전압은 고문턱값 전압(V_{th}), 데이터 1 H(하이)가 기록된 EEPROM 메모리 셀의 문턱값 전압은 저문턱값 전압(V_{tl})을 취하는 것으로 한다.

따라서, 제 3 도의 EEPROM셀(31a) 및 (32b)의 플로팅 게이트(33)에 기입되어 있는 기호 H는 전자가 주입된 상태를 나타내며, 이들 셀의 트랜지스터는 고문턱값 전압(V_{th})을 가지며, 데이터 0 L(로우)를 기억하고 있는 것을 나타낸다. 한편, EEPROM셀의 (31b) 및 (32a) 플로팅 게이트(33)에 기입되어 있는 기호 L는 전자가 빼내어진 상태를 나타내고, 이들 셀의 트랜지스터는 저문턱값 전압(V_{tl})을 가지며, 데이터 1 H(하이)를 기억하고 있는 것을 나타낸다.

CAM 메모리 셀(31)에 있어서, EEPROM 메모리 셀(31a)의 드레인(1a)에, EEPROM 메모리 셀(31b)의 드레인(1b)에 접속되고, 양 메모리 셀(31a),(31b)의 콘트롤 게이트(34)는 동일 셀렉터 워드선(15)에 접속되며, 양 메모리 셀(31a),(31b)의 소오스는 일치검색선(16)에 접속된다. CAM 메모리 셀(32)에 대해서도, 구성되어 접속된다.

CAM 메모리 셀(32)에 대해서도, 구성하는 EEPROM 메모리 셀(32a),(32b)이 데이터 내용 및 양 메모리 셀(32a),(32b)의 드레인의 접속이 각각 데이터선(2a) 및 데이터선(2b)이 것 이외는 모두 똑같이 구성된다. 또한, 일치검색선(16)에는 일치검색 센스앰프(17)와 접지 트랜지스터(18)가 설치되어 있다.

이와 같은 CAM 메모리 셀이, 일치검색선(16)과 셀렉터 워드선(15)을 공통화되어서, 복수 배치되어 있다.

먼저 CAM 메모리 셀의 데이터 판독출력동작에 대해서 간단히 설명한다.

통상의 판독출력동작에서는, 데이터선(1a),(1b),(2a),(2b)의 앞끝에 설치된 선택회로 및 센스앰프(6)를 사용해야 한다. 선택회로(5)에 의하여, 예를 들면 데이터선(1b)에 센스앰프(6)가 접속된다. 이 앰프는 전류 검출형이며 데이터선(1b)은 비 판독출력시에 예를 들면 1.5~2.0V로 유지된다. 이어서 셀렉터 워드선(15)에 V_w , 예를 들면 5V가 인가되면, $V_w > V_{tl}$ 로 설정되어 있으므로 데이터선(1b)과 일치검색선(16)과의 사이의 메모리 셀(31b)이 온한다. 한편, 이때 일치검색선(16)은 접지 트랜지스터(18)에 의하여 접지 전위로 고정되어 있으며, 이때문에 데이터선(1b)의 전위는 내려가 1.0~1.5V 정도로 변화한다.

이 변화를 센스앰프(6)로 검출하여, 그 결과를 출력한다.

이에 대하여, 선택회로(5)에 의하여 데이터선(1a)에 센스앰프(6)가 접속되고, 데이터선이 똑같이 1.5~2.0로 유지된다. 이어서 워드선(15)내 똑같이 V_w (5V)의 전압이 인가되지만, 데이터선(1a)과 일치검색선과의 사이의 EEPROM 메모리 셀(31a)은 고문턱값 전압(V_{th})을 가지고, $V_w < 4V_{th}$ 로 설정되어 있으므로 온하지 않는다. 따라서, 데이터선(1a)의 전위는 변화하지 않는다. 이것을 센스앰프(6)로 검출하고, 그 결과를 출력한다. 이렇게 해서, 각 메모리 셀에 기억되어 있는 데이터의 판독출력이 행해진다.

여기서, 데이터선(1a),(1b)의 전위를 2V 이하로 하고 있는 이유는, 메모리 셀에 축적된 전하로의 데이터 판독출력시의 영향을 억제하기 위해서 이다.

다음에, 상술한 바와 같이 구성의 CAM 메모리에 대해서, 상술한 바와 같은 메모리 셀 간의 전위간섭 등의 좋지 않는 상태가 발생하는 일 없이, 입력데이터와의 일치검색이 가능하다는 것을 이하에 설명한다.

본 발명에 있어서는, 일치검색시의 셀렉터 워드선의 인가전압(V_w)과, 데이터 0 L(로우)가 입력된 데이터선의 인가전압(V_L), 데이터 1 H(하이)가 입력된 데이터선의 인가전압(V_H), 일치검색선이 인가전압(V_s)과, 2비트 1조의 CAM 메모리의 데이터 1를 기억하고 있는 EEPROM셀의 저문턱값 전압(V_{tl})과의 관계가 하기 식을 만족하도록 조정되어 있다.

$$V_w - V_H < V_{tl} < V_w - V_L \text{식(4)}$$

$$V_w - V_s < V_{tl} \text{식(5)}$$

물론, 종래대로, 2비트 1조의 CAM 메모리의 데이터 0를 기억하고 있는 EEPROM셀은 고문턱값 전압(V_{th})을 가지며, 셀렉터 워드선의 인가전압(V_w)이 인가(하이상태)된 경우라도 온하지 않도록 설정되어 있음은 말할 것도 없다.

즉, 여기서도

$$V_{th} > V_w - V_L > V_w - V_H \text{ 또, } V_{th} > V_w - V_s \text{식(6)}$$

같이 설정되어 있다.

따라서, 상기 식(4),(5) 및 (6)에 의한 본 발명의 상태에서는, 데이터 검색시의 각 신호선의 전압과 불휘발성 메모리 셀의 문턱값 전압은 하기 식(Ⅰ)(Ⅱ)를 동시에 만족하도록 조정되어 있다.

$$V_w - V_H < V_{tl} < V_w - V_L < V_{th} \text{(Ⅰ)}$$

$$V_w - V_s < V_{tl} \text{(Ⅱ)}$$

다음에, 일치검출동작에 대해서 설명한다.

먼저, 메모리 셀(31a),(31b),(32a),(32b)을 2셀 1조의 메모리 페어로서 데이터를 기록한다.

상기 조는 반드시 인접하는 메모리 셀일 필요는 없으나, 이 예에서는 설명의 용이화를 위하여 인접하는 셀에다 상반되는 데이터를 기록하고 있다.

메모리 페어에 의해 구성되는 CAM셀(31)은 0 L(로우), 메모리 페어인 CAM셀(32)은 1 H(하이)이다. 일치검색데이터(19)는, 이들 CAM셀(31),(32)에 대해서 각각 0 L(로우), 0 L(로우)를 검출하도록 한다. 따라서, 메모리 페어(31)의 CAM셀의 데이터는 검색데이터와 일치한, 메모리 페어(32)의 CAM셀이 데이터는 불일치가 된다.

먼저, 데이터선(1a)에는 0 L(로우) 전압(V_L)(통상 0V), 데이터선(1b)에는 1 H(하이) 전압(V_H)이 인가되고, 데이터선(2a)에는 0 L(로우) 전압(V_L), 데이터선(2b)에는 1 H(하이) 전압(V_H)이 인가된다.

또, 접지 트랜지스터(18)는 오프, 일치검색선(16)은 1 H(하이)상태로 설정된다. 여기서, 일치검색선(16)의 전압을 V_S 로서 나타낸다.

이 상태에서 셀렉터 워드선(15)이 1 H(하이)로 되면 전압(V_W)이 인가되고, 메모리 페어(31),(32)를 구성하는 각각의 메모리 셀(31a),(31b),(32a),(32b)의 콘트롤 게이트(34)에 1 H(하이)의 전압(V_W)이 인가된다.

메모리 셀(31a) 및 (31b)는, 플로팅 게이트(33)에 전자가 주입되고, 상기 식(6)에 나타난 바와 같이 셀렉터 워드선의 H(하이) 전압(V_W)에서는 온하지 않는 고문턱값 전압(V_{th})을 가지며, 상술한 데이터 판독출력과 같이 오프상태를 유지한다(이것은, 제 7 도에 나타난 바와 같이 $V_{th} > 6.5V$ 인 EEPROM 메모리 셀을 사용하며, $V_W=5V$, $V_H=1.5\sim 2.0V$, $V_L=0V$, $V_S=1.5\sim 2.0V$ 를 할 경우에도 같은 것이다). 따라서, 데이터선(12)의 0 L(로우)상태와 데이터선(2b)의 1 H(하이)상태가 일치검색선(16)에 영향을 주는 일은 없다.

그러나, 저문턱값 전압(V_{th})을 가진 메모리 셀(31b) 및 메모리 셀(32a)의 경우는 다르다.

그 저문턱값(V_{th})과 각 신호선의 전압(V_W),(V_H),(V_L),(V_S)과 어떤 관계가 상기 식(Ⅰ) 및 (Ⅱ)를 만족할 수 있는가가 중요한 문제가 된다.

이하에 구체적으로 설명한다.

먼저, 메모리 셀(32a)의 경우는 축적데이터 1 H(하이)와 검색데이터 0 L(로우)가 다르다. 이 때문에 데이터선(2a)의 0 L(로우)상태에 의하여 일치검색선(16)의 1 H(하이)상태의 전하를 빼낼 필요가 있다.

여기서, 데이터선의 전압이 V_L (L상태), 일치검색선(16)의 전압(H상태)으로 전위가 설정되어 있고, 셀렉터 워드선에 V_W (H상태)가 인가되었다고 하자.

그러면 메모리 셀(32a)의 게이트, 소오스 전위차(V_{GS})는 V_W-V_L 로 된다.

즉,

$$\begin{aligned} V_{GS} &= (\text{셀렉터 워드선}(15) \text{의 H전압}) - (\text{데이터선}(2a) \text{의 L전압}) \\ &= V_W - V_L \end{aligned}$$

한편, 이 EEPROM 메모리 셀(32a)의 문턱값 전압(V_t)은 저문턱값 전압(V_{tL})이다.

여기서, 본 발명에 있어서는, 상기 식(Ⅰ)을 만족하도록 조정되어 있으므로, $V_W-V_L > \text{저문턱값 전압}(V_{tL})$ 으로 되어, 메모리 셀(32a)은 온하고, 일치검색선(16)의 전위를 내린다. 이 전위강하를 일치검색 센스앰프(17)로 검출하고, 불일치신호가 출력된다.

한편, 동일 셀렉터 워드선에 접속되는 메모리 페어의 메모리 셀간에서 전위간섭을 일으키지 않기 때문에, 메모리 페어(31)의 경우는, 축적데이터 0 L(로우)와 검색데이터 0 L(로우)가 일치하고 있다. 메모리 셀(31b)은 오프의 상태를 유지하고 데이터선(1b)과 일치검색선(16)은 비접속의 상태를 유지할 필요가 있다.

여기서, 메모리 셀(31b)의 게이트, 드레인 전위차 $V_{GD}=V_W-V_H$ 및 게이트, 소오스전위차(V_{GS})는, V_W-V_S 로 된다.

즉,

$$\begin{aligned} V_{GD} &= (\text{셀렉터 워드선}(15) \text{의 H전압}) - (\text{데이터선}(1Ab) \text{의 H전압}) \\ &= V_W - V_H \end{aligned}$$

$$\begin{aligned} V_{GS} &= (\text{셀렉터 워드선}(15) \text{의 H전압}) - (\text{일치검색의 전선선의 전압}) \\ &= V_W - V_S \end{aligned}$$

한편, 이 EEPROM 메모리 셀(31b)의 문턱값 전압(V_t)는 저문턱값 전압(V_{tL})이다. 본 발명에서는, 상기

식(Ⅰ) 및 (Ⅱ)를 만족하도록 구성되어 있으므로 $V_{00}=V_W-V_H<V_{TL}$ 이고, 또한 $V_{05}=V_W-V_S<V_{TL}$ 이므로, EEPROM 메모리 셀(31b)은 온하지 않는다. 따라서, 데이터선(1)과 일치검색선(1b)은 비접속 상태를 유지한다.

결국, 일치검색동작시에 각 신호선(워드선(15), 데이터선(1a),(1b),(2a),(2b)) 및 일치검색선(16)의 전압(V_W),(V_H),(V_L),(V_S)과 EEPROM 메모리 셀(31a),(31b),(32a),(32b)의 문턱값 전압, 특히 셀(31b) 및 (32a)의 저문턱값 전압(V_{TL})과의 관계를 조정하고 있으므로, 메모리 셀(32a)만이 온하고, 메모리 셀(31b)은 오프를 할 수가 있다. 이 결과, 데이터선(1b)의 1 H(하이) 전위(V_H)로 부터 데이터선(2a)의 0 L(로우) 전위(V_L)에로의 관통전류를 방지 혹은 제어할 수가 있다.

따라서, 동일 셀렉터 워드선(15)으로 제어되는 다수의 CAM셀(31),(32)···에, 검색데이터와 기억데이터가 불일치의 셀과 일치하는 셀이 혼재해 있더라도, 일치 셀의 EEPROM 메모리 셀은 양쪽 모두 온하지 않고, 불일치 셀 한쪽의 EEPROM 메모리 셀만이 온하므로, 전위간섭을 일으키지 않고, 확실하게 일치 검색선(16)의 전위를 강하시킬 수 있으므로, 이 전압을 일치검색 센스앰프(17)에 의하여 검출함으로써 불일치를 검출할 수가 있다.

한편, 동일한 셀렉터 워드선(15)으로 제어되는 다수의 CAM셀(31),(32)···의 전체에 있어서, 검색데이터와 기억데이터가 일치할 때에는 모든 CAM셀의 모든 EEPROM 메모리 셀이 온하지 않고, 데이터선과 일치검색선(16)의 전기적으로 접속되는 일은 없으므로, 일치검색선(16)의 전위는 설정전압(V_S)에서 변화하지 않는다. 따라서 이 전압을 일치검색 센스앰프(17)에 의하여 검출함으로써 일치를 검출할 수가 있다.

이와 같이, 언제나 메모리 셀간의 전위간섭을 일으키지 않고 확실하게 일치검색동작을 시키는 것은, 종래의 메모리의 문턱값 전압과 각 신호선의 전압이 조정되어 있지 않는 불휘발성 타입의 연상메모리로서는, 불가능하다.

이와 같은 불휘발성 메모리의 문턱값 전압과 각 신호선의 전압조정은, (1) 제 3 도에 나타난 제 3 실시예와 같이, 각 신호선의 전압에 따라서, EEPROM의 저문턱값 전압을 상기 식(Ⅰ) 및 (Ⅱ)를 만족하도록 조정 혹은 설정함으로써 실시한다. 또는 (2) 사용하는 불휘발성 메모리의 문턱값 전압, 특히 저문턱값 전압이 결정되어 있는 경우에는, 제 5 도에 나타난 제 4 실시예와 같이, 각 신호의 전압, 특히, 제어워드선, 제1 및 제 2 데이터선, 일치검색선의 전압을 상기식(Ⅰ) 및 (Ⅱ)를 만족하도록 조정 또는 설정함으로써 실시할 수가 있다.

상기(1)의 EEPROM의 저문턱값 전압(V_{TL})이 조정 혹은, 설정은, 제 4 도에 나타난 고전압 펄스 인가수단(29)에 의하여 실시할 수가 있다.

예를 들면, 종래와 같이, 제어워드선의 전압(V_W)=5V, 데이터 0의 입력데이터선 전압(V_L), 데이터 1의 입력데이터선전압(V_H), 일치검색선의 일치검색선의 전압(V_S)=1.5~2.0V로 할때, EEPROM의 고문턱값 전압을 (V_{TH})>5V, 저문턱값 전압을 $3.0V<V_{TH}<5V$ 로 설정하면 된다.

이 문턱값 전압(V_T)의 조정 또는 설정은, 제 4 도에 나타난 EEPROM(20)과 같이, 고전압 펄스 인가수단(29)에 의하여 콘트를 게이트(34)에 인가하는 고전압펄스의 크기나 인가하는 회수를 변경함으로써, 플로팅 게이트(33)에 주입하는 핫 엘렉트론의 양을 조정 또는 설정하여 하면 되고, 또, 플로팅 게이트(33)로 부터 전자를 빼내면 되고, 나아가서는 빼내는 전자의 양을 조정 또는 설정함으로써 하면 된다.

또, 상기(2)의 각 신호선의 전압조정 또는 설정할 경우는, 제 5 도에 나타난 바와 같이, 제1 및 제 2 데이터선의 데이터 1의 전압(V_H) 및 데이터 0의 전압(V_L)을 각각의 전압제어수단(3)에 의하여, 제어워드선(15)의 구동전압 V_W 을 전압제어수단(4)에 의하여, 일치검색선(16)의 전압을 전류구동형의 일치검색 센스앰프(17), 또는 제 2 도에 나타난 바와 같은 다이내믹형 일치검색 센스앰프(27)에서 프리차아지 트랜지스터(28)의 프리차아지전압을 변화시킴으로써 쉽게 조정 또는 설정할 수가 있다. 여기서, 전압제어수단(3),(4)은, 특별한 한정이 없고 종래 공지의 것을 사용할 수가 있다.

이상, 상술한 예에서는 EEPROM 메모리 셀을 2비트 1조를 한 CAM셀을 대표예로 들어서 설명하였으나, 본 발명은 이에 한정되는 일 없이, 통상의 불휘발성 메모리 셀(마스크 ROM, EEPROM 등)에도 적용할 수 있는 것은 말할 것도 없다.

또한, 본 발명의 변상 메모리 장치는, 보다 고집적화를 위하여, 일치검색선, 센스앰프(S.A), 제어 데이터선(비트선), 제 2 데이터선(비트바선)을 공통화한 구조(USSN, 07/883,595 명세서 참조)에 적용해도 된다.

또, 이제까지는 모두 NOR 형의 메모리 셀에 대해서 설명해 왔으나, NAND 형의 CAM셀에 대해서도, 본 발명은 적용이 가능하다(이 NAND 구조에 관해서는, USSN, 07/883,595 명세서 참조).

본 발명의 제1 및 제 2 상태에 의해 비로소, 셀렉터 게이트를 가지는 불휘발성 메모리를 베이스로한 CAM 구성할 때의 관통전류를 효과적으로 억제하는 것이 가능하게 된다. 더구나, 고집적화에 큰 효과가 있는 레이아웃을 통상의 불휘발성 메모리를 전혀 변경없이, 2비트 1조의 메모리 페어로서 취급하는 것만으로 일치검색동작을 가능하게 하는 것이다.

이때문에, 부분적으로 CAM로서 혹은 통상의 불휘발성 메모리로서의 이용이 매우 용이하게 되고, 자유도가 커서 고집적 CAM을 구성할 수 있다.

본 발명의 제 3 상태에 의하면, 불휘발성 메모리를 2비트 1조로 하는 CAM 구조에서의 일치검색시의 각 메모리 셀간의 관통전류를 방지 또는 제어하여, 다수의 메모리 셀의 일치검색의 상호간섭없이,

고속으로 할 수가 있다. 또 각 신호선의 전압을 크게 변경할 수 있는 것도, 메모리 셀의 저문턱값 전압을 설정값으로 설정함으로써, 또, 종래의 메모리 셀과 같이 각 CAM셀을 구성하는 메모리 셀의 문턱값 전압 등의 분산이 큰 것이라도, 각 신호선의 전압을 조정함으로써, 일치검색시의 각 CAM셀간의 전기적 충돌을 없앨 수 있는 것이어서, 매우 높은 메모리 셀 선택의 자유도를 가지는 것이다.

또, 본 발명의 각 상태에서 CAM이 최근에 중요시 되고 있는 데이터 베이스 메모리로서 사용함으로써, 매우 고속인 임의 키워드 검색기능을 가지는 대용량 데이터 베이스 시스템이 실현될 수 있다. 응용으로서는, 상기 IC 카드, 전자사전, 전화번호책, 문자인식 및 음성인식 등에 적용이 가능하다.

(57) 청구의 범위

청구항 1

제 1 데이터선과 일치검색선 사이의 전기적인 접속 또는 비접속중 하나를 제공하는 제 1 메모리 셀과, 적어도 하나의 상기 제1 또는 제 2 데이터선에 일치검색선이 전기적으로 연결되며, 제 2 데이터선과 상기 일치검색선 사이의 전기적인 접속 또는 비접속중 하나를 정의하는 제 2 메모리 셀과, 제1 및 제 2 메모리 셀의 전기적인 접속 정의에 따라서 각각 제1 및 제 2 데이터선과 상기 일치검색선 사이의 전기적인 접속 또는 비접속을 하는 셀렉터 트랜지스터와, 각각 상기 셀렉터 트랜지스터의 문턱값은 제조공정시 만들어진 설정값을 가지며, 상기 각각의 셀렉터 트랜지스터의 게이트 전압(V_w)은 일치검색시에 다음의 조건을 만족하는 상기 일치검색선에 접속된 전류 구동형 센스앰프로 구성된 반도체 집적회로.

$$V_t \leq V_w \leq V_s + V_t'$$

단, V_t : 셀렉터 트랜지스터의 문턱값 전압(기판 바이어스 0V시)

V_s : 검색시의 일치검색선의 전위

V_t' : 검색시에 기판 바이어스된 셀렉터 트랜지스터의 문턱값 전압

청구항 2

제 1 항에 있어서, 상기 셀렉터 트랜지스터의 만들어진 문턱전압(V_t)(기판 바이어스 0V)이 주변회로보다도 높게 설정되어 있는 반도체 집적회로.

청구항 3

제 1 항에 있어서, 상기 메모리 셀이 불휘발성 메모리 소자로 구성되는 반도체 집적회로.

청구항 4

제 3 항에 있어서, 상기 불휘발성 메모리 소자가 MONOS형 불휘발성 메모리 소자인 반도체 집적회로.

청구항 5

제 1 항에 있어서, 복수개의 검색 메모리 워드블록을 더 포함하며, 각각의 상기 검색 메모리 워드블록은 한쌍의 제1 및 제 2 메모리 셀과, 상기 셀렉터 트랜지스터와, 상기 셀렉터 트랜지스터를 제어하기 위하여 각각의 상기 셀렉터 트랜지스터에 연결된 셀렉터 워드라인으로 구성되고, 상기 일치검색선과 센스앰프를 상기 복수개의 검색 메모리 워드블록에 공통화 하여 사용되는 반도체 집적회로.

청구항 6

제 1 데이터선과 일치검색선 사이의 전기적인 접속 또는 비접속을 정의하는 제 1 메모리 셀과, 제 2 데이터선과 상기 일치검색선 사이의 전기적인 접속 또는 비접속 중 하나를 정의하는 제 2 메모리 셀과, 제1 및 제 2 메모리 셀의 전기적인 접속 정의에 따라서 각각 제1 및 제 2 데이터선과 상기 일치검색선 사이의 전기적인 접속 또는 비접속을 하는 셀렉터 트랜지스터와, 상기 셀렉터 워드선을 플로우팅하는 플로우팅수단을 가지는 것을 특징으로 하는 반도체 집적소자.

청구항 7

제 6 항에 있어서, 상기 셀렉터 트랜지스터의 문턱값 전압이 제조공정에서 만들어진 설정된 값을 갖도록 구성되어 있는 반도체 집적소자.

청구항 8

제 6 항에 있어서, 상기 일치검색시의 상기 셀렉터 트랜지스터의 게이트전압(V_w)이 이하의 조건을 만족하도록 구성하는 반도체 집적회로.

$$V_t \leq V_w \leq V_H + V_t'$$

단, V_t : 셀렉터 트랜지스터의 문턱값 전압(기판 바이어스 0V시)

V_H : 검색시의 데이터선의 H(하이) 전위

V_t' : 검색시에 기판 바이어스된 셀렉터 트랜지스터의 문턱값 전압

청구항 9

제 6 항에 있어서, 상기 셀렉터 트랜지스터의 만들어진 문턱전압(V_t)(기판 바이어스 0V시)이 주변회로의 보다도 높게 설정되어 있는 반도체 집적회로.

청구항 10

제 7 항에 있어서, 상기 메모리 셀이 불휘발성 메모리 소자로 구성되는 반도체 집적회로.

청구항 11

제10항에 있어서, 상기 불휘발성 메모리 소자가 MONOS형 불휘발성 메모리 소자인 반도체 집적회로.

청구항 12

제 6 항에 있어서, 복수개의 검색 메모리 워드블록이 더 포함하며, 상기 각각의 검색 메모리 블록은 한쌍의 제1 및 제 2 메모리 셀과, 상기 셀렉터 트랜지스터와, 상기 셀렉터 트랜지스터를 제어하기 위한 상기 셀렉터 워드라인으로 구성되고, 상기 일치검색선과 일치검색선의 전위를 검출하기 위한 전위검출수단을 상기 복수개의 검색 메모리 워드블록에 공통화하여 사용되는 반도체 집적회로.

청구항 13

제 1 데이터선과 일치검색선 사이에서 전기적 접속 또는 비접속을 정의하는 제 1 의 불휘발성 메모리 셀과, 제 2 데이터선과 상기 일치검색선 사이의 전기적인 접속 또는 비접속을 정의하는 제 2 비휘발성 메모리 셀과, 상기 제1 및 제 2 비휘발성 메모리 셀 및 상기 셀렉터 워드라인은 상기 검색 메모리 워드블록내에 결합되며, 상기 제1 및 제 2 비휘발성 메모리 셀을 제어하기 위한 셀렉터 워드라인과, 데이터 검색시의 각 신호선의 전압과 불휘발성 메모리 셀의 문턱값 전압이 하기 식(Ⅰ) 및 (Ⅱ)를 동시에 만족하도록 조정되어 있는 것을 특징으로 하는 반도체 집적회로.

$$V_W - V_H < V_{tL} < V_W - V_L < V_{tH} \text{ (Ⅰ)}$$

$$V_W - V_S < V_{tL} \text{ (Ⅱ)}$$

여기서, V_{tL} : 불휘발성 메모리의 저문턱값 전압

V_{tH} : 불휘발성 메모리의 고문턱값 전압

V_W : 검색시 선택되는 워드라인의 전위

V_H : 검색시 고전위 레벨이 공급된 각각의 데이터선의 고레벨 전위

V_L : 검색시 저전위 레벨이 공급된 각각의 데이터선의 저레벨 전위

V_S : 검색시 일치검색선의 전압

청구항 14

제13항에 있어서, 상기 불휘발성 메모리 셀이 상기 식(Ⅰ) 및 (Ⅱ)를 만족하는 문턱값 전압을 갖는 불휘발성 트랜지스터에 의하여 구성되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 15

제13항에 있어서, 상기 데이터 검색시 각각의 신호선 전압과 각각의 비휘발성 메모리 셀의 문턱전압을 설정하는 수단을 더 포함하여 집적회로가 상기 식(Ⅰ) 및 (Ⅱ)를 동시에 만족하는 반도체 집적회로.

청구항 16

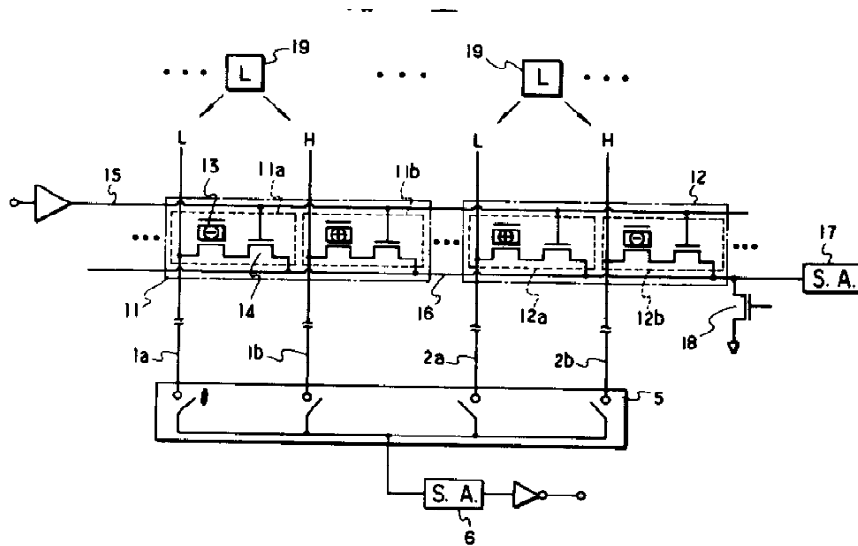
제13항에 있어서, 상기 불휘발성 메모리 셀이 EPROMN EEPROM 및 UVEPROM 마스크로 이루어지는 군으로부터 하나가 선택되는 반도체 집적회로.

청구항 17

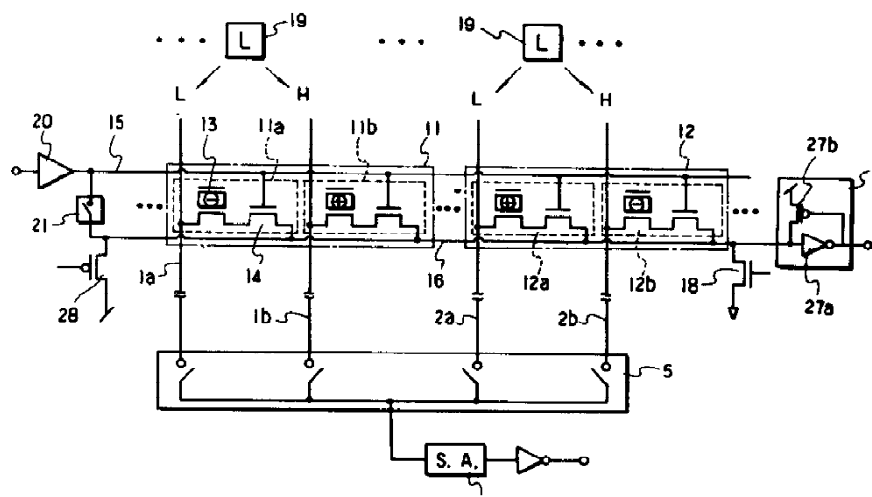
제13항에 있어서, 상기 일치검색선과 상기 일치검색선의 전위를 검출하기 위한 전위검출수단은 상기 복수개의 검색 메모리 워드블록을 공통화하여 사용하는 반도체 집적회로.

도면

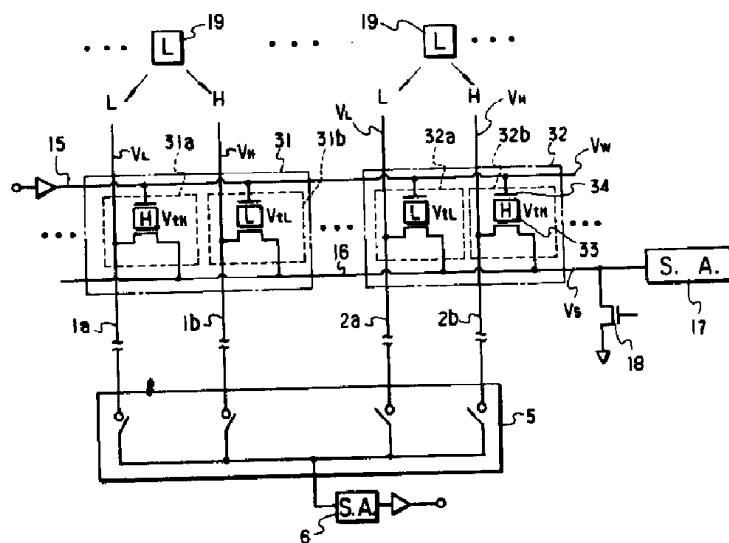
도면1



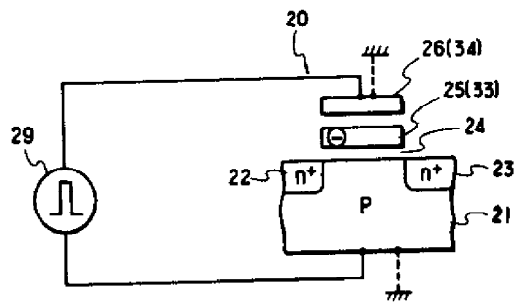
도면2



도면3

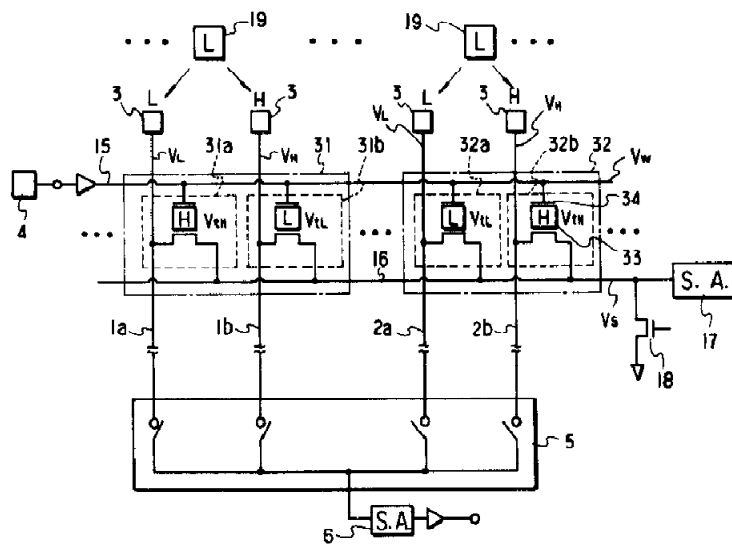


도면4

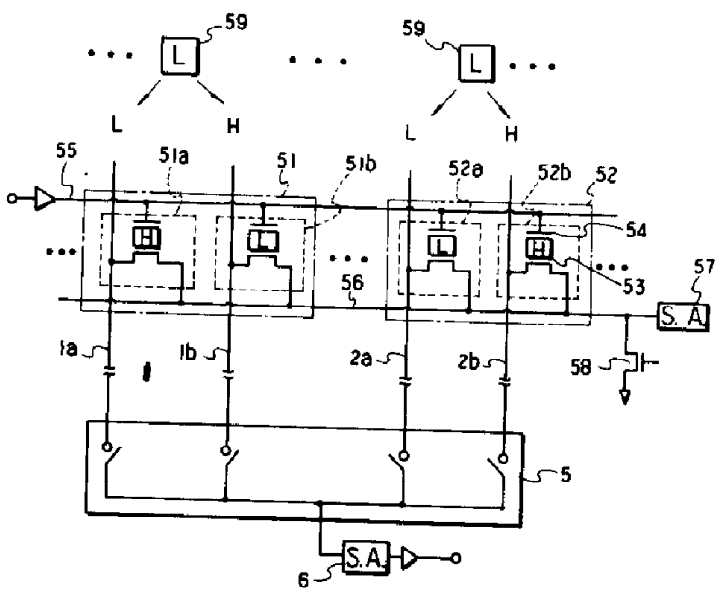


- 40 -

도면5



도면6



도면7

