

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6672285号
(P6672285)

(45) 発行日 令和2年3月25日 (2020.3.25)

(24) 登録日 令和2年3月6日 (2020.3.6)

(51) Int. Cl.	F I
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 P
HO 1 L 21/60 (2006.01)	HO 1 L 23/12 5 O 1 C
	HO 1 L 21/60 3 1 1 Q

請求項の数 15 (全 25 頁)

(21) 出願番号	特願2017-521532 (P2017-521532)	(73) 特許権者	507364838
(86) (22) 出願日	平成27年9月4日 (2015.9.4)		クアルコム、インコーポレイテッド
(65) 公表番号	特表2017-534177 (P2017-534177A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成29年11月16日 (2017.11.16)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2015/048514		イブ 5775
(87) 国際公開番号	W02016/069112	(74) 代理人	100108453
(87) 国際公開日	平成28年5月6日 (2016.5.6)		弁理士 村山 靖彦
審査請求日	平成30年8月16日 (2018.8.16)	(74) 代理人	100163522
(31) 優先権主張番号	62/073,804		弁理士 黒田 晋平
(32) 優先日	平成26年10月31日 (2014.10.31)	(72) 発明者	ドン・ウク・キム
(33) 優先権主張国・地域又は機関	米国 (US)		アメリカ合衆国・カリフォルニア・921
(31) 優先権主張番号	14/693,820		21-1714・サン・ディエゴ・モアハ
(32) 優先日	平成27年4月22日 (2015.4.22)		ウス・ドライブ・5775
(33) 優先権主張国・地域又は機関	米国 (US)		

最終頁に続く

(54) 【発明の名称】 高密度ファンアウトパッケージ構造

(57) 【特許請求の範囲】

【請求項 1】

高密度ファンアウトパッケージ構造であって、

導電性相互接続層を含むコンタクト層であり、前記導電性相互接続層が複数の導電性部分を含み、前記複数の導電性部分の各々がアクティブダイに面する第1の面と、再配線層に面する第2の面と、少なくとも1つの側壁とを有する、コンタクト層と、

第1のバリアライナーであり、前記導電性相互接続層が前記導電性相互接続層の前記複数の導電性部分の各々の前記少なくとも1つの側壁および前記第1の面上に前記第1のバリアライナーを含む、第1のバリアライナーと、

第1の導電性相互接続部を前記導電性相互接続層に結合するように構成された複数の導電性ルーティング層を含む前記再配線層であって、前記複数の導電性ルーティング層の第1の導電性ルーティング層が複数の導電性セクションを含み、前記導電性セクションの各々が前記アクティブダイに面する第1の面を有しており、第2のバリアライナーが前記導電性セクションの各々の前記第1の面上に配置されている、前記再配線層と、

前記第1のバリアライナーに結合された第1のビアであり、前記第1のビアが、前記第1のバリアライナーを第2の導電性相互接続部を介して前記アクティブダイに結合するように構成される、第1のビアと

を含む高密度ファンアウトパッケージ構造。

【請求項 2】

前記第1の導電性相互接続部がボールグリッドアレイである、請求項1に記載の高密度

10

20

ファンアウトパッケージ構造。

【請求項 3】

前記第 1 および第 2 のバリアライナーが tantalum を含む、請求項 1 に記載の高密度ファンアウトパッケージ構造。

【請求項 4】

前記第 1 のビアが、前記第 1 のバリアライナー上のアンダーパンプ導電層と、前記アンダーパンプ導電層上にあり前記第 2 の導電性相互接続部に結合された導電性材料とを含む、請求項 1 に記載の高密度ファンアウトパッケージ構造。

【請求項 5】

前記導電性相互接続層が、第 1 のバックエンドオブライン (BEOL) 導電性相互接続層 (M1) を含む、請求項 1 に記載の高密度ファンアウトパッケージ構造。

10

【請求項 6】

前記第 2 の導電性相互接続部が導電性ピラーまたは導電性バンプを含む、請求項 1 に記載の高密度ファンアウトパッケージ構造。

【請求項 7】

前記第 2 の導電性相互接続部が前記アクティブダイのコンタクトパッドに結合される、請求項 1 に記載の高密度ファンアウトパッケージ構造。

【請求項 8】

前記導電性相互接続層が、第 2 のビア、または前記導電性ルーティング層上の導電性トレースを介して、前記再配線層の前記複数の導電性ルーティング層のうちの 1 つに結合される、請求項 1 に記載の高密度ファンアウトパッケージ構造。

20

【請求項 9】

前記第 1 のビアがミドルオブライン 0 ビアを含み、前記第 2 のビアが BEOL の第 1 のビアを含む、請求項 8 に記載の高密度ファンアウトパッケージ構造。

【請求項 10】

音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末、固定位置データユニット、およびコンピュータのうちの少なくとも 1 つの中に組み込まれる、請求項 1 に記載の高密度ファンアウトパッケージ構造。

【請求項 11】

30

高密度ファンアウトパッケージ構造のための方法であって、

キャリア基板上にコンタクト層を製造するステップであり、前記コンタクト層が導電性相互接続層を含み、前記導電性相互接続層が複数の導電性部分を含み、前記複数の導電性部分の各々が前記導電性相互接続層の前記複数の導電性部分の各々の側壁および第 1 の面上に第 1 のバリアライナーを有している、ステップと、

複数の導電性ルーティング層を含む再配線層を製造するステップであり、前記複数の導電性ルーティング層が第 1 の導電性相互接続部を前記導電性相互接続層に結合するように構成された、ステップと、

前記第 1 のバリアライナー上に配置された第 1 のビアを形成するために、前記キャリア基板を除去した後に、前記コンタクト層の開口内に導電性材料を堆積させるステップと、
次いで、

40

第 2 の導電性相互接続部を使用してアクティブダイを前記第 1 のビアに取り付けるステップであり、前記導電性相互接続層の前記複数の導電性部分の各々の前記第 1 の面上の前記第 1 のバリアライナーが前記アクティブダイに面する、ステップと

を含み、

前記複数の導電性ルーティング層の第 1 の導電性ルーティング層が複数の導電性セクションを含み、前記導電性セクションの各々が前記アクティブダイに面する第 1 の面を有しており、第 2 のバリアライナーが前記導電性セクションの各々の前記第 1 の面上に配置されている、方法。

【請求項 12】

50

前記導電性材料を堆積させるステップが、
前記第1のバリアライナー上にアンダーバンプ導電層を堆積させるステップと、
前記導電性材料を、前記アンダーバンプ導電層上に、前記第2の導電性相互接続部に結合して堆積させる、ステップと

をさらに含む、請求項11に記載の高密度ファンアウトパッケージ構造のための方法。

【請求項13】

前記第1のバリアライナーとして前記アクティブダイに面する前記導電性相互接続層の前記複数の導電性部分の各々の前記第1の面上にタンタルを堆積するステップをさらに含む、請求項11に記載の高密度ファンアウトパッケージ構造のための方法。

【請求項14】

前記コンタクト層を製造するステップが、
前記キャリア基板上に絶縁層を堆積させるステップと、
前記絶縁層上に誘電体層を堆積させるステップと、
第1のバックエンドオブライン導電性相互接続層を使用して前記導電性相互接続層の前記導電性部分を製造するステップと

をさらに含む、請求項11に記載の高密度ファンアウトパッケージ構造のための方法。

【請求項15】

音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末、固定位置データユニット、およびコンピュータのうちの少なくとも1つに前記高密度ファンアウトパッケージ構造を組み込むステップをさらに含む、請求項11に記載の高密度ファンアウトパッケージ構造のための方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2014年10月31日に出願された「HIGH DENSITY FAN OUT PACKAGE STRUCTURE」という名称の米国仮特許出願第62/073,804号に対する利益を米国特許法第119条(e)の下に主張するものであり、この仮特許出願の開示全体は参照により本明細書に明示的に組み込まれる。

【0002】

本開示の態様は、半導体デバイスに関し、より詳細には、高密度ファンアウト(HDFO)構造の製造のための高密度ファンアウト技法に関する。

【背景技術】

【0003】

集積回路(IC)の半導体製造のプロセスフローは、基板工程(FEOL: front-end-of-line)、中間工程(MOL: middle-of-line)、および配線工程(BEOL: back-end-of-line)を含み得る。基板工程は、ウエハ作製、絶縁、ウェル形成、ゲートパターンニング、スペーサ、エクステンションおよびソース/ドレイン注入、シリサイド形成、ならびにデュアルストレスライナー形成を含むことができる。中間工程は、ゲートコンタクト形成を含むことができる。中間工程層は、半導体デバイストランジスタまたは他の同様の能動素子に近接した中間工程コンタクト、ビア、または他の層を含み得るが、これらに限定されない。配線工程は、基板工程および中間工程中に作製された半導体デバイスを相互接続するための一連のウエハ処理ステップを含むことができる。現代の半導体チップ製品の製造の成功には、採用される材料とプロセスの間の相互作用が必要である。

【0004】

インターポーザは、インターポーザがシステムオンチップ(SoC)の半導体ダイが実装されるベースとして働くダイ実装技術である。インターポーザは、ファンアウトウエハレベルパッケージ構造の一例である。インターポーザは、半導体ダイ(たとえば、メモリモジュールおよびプロセッサ)とシステムボードとの間の電氣的接続をルーティングする

10

20

30

40

50

ための導電性トレースおよび導電性ビアの配線層を含み得る。インターポーザは、半導体デバイス（たとえば、ダイまたはチップ）の活性表面上のボンドパッドの接続パターンを、システムボードへの接続により適した再配線された接続パターンに提供する再配線層（RDL）を含み得る。ほとんどの用途では、インターポーザは、ダイオードおよびトランジスタなどの能動素子は含まない。

【0005】

ウエハレベルパッケージ構造の製造は、再配線層を形成する前に、チップの最初の取り付けプロセスに従ってウエハレベルパッケージ構造に半導体デバイス（たとえば、ダイまたはチップ）を取り付けることを含み得る。しかしながら、チップの最初の取り付けプロセスによって、再配線層の形成中の半導体デバイス上の応力のために、および/または再配線層に関連する欠陥のために半導体デバイスに不具合が生じる可能性がある。

10

【発明の概要】

【課題を解決するための手段】

【0006】

高密度ファンアウトパッケージ構造は、コンタクト層を含み得る。コンタクト層は、アクティブダイに面する第1の面と、再配線層に面する第2の面とを有する導電性相互接続層を含む。高密度ファンアウトパッケージ構造は、導電性相互接続層の第1の面上にバリア層を有する。高密度ファンアウトパッケージ構造は、導電性ルーティング層を有する再配線層も含み得る。導電性ルーティング層は、第1の導電性相互接続部を導電性相互接続層に結合するように構成され得る。高密度ファンアウトパッケージ構造は、バリアライナーに結合されるとともに、第2の導電性相互接続部を用いてアクティブダイに結合するように構成された第1のビアをさらに含み得る。

20

【0007】

高密度ファンアウトパッケージ構造を製造する方法は、キャリア基板上にコンタクト層を製造するステップを含み得る。コンタクト層は、第1の面上にバリアライナーを有する導電性相互接続層を含み得る。この方法は、再配線層（RDL）を製造するステップも含み得る。再配線層は、第1の導電性相互接続部を導電性相互接続層に結合するように構成された導電性ルーティング層を含み得る。この方法は、キャリア基板を除去した後に、バリアライナー上に配置された第1のビアを形成するために、コンタクト層の開口内に導電性材料を堆積させるステップをさらに含み得る。この方法は、第2の導電性相互接続部を使用してビアにアクティブダイを取り付けるステップも含み得る。導電性相互接続層の第1の面上のバリアライナーは、アクティブダイに面し得る。

30

【0008】

高密度ファンアウトパッケージ構造は、コンタクト層を含み得る。コンタクト層は、アクティブダイに面する第1の面を有する導電性相互接続層を含む。高密度ファンアウトパッケージ構造は、導電性相互接続層の第1の面上にバリア層を有する。高密度ファンアウトパッケージ構造は、第1の導電性相互接続部を導電性相互接続層に結合するための手段も含み得る。導電性相互接続層の第2の面は、結合手段に面し得る。高密度ファンアウトパッケージ構造は、バリアライナーに結合されるとともに、第2の導電性相互接続部を用いてアクティブダイに結合するように構成された第1のビアをさらに含み得る。

40

【0009】

上記では、後続の詳細な説明をより深く理解することができるように、本開示の特徴および技術的利点について、かなり大まかに概説してきた。本開示の追加の特徴および利点が、以下で説明されることになる。本開示が、本開示と同じ目的を果たすための他の構造を変更または設計するための基礎として容易に利用できることを、当業者は理解されたい。そのような同等な構成が、添付の特許請求の範囲に記載されるような本開示の教示から逸脱しないことも、当業者には理解されたい。本開示の構成と動作方法の両方に関して本開示の特徴になると考えられる新規の特徴が、さらなる目的および利点とともに、以下の説明を添付の図と併せて検討することからより十分に理解されるであろう。しかしながら、図の各々が、例示および説明のために提供されるにすぎず、本開示の範囲を定めるもの

50

ではないことは明確に理解されたい。

【 0 0 1 0 】

本開示のより完全な理解が得られるように、ここで、添付の図面と併せて以下の説明が参照される。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】本開示の一態様における半導体ウエハの斜視図である。

【図 2】本開示の一態様によるダイの断面図である。

【図 3】本開示の一態様による高密度ファンアウトパッケージ構造を示す図である。

【図 4 A】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。 10

【図 4 B】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 4 C】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 4 D】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 4 E】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 4 F】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。 20

【図 4 G】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 4 H】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 4 I】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 4 J】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 4 K】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。 30

【図 4 L】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 4 M】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 5 A】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 5 B】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 5 C】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。 40

【図 5 D】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 5 E】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 5 F】本開示の一態様による製造の一段階における高密度ファンアウトパッケージ構造を示す図である。

【図 6】本開示の一態様による高密度ファンアウトパッケージ構造を製造するための方法を示すプロセスフロー図である。

【図 7】本開示の構成を有利に利用することができる例示的なワイヤレス通信システムを 50

示すブロック図である。

【図 8】一構成による半導体構成要素の回路、レイアウト、および論理設計のために使用される設計ワークステーションを示すブロック図である。

【発明を実施するための形態】

【0012】

添付の図面に関して以下に記載される詳細な説明は、種々の構成を説明することを意図しており、本明細書において説明される概念が実践される場合がある唯一の構成を表すことは意図していない。詳細な説明は、様々な概念を十分に理解できるようにするための具体的な詳細を含む。しかしながら、これらの特定の詳細なしにこれらの概念が実施され得ることは当業者には明らかであろう。場合によっては、そのような概念を曖昧にするのを回避するために、よく知られている構造および構成要素がブロック図の形態で示される。本明細書において説明されるときに、「および/または」という用語の使用は、「包含的論理和」を表すことが意図されており、「または」という用語の使用は、「排他的論理和」を表すことが意図されている。

10

【0013】

一部の説明された実装形態は、インターポーザ技術などのウエハレベルパッケージ構造に関する。インターポーザは、一般に、インターポーザがその間に配置された状態で、1つの構成要素または基板と、第2の構成要素または基板との間の直接的な電氣的相互接続に使用され得る中間層として働く。たとえば、インターポーザは、第1の構成要素（たとえば、ダイ）上の対応するパッドと位置合わせされ得るパッド構成を片面に有し、第2の構成要素（たとえば、パッケージ基板、システムボードなど）上のパッドに対応する異なるパッド構成を第2の面上に有し得る。インターポーザは、単一のパッケージ上に複数のチップを集積するために広く使用されている。さらに、インターポーザ基板は、ガラスおよび石英、有機物、または他の同様の材料で構成され、通常、いくつかの相互接続層を含み得る。

20

【0014】

インターポーザなどのウエハレベルパッケージ構造の製造は、再配線層（RDL）の形成を含み得る。再配線層は、能動素子（たとえば、ダイまたはチップ）の活性表面上のボンドパッドの接続パターンの、基板（たとえば、システムボード、パッケージ基板、プリント回路基板など）への接続により適した再配線接続パターンへの拡張を可能にし得る。従来の製造技法は、チップの最初の取り付けプロセスに従って再配線層を形成する前に能動素子を取り付けることを含む。しかしながら、チップの最初の取り付けプロセスでは、欠陥は再配線層に関連しないと仮定している。残念なことに、再配線層の欠陥は能動素子の損失を招く可能性がある。加えて、再配線層の形成中に能動素子に応力が加わると、能動素子に欠陥が生じる可能性がある。

30

【0015】

本開示の様々な態様は、高密度ファンアウト（HDFO）パッケージ構造の製造の技法を提供する。HDFOパッケージ構造の半導体製造のためのプロセスフローは、基板工程（FEOL）、中間工程（MOL）、および配線工程（BEOL）を含むことができる。「層」という用語は、膜を含み、別段述べられていない限り、垂直厚または水平厚を示すものと解釈されるべきではないことは理解されよう。本明細書において説明されるように、「基板」という用語は、ダイシングされたウエハの基板を指す場合があるか、または、ダイシングされていないウエハの基板を指す場合がある。同様に、チップおよびダイという用語は、入れ換えられると信じるのが難しい限り、互換的に使用することができる。

40

【0016】

本明細書で説明するように、ミドルブライン相互接続層は、バックエンドブラインの第1の導電層（たとえば、金属1（M1））を集積回路の酸化物拡散（OD）層に接続するため、ならびに、M1を集積回路の能動素子に接続するための、導電性相互接続部を指すことがある。M1を集積回路のOD層に接続するためのミドルブライン相互接続層

50

は、「M D 1」および「M D 2」と呼ばれることがある。M 1を集積回路のポリゲートに接続するためのミドルオブライン相互接続層は、「M P」と呼ばれることがある。ミドルオブライン0ビア(V 0)は、M 1をミドルオブライン相互接続層に接続し得る。

【0017】

本開示の態様によるH D F Oパッケージ構造は、複数のアクティブダイまたはシングルチップ構造を含む。H D F Oパッケージ構造は、チップの最後の取り付けプロセスに従って製造され得る。チップの最後の取り付けプロセスは、再配線層が形成された後、アクティブダイをH D F Oパッケージ構造に取り付けることを含む。たとえば、再配線層は、欠陥のある再配線層への取り付けを回避するためにアクティブダイが取り付けられる前にテストを介して検証され得る。

10

【0018】

本開示の一態様では、H D F Oパッケージ構造は、導電性相互接続層を含むコンタクト層を含む。導電性相互接続層は、アクティブダイに面する第1の面と、再配線層に面する第2の面とを含み得る。第1の導電性相互接続部(たとえば、ボールグリッドアレイ(B G A))は、H D F Oパッケージ構造を外部デバイスに結合し得る。導電性ライナーは、導電性相互接続層の第1の面上に配置され得る。導電性ライナーは、タンタルのバリアまたはシードライナーであり得る。バリアライナーは、アクティブダイへの相互接続部の形成(たとえば、電気めっき)中に、導電性相互接続層の保護を提供し得る。

【0019】

再配線層(R D L)は、コンタクト層の導電性相互接続層に結合される。再配線層は、ファンアウトルーティング層であり得る。再配線層は、第1の導電性相互接続部を導電性相互接続層に結合するように構成された導電性ルーティング層を含む。上述したように、再配線層は、再配線層の形成中のアクティブダイの損傷を回避するために、アクティブダイを取り付ける前に形成される。再配線層は、全厚ウエハ上に形成された裏面再配線層(B R D L)とすることができる。裏面再配線層にH D F Oパッケージ構造を実装することにより、アクティブダイの歩留まりが向上し、H D F Oパッケージ構造の歪みが低減する。

20

【0020】

アクティブダイの第2の導電性相互接続部を相互接続するために、ビアがバリアライナーに結合され得る。導電性材料は、1つまたは複数の導電性相互接続部を含み得る。たとえば、第2の導電性材料は、アンダーパンプ導電性相互接続部、はんだ材料および/または導電性ピラーを含み得る。アンダーパンプ導電性相互接続部は、バリアライナーの表面を露出させる導電層内の開口部に配置され得る。導電性ピラーは、ダイのコンタクトパッドに結合され得る。はんだ材料は、アンダーパンプ導電性相互接続部と導電性ピラーとの間にある。アンダーパンプ導電性相互接続部および導電性ピラーは、銅であってもよい。

30

【0021】

図1は、本開示の一態様における半導体ウエハの斜視図を示す。ウエハ100は半導体ウエハであってもよく、または、ウエハ100の表面上に半導体材料の1つまたは複数の層を有する基板材料であってもよい。ウエハ100は、半導体材料である場合、種結晶が半導体材料の溶浴に浸漬され、ゆっくりと回転させ、浴から取り除かれるチョクラルスキー法を使用して種結晶から成長させることができる。次いで、熔融材料は、結晶の向きに、種結晶上に結晶化する。

40

【0022】

ウエハ100は、ヒ化ガリウム(G a A s)または窒化ガリウム(G a N)などの複合材料、インジウムガリウム砒素(I n G a A s)などの3元材料、4元材料、または他の半導体材料の基板材料であり得る任意の材料であり得る。材料の多くは本質的に結晶質であり得るが、ウエハ100に多結晶または非晶質材料が使用されてもよい。

【0023】

ウエハ100、またはウエハ100に結合される層には、ウエハ100をより導電性にする材料が供給され得る。たとえば、限定としてではなく、シリコンウエハは、ウエハ1

50

00に電荷が流れることを可能にするために、ウエハ100に添加されるリンまたはホウ素を有してもよい。これらの添加剤はドーパントと呼ばれ、ウエハ100またはウエハ100の部分内に追加の電荷キャリア（電子または正孔のいずれか）を供給する。追加の電荷キャリアが供給されるエリア、どのタイプの電荷キャリアが提供されるか、およびウエハ100内の追加の電荷キャリアの量（密度）を選択することによって、異なるタイプの電子デバイスがウエハ100内またはウエハ100上に形成され得る。

【0024】

ウエハ100は、ウエハ100の結晶配向を示す配向102を有する。配向102は、図1に示されるように、ウエハ100の平坦な縁部であってもよく、またはウエハ100の結晶配向を示すノッチもしくは他の印であってもよい。配向102は、ウエハ100内の結晶格子の面についてのミラー指数を示し得る。

10

【0025】

ミラー指数は、結晶格子における結晶面の記法システムを形成する。格子面は、結晶における平面（ hkl ）のミラー指数である3つの整数 h 、 k 、 l によって示され得る。各指数は、逆格子ベクトルに基づいて方向（ h 、 k 、 l ）に直交する平面を示す。整数は、通常、最も低い項で書かれる（たとえば、それらの最大公約数は1である）。ミラー指数100は、方向 h に直交する平面を表し、指数010は、方向 k に直交する平面を表し、指数001は、 l に直交する平面を表す。いくつかの結晶では、負の数を使用され（指数番号の上にバーとして書かれている）、窒化ガリウムなど、いくつかの結晶では、異なる結晶面を適切に表すために3つを超える数を使用され得る。

20

【0026】

ウエハ100が必要に応じて処理されると、ウエハ100は、ダイシングライン104に沿って分割される。ダイシングライン104は、ウエハ100がどこで分けられるまたは分割されるべきかを示す。ダイシングライン104は、ウエハ100上に製造された様々な集積回路の輪郭を画定し得る。

【0027】

ダイシングライン104がひとたび画定されると、ダイ106を形成するために、ウエハ100が切断されるか、さもなければ分割され得る。ダイ106の各々は、多くのデバイスを有する集積回路であってもよく、または単一の電子デバイスであってもよい。チップまたは半導体チップとも呼ばれ得るダイ106の物理的サイズは、少なくとも部分的には、ウエハ100をいくつかのサイズに分離する能力、ならびにダイ106が含むように設計されている個々のデバイスの数に応じて決まる。

30

【0028】

ひとたびウエハ100が1つまたは複数のダイ106に分離されると、ダイ106は、ダイ106上に製造されたデバイスおよび/または集積回路へのアクセスを可能にするためにパッケージに実装され得る。パッケージングは、シングルインラインパッケージング、デュアルインラインパッケージング、マザーボードパッケージング、フリップチップパッケージング、インジウムドット/パンプパッケージング、またはダイ106へのアクセスを提供する他のタイプのデバイスを含み得る。ダイ106は、ダイ106を別個のパッケージに実装することなく、ワイヤボンディング、プローブ、または他の接続を介して直接アクセスされるようにしてもよい。

40

【0029】

図2は、本開示の一態様によるダイ106の断面図を示す。ダイ106には、半導体材料であり得る、および/または電子デバイスのための機械的支持として働き得る基板200があり得る。基板200は、基板200全体にわたって存在する電子（Nチャネルと呼ばれる）または正孔（Pチャネルと呼ばれる）電荷キャリアのいずれかを有するドーパされた半導体基板であり得る。電荷キャリアイオン/原子による基板200のその後のドーピングは、基板200の電荷搬送能力を変化させる可能性がある。

【0030】

基板200（たとえば、半導体基板）内には、電界効果トランジスタ（FET）のソー

50

スおよび／またはドレインであり得るウェル２０２および２０４があり得、あるいはウェル２０２および／または２０４は、フィン構造ＦＥＴ（ＦｉｎＦＥＴ）のフィン構造であり得る。ウェル２０２および／または２０４は、ウェル２０２および／または２０４の構造および他の特性、ならびに基板２００の周囲構造に応じて、他のデバイス（たとえば、抵抗器、キャパシタ、ダイオード、または他の電子デバイス）であってもよい。

【００３１】

半導体基板は、ウェル２０６およびウェル２０８も有し得る。ウェル２０８は、完全にウェル２０６内にあってもよく、場合によっては、バイポーラ接合トランジスタ（ＢＪＴ）を形成してもよい。ウェル２０６は、ダイ１０６内の電界および／または磁界からウェル２０８を分離するための分離ウェルとしても使用され得る。

10

【００３２】

層（たとえば、２１０～２１４）がダイ１０６に追加され得る。層２１０は、たとえば、ウェル（たとえば、２０２～２０８）を互いから、またはダイ１０６上の他のデバイスから分離することができる酸化物層または絶縁層であり得る。そのような場合、層２１０は、二酸化ケイ素、ポリマー、誘電体、または別の電気絶縁層であり得る。層２１０は、相互接続層であってもよく、その場合、銅、タンゲステン、アルミニウム、合金、または他の導電性材料もしくは金属材料などの導電性材料を含み得る。

【００３３】

層２１２は、所望のデバイス特性および／または層（たとえば、２１０および２１４）の材料に応じて、誘電層または導電層であってもよい。層２１４は、外部の力から、層（たとえば、２１０および２１２）、ならびにウェル２０２～２０８および基板２００を保護し得る封入層であってもよい。たとえば、限定としてではなく、層２１４は、ダイ１０６を機械的損傷から保護する層であってもよく、または層２１４は、ダイ１０６を電磁気または放射線の損傷から保護する材料の層であってもよい。

20

【００３４】

ダイ１０６上に設計された電子デバイスは、多くの特徴または構造構成要素を含み得る。たとえば、ダイ１０６は、基板２００、ウェル２０２～２０８、および必要な場合、層（たとえば、２１０～２１４）にドーパントを付与するための任意の数の方法に曝され得る。たとえば、限定としてではなく、ダイ１０６は、イオン注入、ドーパント原子の堆積に曝され得、ドーパント原子は、拡散プロセス、化学気相堆積、エピタキシャル成長、または他の方法によって結晶格子に駆動される。層（たとえば、２１０～２１４）の一部の選択的成長、材料選択、および除去、ならびに基板２００およびウェル２０２～２０８の選択的除去、材料選択、およびドーパント濃度によって、多くの異なる構造および電子デバイスが本開示の範囲内で形成されてもよい。

30

【００３５】

さらに、基板２００、ウェル２０２～２０８、および層（たとえば、２１０～２１４）は、様々なプロセスによって選択的に除去または追加され得る。化学的ウェットエッチング、化学機械的平坦化（ＣＭＰ）、プラズマエッチング、フォトレジストマスクング、ダマシンプロセス、および他の方法が本開示の構造およびデバイスを作り得る。

【００３６】

40

図３は、本開示の一態様による高密度ファンアウト（ＨＤＦＯ）パッケージ構造３００を示す。ＨＤＦＯパッケージ構造３００は、第１の導電性相互接続部３５０（たとえば、裏面）を第２の導電性相互接続部３１０（たとえば、前面）を介してアクティブダイ３０２に結合し得る。この構成では、第２の導電性相互接続部３１０は、ピラー形状を有し、第１の導電性部分３０４（たとえば、導電性トレースまたはコンタクトパッド）、第２の導電性部分３０６（たとえば、はんだ材料）、および第３の導電性部分３０８（たとえば、アクティブダイ３０２の導電性ピラー）を含む。別の構成では、第２の導電性相互接続部は、導電性バンプ（たとえば、はんだ材料）を使用して製造され得る。ＨＤＦＯパッケージ構造３００は、１つまたは複数の誘電体層（たとえば、窒化物）の間に形成された導電性相互接続層３３０（３３０ａ、３３０ｂ、３３０ｃ）を有するコンタクト層３２０も

50

含む。HDFOPackage構造300は、たとえばアンダーフィル相互接続層348を介して第1の導電性相互接続部350に結合された導電性ルーティング層（たとえば、342、344、346）を含む再配線層340も含む。

【0037】

コンタクト層320の導電性相互接続層330（たとえば、330a、330b、330c）と組み合わせられた再配線層340の導電性ルーティング層（たとえば、342、344、346）は、アクティブダイ302と第1の導電性相互接続部350（たとえば、ボールグリッドアレイ（BGA））との間の通信を容易にする。たとえば、導電性相互接続層330は、第1のバックエンドオブライン（BEOL）導電性相互接続層（たとえば、金属1（M1））を使用して形成される。導電性相互接続層330は、コンタクト層320の誘電体層によって囲まれ、第1のビア322（たとえば、ミドルオブライン（MOL）0ビア（V0））を介して第2の導電性相互接続部310に結合され得る。

10

【0038】

この構成では、導電性相互接続層330（たとえば、330b）は、第2のビア324（たとえば、BEOLの第1のビア（V1）または導電性トレース）を介して再配線層340に結合され、第1ビア322を介してアクティブダイ302に結合される。第1のビア322は、ダマシンプロセス、付加的なエッチングおよび充填プロセス、レーザービアおよび充填プロセス、またはビア形成のための他の同様のプロセスによって形成され得る。第2のビア324は、再配線層340の導電性ルーティング層であってもよい。導電性ルーティング層（たとえば、342、344、346）は、再配線層340のポリマー誘電体材料内に形成され得る。導電性相互接続層330および導電性ルーティング層（たとえば、342、344、346）は、銅または他の適切な導電性材料から構成され得る。

20

【0039】

本開示の一態様では、導電性相互接続層330の部分（たとえば、330a、330b、330c）は、バリアライナー332（たとえば、332a、332b、332c）によって部分的に囲まれている。たとえば、バリアライナー332は、アクティブダイ302に面する導電性相互接続層330の側壁および第1の面上に配置され得る。しかしながら、バリアライナー332は、再配線層340に面し、アクティブダイ302とは反対の方向を向く導電性相互接続層330の第2の面上にはない。バリアライナー332は、導電性相互接続層330の製造プロセス中に鋳物工場によって提供され得る。バリアライナー332は、HDFOPackage構造300の製造中に形成されてもよいが、バリアライナー332は、HDFOPackage構造300の製造より前に形成されてもよい。バリアライナー332は、タンタルなどの障壁材料または他の適切な障壁材料から構成され得る。

30

【0040】

再配線層340は、第2のビア324に結合された第1の導電性ルーティング層342を含む。この構成では、バリアライナー332の一部（たとえば、332d）は、第2のビア324の側壁、およびアクティブダイ302に面する第1の導電性ルーティング層342の表面上に配置される。第1の導電性ルーティング層326は、たとえば、第2のBEOL相互接続層（たとえば、金属2（M2））を使用して形成される。第2の導電性ルーティング層346は、第3のビア344（たとえば、第2のBEOLビア（V2））を介して第1の導電性ルーティング層326に結合される。第2の導電性ルーティング層346は、たとえば、第3のBEOL導電性相互接続層（たとえば、金属3（M3））を使用して形成される。第2の導電性ルーティング層346は、たとえばアンダーフィル相互接続層348を介して第1の導電性相互接続部350にも結合される。第1の導電性相互接続部350は、システムボード、パッケージ基板、または他の適切なキャリア基板（図示せず）に結合し得る。第1の導電性相互接続部350は、ボールグリッドアレイ（BGA）相互接続構造に従って構成され得る。

40

【0041】

図4A～図4Mは、本開示の態様による製造の様々な段階におけるHDFOPackage

50

構造 400 を示す。たとえば、図 4 A ~ 図 4 L は、図 4 M に示された H D F O パッケージ構造 400 の順次製造手法を示す。

【 0 0 4 2 】

図 4 A から始まり、キャリア基板（たとえば、半導体ウエハ）460 が提供される。キャリア基板 460 は、たとえば、シリコンベースの基板、ガラスベースの基板、または半導体ウエハ用のバルク基板で実装されたものなど他の材料であってもよい。キャリア基板 460 の活性表面上に絶縁層 462 が堆積され得る。絶縁層 462 は、酸化物または他の適切な絶縁材料であってもよい。コンタクト層 420 の第 1 の誘電体層は、絶縁層 462 上に堆積され得る。コンタクト層 420 は、酸化物、窒化物、または他の類似の絶縁体材料を含むパッシベーション層であってもよく、信号を絶縁し、様々な回路および導電性素子を保護し得る。

10

【 0 0 4 3 】

図 4 B において、再配線層 440 とアクティブダイ 402 との間で信号をルーティングするための導電性相互接続層 430 は、コンタクト層 420 の第 1 の誘電体層上に導電性材料（たとえば、銅）を堆積させることによって形成される。導電性相互接続層 430 は、導電性部分 430 a、430 b、および 430 c を含み得る。導電性部分 430 a、430 b、および 430 c は、第 1 の B E O L 相互接続層（たとえば、M1）を使用して形成され得る。この構成では、導電性部分 430 a、430 b、および 430 c は、バリアライナー 432（たとえば、432 a、432 b、432 c）によって部分的に囲まれている。バリアライナー 432 は、キャリア基板 460 に面する導電性部分 430 a、430 b、および 430 c の側壁および第 1 の面上に配置される。しかしながら、バリアライナー 432 は、キャリア基板 460 とは反対の方向を向いている導電性部分 430 a、430 b、および 430 c の第 2 の面上に配置されていない。バリアライナー 432（たとえば、タンタル）は、導電性相互接続層 430 の製造プロセス中に鋳物工場によって提供される。

20

【 0 0 4 4 】

図 4 C では、コンタクト層 420 の追加の誘電体層が堆積される。コンタクト層 420 の誘電体層は、窒化物層（たとえば、シリコン窒化物（S i N））で構成され得る。バリアライナー 432 によって覆われていない導電性部分 430 a、430 b、および 430 c の第 2 の面を露出させるために、コンタクト層 420 の誘電体材料内の 1 つまたは複数の開口部 426 a、426 b、426 c が形成される。たとえば、導電性部分 430 a、430 b、および 430 c の露出部分は、再配線層の導電性ルーティング層に結合するための接触領域を画定し得る。

30

【 0 0 4 5 】

図 4 D ~ 図 4 I では、再配線層（たとえば、図 4 L および図 4 M に示される 440）の第 1 の導電性ルーティング層 442 がコンタクト層 420 上に形成される。再配線層は、全厚ウエハ（たとえば、キャリア基板 460）上に形成される裏面再配線層（B R D L）であってもよい。本開示の一態様によれば、H D F O パッケージ構造 400 に 1 つまたは複数のアクティブダイを取り付ける前に、再配線層が形成される。再配線層は、コンタクト層 420 の誘電体層上に形成されてもよい。再配線層の形成は、ビアまたは他の相互接続（たとえば、導電性パッド、導電性トレースなど）によって導電性ルーティング層を形成し、導電性ルーティング層を相互接続することを含む。

40

【 0 0 4 6 】

図 4 D では、第 1 の導電性ルーティング層 442 がコンタクト層 420 上に形成される。第 1 の導電性ルーティング層 442 は、第 2 の B E O L 相互接続（たとえば、M2）を使用して形成され得る。第 1 の導電性ルーティング層 442 を形成することは、導電性相互接続層 430 へのコンタクトの形成を含む。たとえば、第 2 のビア 424 は、開口部 426 b のうちの 1 つと導電性部分 430 b のうちの 1 つの第 2 の面上に導電性材料を堆積させることによって形成され得る。第 2 のビア 424 は、第 1 の B E O L ビア（V1）を使用して形成され得る。第 2 のビア 424 は、複合スルーシリコンビアを形成するための

50

プロセスを使用するのではなく、コンタクト層 420 内の開口部 450 b に導電性材料を堆積させることによって形成される。第 1 の導電性ルーティング層 442 は、コンタクト層 420 の表面上の第 2 のビア 424 上およびバリアライナー 432 d 上に形成される。

【0047】

図 4 E では、再配線層 440 の第 1 の材料層（たとえば、ポリマー誘電体材料）が、コンタクト層 420 上および第 1 の導電性ルーティング層 442 の各部分上に堆積される。たとえば、第 1 の層ポリマー誘電体が、第 1 の導電性ルーティング層 442 の部分上に堆積される。

【0048】

図 4 F では、第 1 の導電性ルーティング層 442 の表面を露出させるために、再配線層 440 の第 1 の材料層内に開口部が形成される。この例では、再配線層 440 の第 1 の材料層は、第 1 の導電性ルーティング層 442 の接触領域を露出させる開口部 441 を含む。第 1 の導電性ルーティング層 442 の接触領域は、キャリア基板 460 とは反対の方向を向いている。

【0049】

図 4 G では、再配線層 440 の第 2 の導電性ルーティング層 446 は、再配線層 440 の第 1 の材料層上に形成される。第 2 の導電性ルーティング層 446 は、導電性部分を含む第 2 の BEO L 相互接続（たとえば、M2）を使用して形成され得る。第 2 の導電性ルーティング層 446 を形成することは、再配線層 440 の第 1 の材料層上に再配線導電性部分を形成することを含む。たとえば、第 2 の導電性ルーティング層 446 の接触領域は、第 3 のビア 444 を介して第 1 の導電性ルーティング層 442 の接触領域に結合される。第 3 のビア 444 は、再配線層 440 の第 1 の材料層内の開口部 441 に形成される。第 3 のビア 444 は、第 2 の BEO L ビア（たとえば、V2）として形成され得る。

【0050】

図 4 H では、再配線層 440 の第 2 の材料層は、再配線層 440 の第 1 の材料層上に堆積される。再配線層 440 の第 2 の材料層は、第 2 の導電性ルーティング層 446 の各部分上に堆積される。たとえば、ポリマー誘電体材料の第 2 の層は、第 2 の導電性ルーティング層 446 の各導電性部分上、および再配線層 440 のポリマー誘電体材料の第 1 の層上に堆積される。

【0051】

図 4 I では、第 2 の導電性ルーティング層 446 の表面を露出させるために、再配線層 440 の第 2 の材料層内に開口部 443 が形成される。この例では、開口部 443 は、第 2 の導電性ルーティング層 446 の接触領域を露出させる。第 2 の導電性ルーティング層 446 の露出された接触領域は、外部デバイスに接続するために準備され得る。本開示の一態様では、第 2 の導電性ルーティング層 446 の接触領域は、ボールグリッドアレイ（BGA）相互接続構造に従って構成され得る。たとえば、第 2 の導電性ルーティング層 446 の接触領域は、ボールグリッドアレイ（BGA）相互接続構造を外部デバイスに接続するためのアンダーフィル相互接続層を受けるように構成され得る。

【0052】

図 4 J では、外部デバイスへの H D F O パッケージ構造 400 の接続を可能にするために、開口部 443 に導電性材料が堆積され得る。この構成では、アンダーフィル相互接続層 448（たとえば、アンダーパンプメタライゼーション（UBM）層、シード層など）が第 2 の導電性ルーティング層 446 の開口部 443 および接触領域 470 b に堆積される。アンダーフィル相互接続層 448 は、外部デバイスに接続するための第 1 の導電性相互接続部（たとえば、図 4 M の 450）を受けるように構成され得る。

【0053】

図 4 K では、キャリア基板 460 を除去することによって、H D F O パッケージ構造 400 を所望の厚さまで薄くすることができる。たとえば、キャリア基板 460 および他の層（たとえば、絶縁層 462 および / またはコンタクト層 420 の誘電体層の一部）が除去され得る。これらの層は、平坦化プロセスまたは他のプロセス（たとえば、研削、研磨

10

20

30

40

50

またはエッチング)によって除去され得る。キャリア基板460および絶縁層462の除去は、コンタクト層420の表面を露出させる。導電性相互接続層430の導電性部分430bのうちの1つの上にバリアライナー部分432bを露出させるために、コンタクト層420の誘電体層内に開口部425が形成される。開口部445は、再配線層440とは反対の方向を向くバリアライナー432のバリアライナー部分432bの接触領域を露出させる。この露出した接触領域は、アクティブダイをHDFOPackage構造400に結合するための相互接続部と嵌合するように構成され得る。

【0054】

図4Lでは、第1のビア422は、開口部425内に導電性材料(たとえば、銅)を堆積させることによって形成される。第1のビア422上およびコンタクト層420上に、第2の導電性相互接続部(たとえば、図4Mの第2の導電性相互接続部410)の第1の導電性部分404(たとえば、導電性トレースまたはコンタクトパッド)が形成される。第1のビア422および第1の導電性部分404は、デュアルダマシンプロセスによって形成され得る。第1のビア422および第1の導電性部分304は、アンダーフィル相互接続層(たとえば、UBM層)であってもよい。第1の導電性部分404は、図4Mに示されるように、導電性ピラー、またはアクティブダイをHDFOPackage構造400に結合するための他の同様の相互接続部と結合するように構成され得る。

【0055】

図4Mでは、アクティブダイ402は、第2の導電性相互接続部410(たとえば、前面)を介してHDFOPackage構造400に結合される。本開示の一態様では、第2の導電性相互接続部410は、ピラー形状を有し、第1の導電性部分304(たとえば、導電性トレースまたはコンタクトパッド)、第2の導電性部分306(たとえば、はんだ材料)、および第3の導電性部分308(たとえば、アクティブダイ302の導電性ピラー)を含む。この構成では、第1の導電性部分404、第2の導電性部分406、および第3の導電性部分408の組合せが、アクティブダイ402とHDFOPackage構造400との間の導電性ピラー相互接続部を形成する。

【0056】

図5A~図5Fは、本開示の態様による製造の様々な段階における別のHDFOPackage構造500を示す。図4A~図4Mと同様に、図5A~図5Fは、HDFOPackage構造500の製造のための順次プロセスを示す。

【0057】

図5Aから始まり、第1のキャリア基板(たとえば、半導体ウエハ)560が提供される。絶縁層562は、第1のキャリア基板560の表面544上に堆積され得る。コンタクト層520の第1の誘電体層は、絶縁層562上に堆積され得る。コンタクト層520の第1の誘電体層は、酸化物、窒化物、または他の類似の絶縁体材料を含むパッシベーション層であってもよく、信号を絶縁し、様々な回路および導電性素子を保護し得る。

【0058】

図5Bにおいて、再配線層とアクティブダイとの間で信号をルーティングするための導電性相互接続層530は、コンタクト層520の第1の誘電体層上に堆積される。たとえば、導電性相互接続層530は、導電性部分を含む第1のBEOL相互接続層(たとえば、M1)であってもよい。コンタクト層520の第2の誘電体層は、第1の誘電体層上および導電性相互接続層530上に堆積される。導電性部分420a、420b、および420cと同様に、導電性部分520a、520b、および520cは、バリアライナー532(532a、532b、532c)によって部分的に囲まれ得る。バリアライナー532(たとえば、鋳物工場からの)は、タンタルまたは他の適切な障壁材料であってもよい。

【0059】

図4D~図4Iと同様に、図5Cは、コンタクト層520上に形成され、導電性相互接続層530の導電性部分530bに結合された再配線層540を示す。上述のように、再配線層540は、1つまたは複数のアクティブダイをHDFOPackage構造500に取

10

20

30

40

50

り付ける前に形成される。再配線層 540 を形成することは、導電性ルーティング層（たとえば 542、546）を形成し、ビア（たとえば、524、544）または他の同様の相互接続によって導電性ルーティング層（たとえば 542、546）を相互接続することを含む。

【0060】

たとえば、第 1 の導電性ルーティング層 542（たとえば、M2）がコンタクト層 520 上に形成され、第 2 のビア 524（たとえば、V1）を使用して導電性相互接続層 530 の導電性部分 530b に結合される。第 2 の導電性ルーティング層 546（たとえば、M3）は、第 1 のポリマー誘電体層上に形成され、第 3 のビア 524（たとえば、V2）を使用して第 1 の導電性ルーティング層 526 に結合される。

10

【0061】

第 2 の導電性ルーティング層 546 の接触領域は、HDFOPackage 構造 500 を 1 つまたは複数の外部デバイスに接続するための導電性相互接続部に結合され得る。本開示の一態様では、第 2 の導電性ルーティング層 546 の接触領域は、ボールグリッドアレイ（BGA）相互接続構造に従って構成され得る。たとえば、第 2 の導電性ルーティング層 546 の接触領域は、ボールグリッドアレイ（BGA）相互接続構造を 1 つまたは複数の外部デバイスに接続するためのはんだ相互接続部を受けるとして構成され得る。本開示の一態様では、アンダーフィル相互接続層 548（たとえば、裏面 UBM 層）が、第 2 の導電性ルーティング層 546 の接触領域上に堆積される。たとえば、アンダーフィル相互接続層 548 は、第 2 の導電性ルーティング層 546 の接触領域上に堆積され得る。

20

【0062】

本開示のいくつかの態様では、残りのプロセスを実行するために、（図 5D に示されるように）第 2 のキャリア基板 570 が HDFOPackage 構造 500 に取り付けられ得る。

【0063】

図 5D では、HDFOPackage 構造 500 が所望の厚さになるように、HDFOPackage 構造 500 の層が除去される。HDFOPackage 構造 500 の層は、第 2 のキャリア基板 570 の支持とともに除去される。上記のように、第 2 のキャリア基板 570 は、層を除去しながら HDFOPackage 構造 500 の支持を提供する。第 2 のキャリア基板 570 は、除去された第 1 のキャリア基板 560 と反対側の HDFOPackage 構造 500 の露出面に取り付けられ得る。たとえば、第 2 のキャリア基板 570 は、第 1 のキャリア基板 560 および他の層（たとえば、絶縁層 562 およびコンタクト層 520 の誘電体層）を除去するための構造剛性またはベースを提供するように構成され得る。これらの層は、平坦化プロセスまたは他の同様のプロセス（たとえば、研削、研磨またはエッチング）によって除去され得る。

30

【0064】

あるいは、層の除去は、図 5E に示されるように、コンタクト層 520 の表面を露出させるために、第 1 のキャリア基板 560 および絶縁層 562 を除去することを含み得る。

【0065】

図 5E では、アクティブダイ 502 は、1 つまたは複数の相互接続部によって HDFOPackage 構造 500 に結合される。この構成では、コンタクト層 520 内に第 1 のビア 522（たとえば V0）が形成される。第 1 のビア 522 は、シード層またはアンダーフィル相互接続層 504 でライニングされ得る。第 1 のビア 522 は、アクティブダイを HDFOPackage 構造 500 に結合するために、第 2 の導電性相互接続部 510 に位置合わせされる。たとえば、アクティブダイ 502 を HDFOPackage 構造 500 に結合するためのコンタクトパッド 508 と結合するために、はんだ材料がアンダーフィル相互接続層 504 上に堆積され得る。

40

【0066】

図 5F では、モールド材料 580 は、再配線層 540 に対向するアクティブダイ 502 の表面に結合される。本開示の態様による HDFOPackage 構造は、図 4A ~ 図 4M お

50

よび図 5 A ~ 図 5 F に示される層の数に限定されないことを認識されたい。

【 0 0 6 7 】

図 6 は、本開示の一態様による高密度ファンアウト (H D F O) パッケージ構造を製造するための方法 6 0 0 を示すフロー図である。ブロック 6 0 2 において、コンタクト層がキャリア基板上に製造される。コンタクト層は、たとえば、図 3 および図 4 M に示されるように、第 1 の面上にバリアライナーを有する導電性相互接続層を含む。ブロック 6 0 4 において、再配線層 (R D L) が製造される。R D L は、第 1 の導電性相互接続部を導電性相互接続層に結合するように構成された導電性ルーティング層を含む。ブロック 6 0 6 において、キャリア基板を除去した後に、バリアライナー上に第 1 のビアを形成するために、コンタクト層の開口内に導電性材料が堆積される。たとえば、図 4 K および図 4 L に示されるように、第 1 のビア 4 2 2 は、キャリア基板 4 6 0 を除去した後に形成される。ブロック 6 0 8 において、アクティブダイは、第 2 の導電性相互接続部を使用してビアに取り付けられる。この構成では、たとえば、図 4 M に示されるように、導電性相互接続層 4 3 0 の第 1 の面上のバリアライナー 4 3 2 がアクティブダイ 4 0 2 に面する。

10

【 0 0 6 8 】

一構成では、高密度ファンアウトパッケージ (H D F O) パッケージ構造は、第 1 の導電性相互接続部を導電性相互接続層に結合するための手段を含む。この構成では、導電性相互接続層の第 2 の面が結合手段に面し、導電性相互接続層の第 1 の面がアクティブダイに面する。本開示の一態様では、結合手段は、図 4 M および図 5 F の再配線層 4 4 0 / 5 5 0 であり、結合手段によって列挙される機能を実行するように構成される。別の態様では、上記の手段は、上記の手段によって列挙される機能を実行するように構成されたデバイスまたは任意の層であってよい。

20

【 0 0 6 9 】

本開示の態様による H D F O パッケージ構造は、複数のアクティブダイまたはシングルチップ構造を含む。H D F O パッケージ構造は、チップの最後の取り付けプロセスに従って製造され得る。チップの最後の取り付けプロセスは、再配線層が形成された後、アクティブダイを H D F O パッケージ構造に取り付けることを含む。たとえば、再配線層は、欠陥のある再配線層への取り付けを回避するためにアクティブダイが取り付けられる前にテストを介して検証され得る。

【 0 0 7 0 】

本開示の一態様では、H D F O パッケージ構造は、導電性相互接続層を含むコンタクト層を含む。導電性相互接続層は、アクティブダイに面する第 1 の面と、再配線層に面する第 2 の面とを含み得る。第 1 の導電性相互接続部 (たとえば、ボールグリッドアレイ (B G A)) は、H D F O パッケージ構造を外部デバイスに結合し得る。導電性ライナーは、導電性相互接続層の第 1 の面上に配置され得る。導電性ライナーは、タンタルのバリアまたはシードライナーであり得る。バリアライナーは、アクティブダイへの相互接続部の形成 (たとえば、電気めっき) 中に、導電性相互接続層の保護を提供し得る。

30

【 0 0 7 1 】

再配線層 (R D L) は、コンタクト層の導電性相互接続層に結合される。再配線層は、ファンアウトルーティング層であり得る。再配線層は、第 1 の導電性相互接続部を導電性相互接続層に結合するように構成された導電性ルーティング層を含む。上述したように、再配線層は、再配線層の形成中のアクティブダイの損傷を回避するために、アクティブダイを取り付ける前に形成される。再配線層は、全厚ウエハ上に形成された裏面再配線層 (B R D L) とすることができる。裏面再配線層に H D F O パッケージ構造を実装することにより、アクティブダイの歩留まりが向上し、H D F O パッケージ構造の歪みが低減する。

40

【 0 0 7 2 】

アクティブダイの第 2 の導電性相互接続部を相互接続するために、ビアがバリアライナーに結合され得る。導電性材料は、1 つまたは複数の導電性相互接続部を含み得る。たとえば、第 2 の導電性材料は、アンダーバンプ導電性相互接続部、はんだ材料および / また

50

は導電性ピラーを含み得る。アンダーパンプ導電性相互接続部は、バリアライナーの表面を露出させる導電層内の開口部に配置され得る。導電性ピラーは、ダイのコンタクトパッドに結合され得る。はんだ材料は、アンダーパンプ導電性相互接続部と導電性ピラーとの間にある。アンダーパンプ導電性相互接続部および導電性ピラーは、銅であってもよい。

【 0 0 7 3 】

図 7 は、本開示の態様が有利に利用され得る例示的ワイヤレス通信システム 7 0 0 を示すブロック図である。例示のために、図 7 は、3 つのリモートユニット 7 2 0、7 3 0、および 7 5 0 と、2 つの基地局 7 4 0 とを示す。ワイヤレス通信システムはより多くのリモートユニットおよび基地局を有し得ることを理解されよう。リモートユニット 7 2 0、7 3 0 および 7 5 0 は、開示された H D F O パッケージ構造を含む I C デバイス 7 2 5 A、7 2 5 C および 7 2 5 B を含む。基地局、スイッチングデバイス、およびネットワーク機器などの他のデバイスは、開示された H D F O パッケージ構造をさらに含むことができることを認識されよう。図 7 は、基地局 7 4 0 からリモートユニット 7 2 0、7 3 0、および 7 5 0 への順方向リンク信号 7 8 0、ならびに、リモートユニット 7 2 0、7 3 0、および 7 5 0 から基地局 7 4 0 への逆方向リンク信号 7 9 0 を示す。

【 0 0 7 4 】

図 7 では、リモートユニット 7 2 0 は携帯電話として示され、リモートユニット 7 3 0 はポータブルコンピュータとして示され、かつリモートユニット 7 5 0 は、ワイヤレスローカルループシステムにおける固定位置遠隔ユニットとして示されている。たとえば、リモートユニット 7 2 0、7 3 0、および 7 5 0 は、モバイルフォン、ハンドヘルドパーソナル通信システム (P C S) ユニット、通信デバイス、携帯情報端末 (P D A) などのポータブルデータユニット、G P S 対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メーター読取り機器などの固定位置データユニット、またはデータもしくはコンピュータ命令を記憶する、もしくは取り出す他のデバイス、またはそれらの組合せであってよい。図 7 は本開示の態様によるリモートユニットを示すが、本開示はこれらの例示的に示されるユニットに限定されない。本開示の態様は、開示されたデバイスを含む、多くのデバイスにおいて適切に採用され得る。

【 0 0 7 5 】

図 8 は、上で開示されたデバイスのような、半導体コンポーネントの回路設計、レイアウト設計、および論理設計のために使用される、設計用ワークステーションを示すブロック図である。設計ワークステーション 8 0 0 は、オペレーティングシステムソフトウェア、サポートファイル、および C a d e n c e や O r C A D などの設計ソフトウェアを含むハードディスク 8 0 2 を含む。設計用ワークステーション 8 0 0 はまた、回路 8 0 6、または H D F O パッケージ構造などの半導体構成要素 8 0 8 の設計を容易にするためにディスプレイ 8 0 4 を含む。記憶媒体 8 1 0 が、回路 8 0 6 または半導体構成要素 8 0 8 の設計を有形に記憶するために設けられる。回路 8 0 6 または半導体構成要素 8 0 8 の設計は、G D S I I または G E R B E R などのファイルフォーマットで記憶媒体 8 1 0 上に記憶することができる。記憶媒体 8 1 0 は、C D - R O M、D V D、ハードディスク、フラッシュメモリ、または他の適切なデバイスとすることができる。それに加えて、設計ワークステーション 8 0 0 は、記憶媒体 8 1 0 から入力を受け入れ、記憶媒体 8 0 4 に出力を書き込むための駆動装置 8 1 2 を含む。

【 0 0 7 6 】

記憶媒体 8 1 0 上に記録されたデータは、論理回路構成、フォトリソグラフィマスクのためのパターンデータ、または電子ビームリソグラフィなどのシリアル書込みツールのためのマスクパターンデータを指定し得る。データはさらに、論理シミュレーションに関連したタイミング図やネット回路などの論理検証データを含み得る。記憶媒体 8 1 0 上のデータを与えることは、半導体ウエハを設計するためのプロセス数を減らすことによって、回路 8 0 6 または半導体構成要素 8 0 8 の設計を容易にする。

【 0 0 7 7 】

ファームウェアおよび/またはソフトウェアの実装形態の場合、方法は、本明細書で説明する機能を実行するモジュール（たとえば、手順、機能など）を用いて実施され得る。本明細書で説明する方法を実施する際に、命令を有形に具現する機械可読媒体が使用され得る。たとえば、ソフトウェアコードは、メモリに記憶され得、プロセッサユニットによって実行され得る。メモリは、プロセッサユニット内またはプロセッサユニットの外部に実装され得る。本明細書では、「メモリ」という用語は、長期メモリ、短期メモリ、揮発性メモリ、不揮発性メモリ、または他のメモリのタイプを指し、特定のタイプのメモリもしくは特定の数のメモリ、またはメモリが格納される媒体のタイプに限定すべきではない。

【0078】

ファームウェアおよび/またはソフトウェアで実装される場合、機能は、コンピュータ可読媒体上に1つまたは複数の命令またはコードとして記憶されてよい。例として、データ構造体で符号化されたコンピュータ可読媒体、およびコンピュータプログラムで符号化されたコンピュータ可読媒体がある。コンピュータ可読媒体は物理的コンピュータ記憶媒体を含む。記憶媒体は、コンピュータによってアクセスできる入手可能な媒体とすることができる。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、または、所望のプログラムコードを命令もしくはデータ構造の形で記憶するために使用され得るとともに、コンピュータによってアクセスされ得る他の媒体を含むことができ、本明細書において使用されるディスク(disk)およびディスク(disc)は、コンパクトディスク(disc)(CD)、レーザーディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピーディスク(disk)、およびブルーレイディスク(disc)を含み、ディスク(disk)は通常、データを磁氣的に再生し、ディスク(disc)はデータをレーザーを用いて光学的に再生する。上記の組合せも、コンピュータ可読媒体の範囲に含まれるべきである。

【0079】

コンピュータ可読媒体に記憶することに加えて、命令および/またはデータは、通信装置に含まれる伝送媒体上の信号として提供され得る。たとえば、通信装置は、命令およびデータを表す信号を有する送受信器を含むことができる。命令およびデータは、1つまたは複数のプロセッサに、請求項に概説される機能を実施させるように構成される。

【0080】

本開示およびその利点が詳細に説明されたが、添付の特許請求の範囲によって定義される本開示の技術から逸脱することなく、明細書で様々な変更、置換、および改変が行われ得ることを理解されたい。たとえば、「上」や「下」などの関係性の用語が、基板または電子デバイスに関して使用される。当然、基板または電子デバイスが反転される場合、上は下に、下は上になる。加えて、横向きの場合、上および下は、基板または電子デバイスの側面を指し得る。その上、本出願の範囲は、本明細書において説明されたプロセス、機械、製造、組成物、手段、方法およびステップの特定の構成に限定されることを意図していない。本開示から当業者が容易に諒解するように、本明細書で説明される対応する構成と実質的に同じ機能を実行するかまたは実質的にそれと同じ結果を達成する、現存するかまたは今後開発されるプロセス、機械、製造、組成物、手段、方法、またはステップが、本開示に従って利用され得る。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、組成物、手段、方法、またはステップをそれらの範囲内に含むことを意図する。

【0081】

本明細書の開示に関連して説明した様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装される場合があることは、当業者であればさらに諒解されよう。ハードウェアとソフトウェアのこの互換性を明確に示すために、様々な例示的な構成要素

10

20

30

40

50

、ブロック、モジュール、回路、およびステップが、全般にそれらの機能に関してこれまで説明されてきた。そのような機能性がハードウェアとして実装されるか、ソフトウェアとして実装されるかは、特定の用途およびシステム全体に課せられる設計制約によって決まる。当業者は、上述の機能を特定の適用例ごとに様々な方法で実現できるが、そのような実装上の決定は、本開示の範囲からの逸脱を引き起こすものと解釈されるべきではない。

【0082】

本明細書の開示に関連して説明した様々な例示的な論理ブロック、モジュール、および回路は、本明細書において説明された機能を実行するように設計された汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラマブル論理デバイス、個別のゲートもしくはトランジスタロジック、個別のハードウェア構成要素、またはそれらの任意の組合せを用いて、実装または実行され得る。汎用プロセッサは、マイクロプロセッサであってもよいが、代替として、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、またはステートマシンであってもよい。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、DSPおよびマイクロプロセッサの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つまたは複数のマイクロプロセッサ、または任意の他のそのような構成として実装され得る。

【0083】

本開示に関連して説明された方法またはアルゴリズムのステップは、ハードウェアにおいて直接、プロセッサによって実行されるソフトウェアモジュールで、またはその2つの組合せにおいて実施することができる。ソフトウェアモジュールは、RAM、フラッシュメモリ、ROM、EPROM、EEPROM、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体に存在することができる。プロセッサが記憶媒体から情報を読み取ること、および記憶媒体に情報を書き込むことができるように、例示的な記憶媒体がプロセッサに結合される。代替として、記憶媒体は、プロセッサに一体化され得る。プロセッサおよび記憶媒体は、ASICに存在する場合がある。ASICは、ユーザ端末に存在し得る。代替形態では、プロセッサおよび記憶媒体は、個別構成要素としてユーザ端末内に存在してもよい。

【0084】

1つまたは複数の例示的な設計では、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せで実装される場合がある。ソフトウェアで実装される場合、機能は、1つもしくは複数の命令またはコードとして、コンピュータ可読媒体上に記憶されるか、またはコンピュータ可読媒体を介して送信され得る。コンピュータ可読媒体は、コンピュータ記憶媒体と、コンピュータプログラムのある場所から別の場所への転送を容易にする任意の媒体を含む通信媒体との両方を含む。記憶媒体は、汎用コンピュータまたは専用コンピュータによってアクセスできる任意の入手可能な媒体とすることができる。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EPROM、CD-ROMもしくは他の光ディスク記憶装置、磁気ディスク記憶装置もしくは他の磁気記憶デバイス、または命令もしくはデータ構造の形態で規定されたプログラムコード手段を搬送または格納するために使用され得るとともに、汎用もしくは専用コンピュータ、または汎用もしくは専用プロセッサによってアクセスできる任意の他の媒体を含むことができる。また、任意の接続も厳密にはコンピュータ可読媒体と呼ばれる。たとえば、ソフトウェアが、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者回線(DSL)、または赤外線、無線、およびマイクロ波などのワイヤレス技術を使用してウェブサイト、サーバ、または他のリモートソースから送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。ディスク(disk)およびディスク(disc)は、本明細書で使用する時、コンパクトディスク(compact disc)(CD)、レーザーディスク(登録商標)(disc)、光ディスク(optical disc)

、デジタル多用途ディスク（disc）（DVD）、およびブルーレイディスク（disc）を含み、ディスク（disk）は、通常、データを磁氣的に再生し、一方、ディスク（disc）は、データをレーザーで光学的に再生する。上記の組合せも、コンピュータ可読媒体の範囲に含まれるべきである。

【0085】

本開示の上記の説明は、当業者が本開示を実施するかまたは使用することを可能にするために提供される。本開示に対する種々の変更が、当業者には容易に明らかになり、本明細書において規定される一般原理は、本開示の趣旨または範囲を逸脱することなく、他の変形形態に適用される場合がある。したがって、本開示は、本明細書に記載の例および設計に限定されることを意図するものではなく、本明細書で開示される原理および新規の特徴と一致する最も広い範囲が与えられるべきである。

10

【符号の説明】

【0086】

- 100 ウエハ
- 102 配向
- 104 ダイシングライン
- 106 ダイ
- 200 基板
- 202 ウェル
- 204 ウェル
- 206 ウェル
- 208 ウェル
- 210 層
- 212 層
- 214 層
- 300 H D F O パッケージ構造
- 302 アクティブダイ
- 304 第1の導電性部分
- 306 第2の導電性部分
- 308 第3の導電性部分
- 310 第2の導電性相互接続部
- 320 コンタクト層
- 322 第1のビア
- 324 第2のビア
- 326 第1の導電性ルーティング層
- 330 導電性相互接続層
- 332 バリアライナー
- 340 再配線層
- 342 導電性ルーティング層
- 344 導電性ルーティング層
- 346 導電性ルーティング層
- 348 アンダーフィル相互接続層
- 350 第1の導電性相互接続部
- 400 H D F O パッケージ構造
- 402 アクティブダイ
- 404 第1の導電性部分
- 410 第2の導電性相互接続部
- 420 コンタクト層
- 422 第1のビア
- 424 第2のビア

20

30

40

50

4 2 5	開口部	
4 2 6 a	開口部	
4 2 6 b	開口部	
4 2 6 c	開口部	
4 3 0	導電性相互接続層	
4 3 2	バリアライナー	
4 4 0	再配線層	
4 4 1	開口部	
4 4 2	第 1 の導電性ルーティング層	
4 4 4	第 3 のビア	10
4 4 6	第 2 の導電性ルーティング層	
4 4 8	アンダーフィル相互接続層	
4 5 0 b	開口部	
4 6 0	キャリア基板	
4 6 2	絶縁層	
4 7 0 b	接触領域	
5 0 0	H D F O パッケージ構造	
5 0 2	アクティブダイ	
5 0 8	コンタクトパッド	
5 1 0	第 2 の導電性相互接続部	20
5 2 0	コンタクト層	
5 2 2	第 1 のビア	
5 2 4	ビア	
5 3 0	導電性相互接続層	
5 3 2	バリアライナー	
5 4 0	再配線層	
5 4 2	導電性ルーティング層	
5 4 4	表面	
5 4 4	ビア	
5 4 6	導電性ルーティング層	30
5 4 8	アンダーフィル相互接続層	
5 6 0	キャリア基板	
5 6 2	絶縁層	
5 7 0	第 2 のキャリア基板	
5 8 0	型材料	
7 2 0	リモートユニット	
7 2 5	I C デバイス	
7 3 0	リモートユニット	
7 4 0	基地局	
7 5 0	リモートユニット	40
7 8 0	順方向リンク信号	
7 9 0	逆方向リンク信号	
8 0 0	設計ワークステーション	
8 0 2	ハードディスク	
8 0 4	ディスプレイ	
8 0 6	回路	
8 0 8	半導体構成要素	
8 1 0	記憶媒体	
8 1 2	駆動装置	

【図 1】

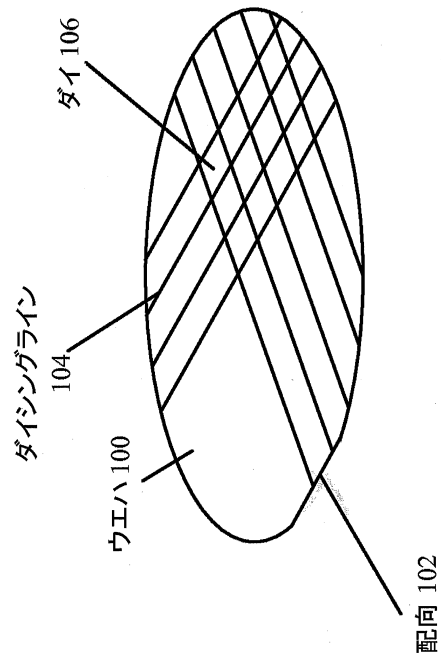


FIG. 1

【図 2】

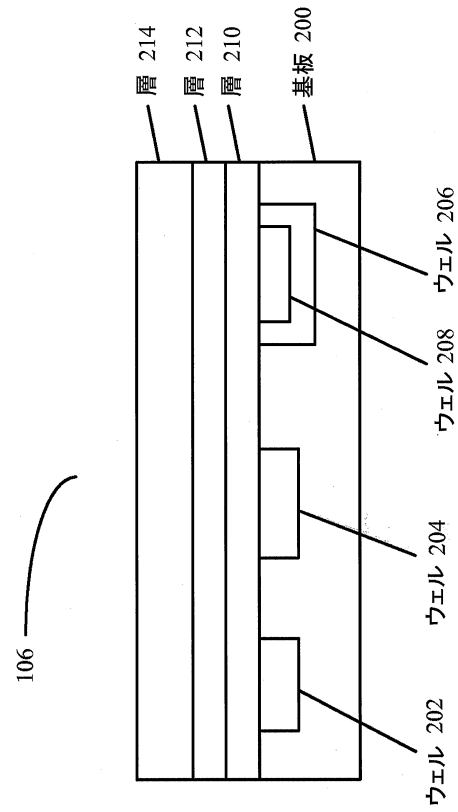


FIG. 2

【図 3】

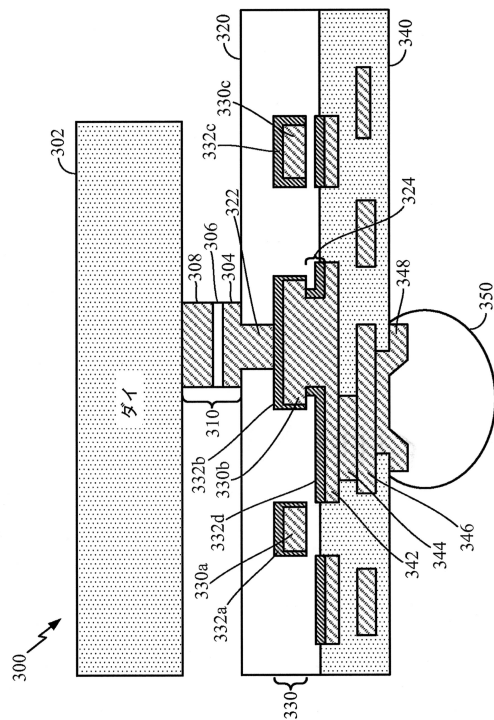


FIG. 3

【図 4 A】

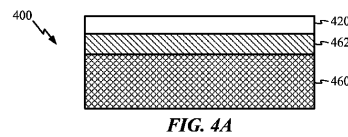


FIG. 4A

【図 4 B】

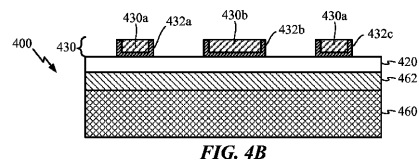


FIG. 4B

【図 4 C】

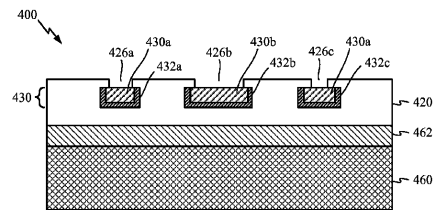


FIG. 4C

【図 4 D】

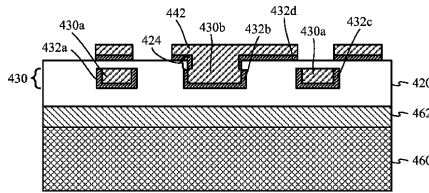


FIG. 4D

【図 4 G】

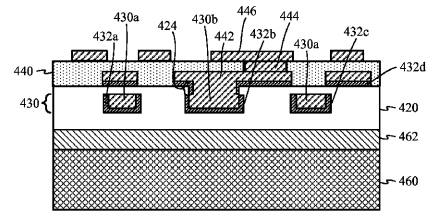


FIG. 4G

【図 4 E】

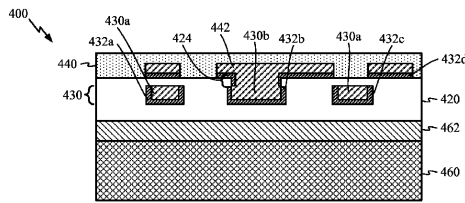


FIG. 4E

【図 4 H】

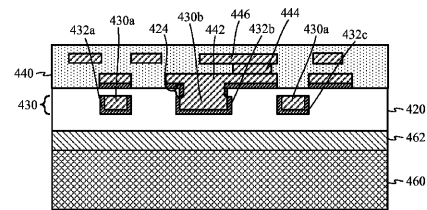


FIG. 4H

【図 4 F】

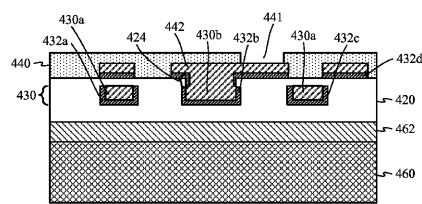


FIG. 4F

【図 4 I】

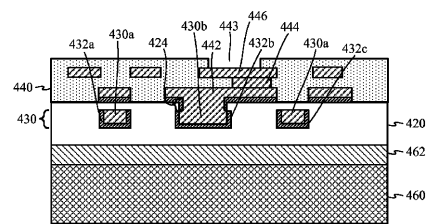


FIG. 4I

【図 4 J】

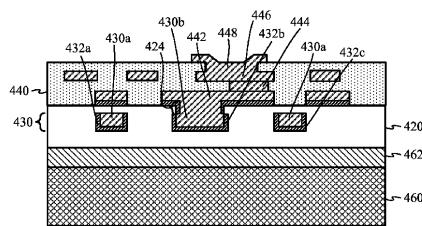


FIG. 4J

【図 4 M】

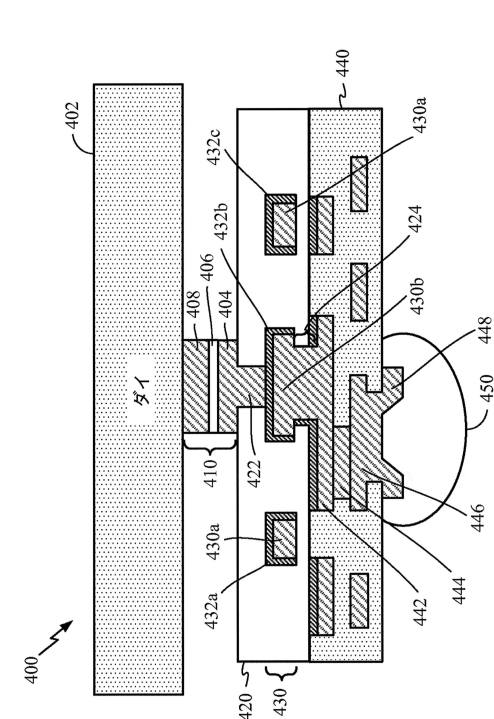


FIG. 4M

【図 4 K】

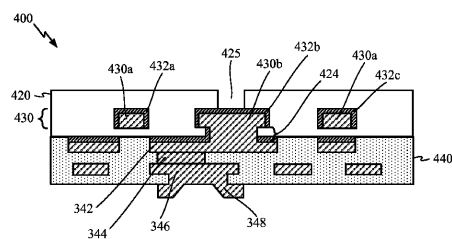


FIG. 4K

【図 4 L】

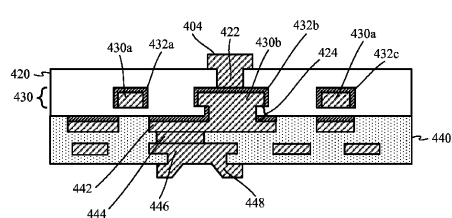


FIG. 4L

【図 5 A】

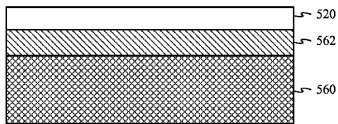


FIG. 5A

【図 5 B】

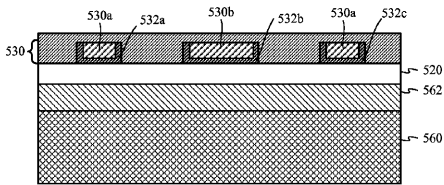


FIG. 5B

【図 5 C】

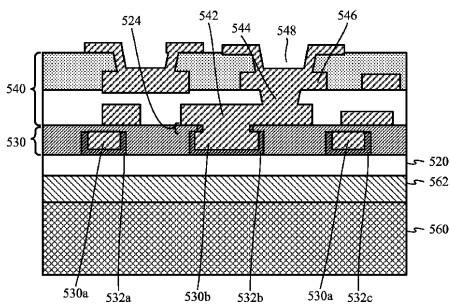


FIG. 5C

【図 5 E】

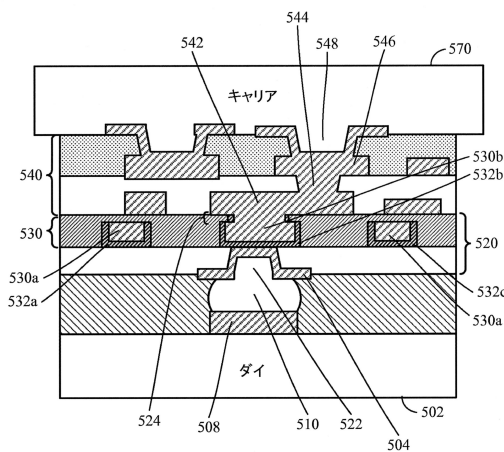


FIG. 5E

【図 5 D】

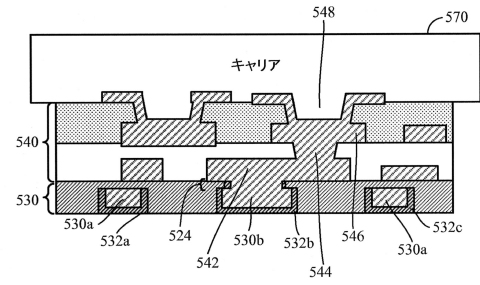


FIG. 5D

【図 5 F】

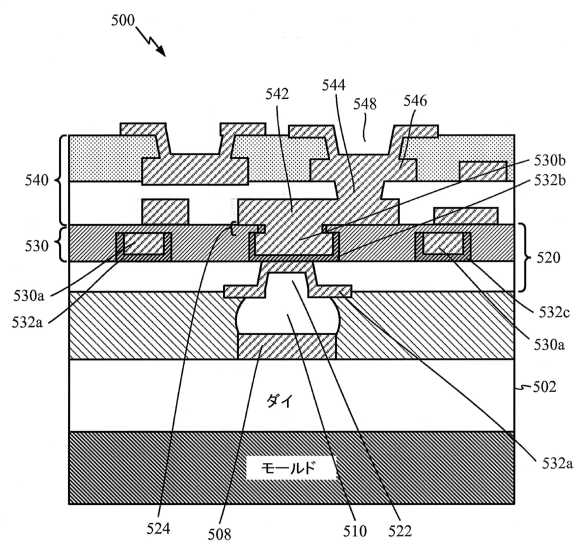


FIG. 5F

【図 6】

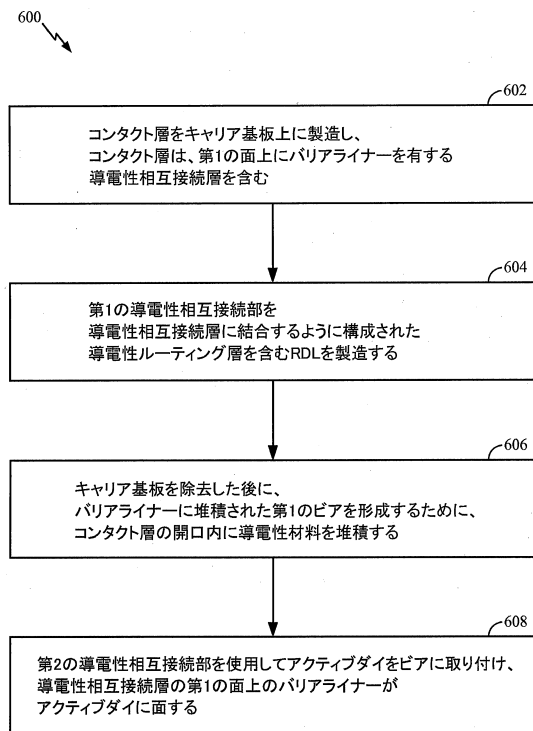
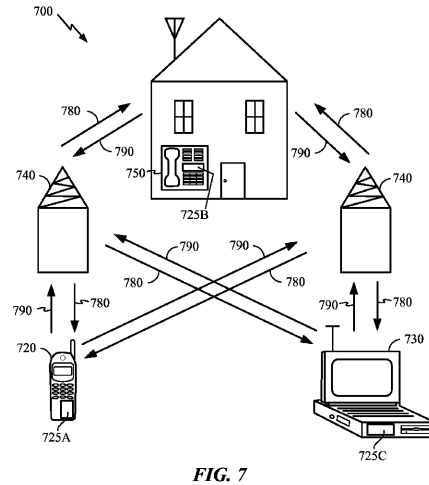


FIG. 6

【図 7】



【図 8】

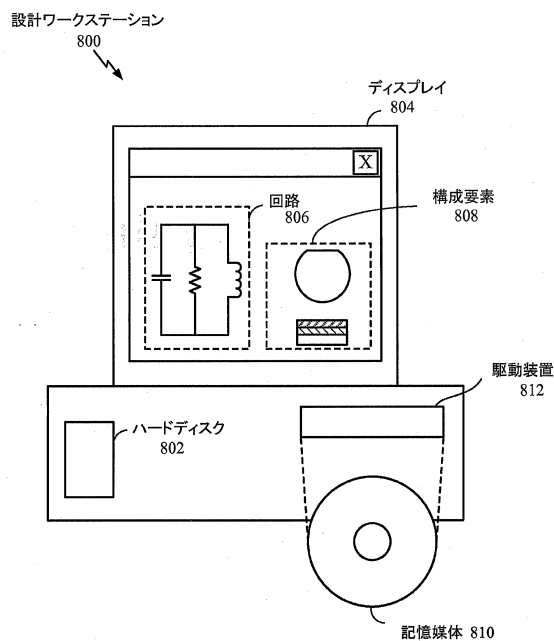


FIG. 8

フロントページの続き

- (72)発明者 ホン・ボク・ウィ
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775
- (72)発明者 ジェ・シク・イ
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775
- (72)発明者 シーチュン・グ
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775

審査官 古川 哲也

- (56)参考文献 米国特許出願公開第2011/0291288(US,A1)
特開2003-152340(JP,A)
米国特許出願公開第2012/0074574(US,A1)
国際公開第2013/104712(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/447 - 21/449
21/60 - 21/607
23/12 - 23/15
H05K 3/46