



(12) 发明专利

(10) 授权公告号 CN 101842850 B

(45) 授权公告日 2013.08.21

(21) 申请号 200780101351.X  
 (22) 申请日 2007.10.31  
 (85) PCT申请进入国家阶段日 2010.04.29  
 (86) PCT申请的申请数据 PCT/US2007/083162 2007.10.31  
 (87) PCT申请的公布数据 W02009/058140 EN 2009.05.07  
 (73) 专利权人 艾格瑞系统有限公司  
 地址 美国宾夕法尼亚  
 (72) 发明人 R·A·柯勒 R·J·麦克帕特兰德 W·E·沃纳  
 (74) 专利代理机构 中国国际贸易促进委员会专利商标事务所 11038  
 代理人 金晓  
 (51) Int. Cl.  
*G11C 29/00* (2006.01)  
*G11C 11/56* (2006.01)  
*G11C 16/34* (2006.01)

(56) 对比文件  
 US 2007/0201274 A1, 2007.08.30,  
 US 2005/0201148 A1, 2005.09.15,  
 US 2007/0159888 A1, 2007.07.12,  
 US 2005/0013165 A1, 2005.01.20,  
 US 2007/0070696 A1, 2007.03.29,  
 CN 1653552 A, 2005.08.10,

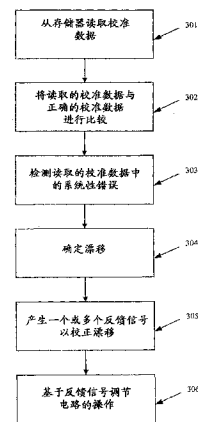
审查员 林芳

权利要求书2页 说明书5页 附图4页

(54) 发明名称  
 多级闪存的系统性纠错

(57) 摘要

根据本发明的示例性实施例,在读取多级闪存时,多级闪存使用系统性错误的纠错。纠错包括 i) 检测每个系统性错误, ii) 反馈系统性错误至存储器内的电路,以及 iii) 随后在电路内调节以校正在多级闪存的输出信号中的系统性错误。



1. 一种对从多级单元存储器读取的数据中的系统性错误进行纠错的装置,所述装置包括:

错误处理器,适于:

- i) 从所述多级单元存储器读取校准数据;
- ii) 将所读取的校准数据与正确校准数据进行比较;
- iii) 基于所述比较在所读取的校准数据中检测系统性错误;以及
- iv) 确定所述系统性错误的漂移;以及

纠错控制电路,连接到所述错误处理器,其中所述纠错控制电路适于基于所确定的漂移产生一个或多个反馈信号,以用于基于所述一个或多个反馈信号校正所述漂移,

所述多级单元存储器包括数据流;并且

所述校准数据是附加或插入到数据流中以便校准数据流的其他数据值。

2. 根据权利要求 1 所述的装置,其中:

所述多级单元存储器包括具有多个多级单元的存储器阵列、多路复用器、以及连接在所述存储器阵列和所述多路复用器之间的多个读出放大器;

所述错误处理器连接到所述多路复用器以读取所述校准数据;并且

所述纠错控制电路连接到所述存储器阵列、所述多个读出放大器、以及所述多路复用器中的至少一个。

3. 根据权利要求 2 所述的装置,其中所述一个或多个反馈信号包括多路复用器反馈信号,以及所述纠错控制电路适于应用所述多路复用器反馈信号至所述多路复用器以校正所述多路复用器的输出信号漂移。

4. 根据权利要求 2 所述的装置,其中所述一个或多个反馈信号包括读出放大器反馈信号,以及所述纠错控制电路适于应用所述读出放大器反馈信号至所述多个读出放大器中的至少一个以校正所述读出放大器的读出放大器输出漂移。

5. 根据权利要求 2 所述的装置,其中所述一个或多个反馈信号包括多级单元驱动器反馈信号,以及所述纠错控制电路适于应用所述多级单元驱动器反馈信号至所述多级单元存储器的行驱动器。

6. 根据权利要求 2 所述的装置,其中所述多个多级单元中的一个或多个被实施为具有氧化物-氮化物-氧化物栅存储结构或多晶硅栅存储结构的金属氧化物半导体场效应晶体管。

7. 根据权利要求 2 所述的装置,其中所述多路复用器是模拟多路复用器以及所述多个读出放大器中的每一个都产生如下的模拟输出值,所述模拟输出值表示与所述多个多级单元中相应一个的位值相对应的电荷电平。

8. 根据权利要求 2 所述的装置,其中所述多路复用器是数字多路复用器,以及所述多个读出放大器中的每一个都产生如下的数字输出值,所述数字输出值表示与所述多个多级单元中相应一个的 N 位值相对应的电荷电平, N 是大于 1 的整数。

9. 一种对从多级单元存储器读取的数据中的系统性错误进行纠错的方法,所述方法包括以下步骤:

从所述多级单元存储器读取校准数据;

将所读取的校准数据与正确的校准数据进行比较;

基于所述比较在所读取的校准数据中检测系统性错误；  
确定所述系统性错误的漂移；  
基于所确定的漂移产生一个或多个反馈信号；以及  
基于所述一个或多个反馈信号校正所述漂移，其中  
所述多级单元存储器包括数据流；并且  
所述校准数据是附加或插入到数据流中以便校准数据流的其他数据值。

10. 根据权利要求 9 所述的方法，其中所述方法还包括：  
读取所述多级单元存储器中一个扇区的存储数据；以及  
对所述存储数据的该扇区的位的子串应用纠错。

## 多级闪存的系统性纠错

### 技术领域

[0001] 本发明涉及存储器电路,以及更具体地涉及闪存装置中的纠错。

### 背景技术

[0002] 例如 USB- 端口大容量闪存装置、SD 卡、XD 卡以及紧凑型闪存卡的高密度闪存通常使用先进的错误保护 / 校正数据处理,例如 BCH(Bose, Ray-Chaudhuri, Hocquenhem) 以及 Reed-Soloman 纠错码,用于校正从闪存内读取的缺陷或错误的位。高密度闪存通常被限制在大约 8 千兆的最大容量。高密度闪存技术的发展导致每个芯片有更多的存储单元、存储大于 2 个二进制位信息的存储单元,以及更加复杂的纠错技术。

[0003] 单级存储器存储单元 (SLC) 包括被表示为两个存储电荷电平之一的单个二进制位信息。当从闪存中读取数据时,读出放大器检测存储在闪存单元中的电荷数量。读出放大器通常基于所检测到的电荷电平来产生数字输出值,但是某些读出放大器可能产生模拟输出值。图 1A 示出了现有技术的 SLC 闪存 100,其具有存储阵列 101 以及读出放大器单元 102。SLC 闪存 100 在被寻址并被读取时产生数字输出值。存储阵列 101 包括被特定行驱动器 (图中未示出) 寻址的 SLC 闪存单元 103。读出放大器单元 102 包括:i) 读出放大器 104,其感测存储在特定 SLC 中的电荷,以及 ii) 列解码器 105(或数字多路复用器),基于读出放大器 104 中相应的一个的输出和唯一列地址来提供特定二进制位值。

[0004] 闪存已经从包括单个二进制位(两级电荷存储)的 SLC 演变成包括多个信息位的多级单元 (MLC)。目前,MLC 的通用实施方式包括 2 个二进制位信息,每个位对被表示为存储在该单元中的四个可用离散电荷电平之一。

[0005] 存在多种技术来检测 MLC 的数据状态。对于能够以四个离散电平之一来存储两位数据的 MLC 来说,一种技术是使用多个读出放大器,每个读出放大器能够在该单元中的四个可能的电荷电平中的两个电平之间进行区分。与图 1A 中示出的 SLC 闪存具有与每列相关联的一个读出放大器相反,如图 1B 的现有技术的 MLC 闪存 110 中所示的,多个读出放大器与 MLC 闪存的每列相关联。

[0006] MLC 闪存 110 包括 MLC 存储阵列 111 的 MLC 闪存单元 113,以及具有多个读出放大器 (MSA) 114 的读出放大器单元 112,以及列解码器 115。表 1 示出了使用 MSA 的三个读出放大器的两种示例性方法,在由列解码器 115 解码时,其根据 MSA 中的读出放大器输出电平的逻辑组合产生输出 2- 位数据码 (00,01,10,11)。

[0007] 表 1

[0008]

示例	读出放大器	区分的电荷电平
1	1	电平 1 和电平 2 之间
	2	电平 1 和电平 3 之间
	3	电平 1 和电平 4 之间
2	1	电平 1+2 和电平 3+4 之间
	2	电平 1 和电平 2 之间
	3	电平 3 和电平 4 之间

[0009] MLC 闪存的另一技术是使用一个读出放大器,其在时间顺序上在三个不同电平对之间进行区分(顺序读出放大器)。与多级读出放大器方法相比,使用顺序读出放大器通常导致例如在集成电路(IC)实施方式中的更小的面积。然而,因为读出是反复的,所以使用顺序读出放大器花费更长的时间段来进行电平检测。图 1C 中示出了现有技术的顺序读出放大器 MLC 闪存 120。顺序读出放大器 MLC 闪存 120 包括具有 MLC 123 的 MLC 存储单元阵列 121,以及具有顺序读出放大器(SSA)124 的读出放大器单元 122,以及控制逻辑 126。SSA 124 被设计用于 MLC 123 中的不同电荷电平的顺序区分,以及控制逻辑 126 控制读出放大器的时间顺序。

[0010] 闪存单元通过在闪存单元中如下存储电荷来存储数据。在写操作期间,电子被注入单元中的电荷存储结构或从电荷存储结构中被抽取出。主要使用具有与所存储的电荷成比例的阈值电压的 MOSFET(金属氧化物半导体场效应晶体管)晶体管实现该单元。如果 MOSFET 是 N-沟道晶体管,则所存储的负电荷的数量越大,阈值电压越高。如果 MOSFET 是 P-沟道晶体管,则所存储的负电荷的数量越大,阈值电压越低。在 MLC 单元中,存在  $2^N$  个电荷存储电平(CLS),其中 N 是存储在单元中的位的数量(例如,如果  $N = 2$ ,则  $CSL = 4$ ,以及如果  $N = 4$ ,则  $CSL = 16$ )。闪存单元中的两种常用类型的电荷存储结构现已商业生产。最常用的是浮置多晶硅栅结构。电荷存储在完全被电介质材料围绕的导电多晶硅栅上。稍不常用的电荷存储结构是氧化物-氮化物-氧化物(ONO)栅电介质结构,其中,电荷被保留在非导电电介质结构中。

[0011] 在任一情况下,围绕电荷存储结构的电介质材料理想情况下可以防止电荷在任何情况下泄漏出或泄漏至电荷存储结构。然而,在实践中,电荷以取决于结构的物理和电特性的速度泄漏。为了具有高质量的闪存单元,电荷损失或增益的速度应该非常低(例如以年来测量)。在此使用术语“电荷漂移”来表示电荷泄漏出或泄漏至单元的电荷存储结构。单元阈值电压随着电荷泄漏出或泄漏至电荷存储结构而缓慢地上移或下移,并且在此使用术语“阈值漂移”来表示与电荷漂移相关联的阈值电压的变化。

## 发明内容

[0012] 在一个实施例中,本发明通过从 MLC 存储器中读取校准数据并将所读取的校正数据与正确的校正数据进行比较来对从多级单元(MLC)存储器中读取的数据中的系统性错误进行纠错。基于比较结果在所读取的校正数据中检测系统性错误,以及检测系统性错误

的漂移。基于所确定的漂移产生一个或多个反馈信号以校正该漂移。

### 附图说明

[0013] 本发明的其他方面、特征以及优点将由下面的具体描述、所附权利要求以及附图而更加完全显而易见，附图中相同的参考标号表示类似或相同的元件。

[0014] 图 1A 示出了现有技术的单级存储器存储单元 (SLC) 闪存；

[0015] 图 1B 示出了现有技术的多级存储器存储单元 (MLC) 闪存；

[0016] 图 1C 示出了现有技术的顺序读出放大器 MLC 闪存；

[0017] 图 2 示出了使用本发明的示例性实施例的多级闪存核心；以及

[0018] 图 3 示出了由图 2 的多级闪存核心使用的错误保护的示例性方法。

### 具体实施方式

[0019] 根据本发明的示例性实施例，在读取多级闪存时，多级闪存使用系统性错误的纠错，其中纠错包括：i) 检测每个系统性错误，ii) 反馈系统性错误至存储器中的电路，以及 iii) 在该该电路中随后调节以使得在多级闪存的输出信号中进行系统性错误的校正。图 2 示出了使用本发明的示例性实施例的多级闪存 200。对于所描述的图 2 的实施例，示出了具有模拟输出的闪存结构（例如，模拟多路复用器输出），但是本发明不局限于此，并且可以被应用于各种闪存结构，例如，参考图 1B 和图 1C 所描述那些闪存结构（例如数字多路复用器输出）。

[0020] 多级闪存 200 包括存储器阵列 201 的多级单元 (MLC) 203，以及具有单个读出放大器 (SSA) 204 的读出放大器单元 202，其中每个 SSA 204 与 MLC 闪存单元的列相关联。每个 SSA 204 产生与被读取的相关联其中一个 MLC 203 内的电荷电平成比例的模拟输出值。模拟输出形成在时间顺序上被模拟多路复用器 205 组合的系列读出放大器输出值，以产生表示被写入一组 MLC 闪存单元 203 的多级数据的连续模拟波形。行驱动块 206 包括用于存储阵列 201 的行驱动器，其被用于在写数据或读数据时电驱动 MLC 203 的行。

[0021] 根据本发明的示例性实施例，多级闪存 200 还包括纠错控制电路 (ECCC) 207，以及错误处理器 208。ECCC 207 和错误处理器 208 的操作在下面进行描述。

[0022] 在 MLC 单元中，在具有数字输出的存储器（例如图 1B 和 1C 中示出的存储器）中，相对小的电荷泄漏以及相关联的阈值改变，使得读出放大器的输出从一个二进制数漂移至相邻或相近的二进制数。在具有模拟输出的存储器（例如图 1D 中示出的存储器）中，相对小的电荷泄漏以及相关联的阈值改变导致模拟输出电压的漂移。在此使用术语“读出放大器输出漂移”表示，由于相关联的电荷/阈值漂移导致的来自读出放大器的数字或模拟输出值的改变。读出放大器输出漂移被反映在数字列多路复用器（图 1B 和 1C）的数字输出值和/或模拟多路复用器（图 1D）的模拟输出信号中。如在此所使用的，术语“输出信号漂移”包括来自相应的数字或模拟多路复用器的数字或模拟输出信号漂移。

[0023] 对于大容量存储器类型的装置，相对长的数据流或扇区同时被存储。忽略单元之间的差别，存储一个扇区数据的单元可能表现出几乎相同速度的电荷泄漏或衰减。电荷泄漏导致整个扇区的数字或模拟输出信号中的系统性输出信号漂移。每个单元可能基本上呈现出在相同方向上且数量相同的电荷漂移，但是可能根据存储在单元中的数据而存在电荷

漂移中的微小的差别。

[0024] 根据本发明的示例性实施例,检测系统性错误。系统性错误发生在来自单元的包含连续数据流(例如一个或多个数据扇区)的长串读取数据中。在该数据流中的值通常作为连续数据流在几乎同一时间被写入。当被写入时,其他数据值可以被附加或插入该数据流中,其可以被用来校准信号。其他数据值在此被定义为术语校准数据或校准位。

[0025] 转到图 2,当从多级闪存 200 读取该数据流时,错误处理器 208 注意到从存储器读取的数据中存在校准数据。因此,错误处理器 208 可以检测从多级闪存 200 读取的校准数据并将其与期望(正确的)校准数据进行比较。错误处理器 208 通过读取的校准数据与原始写入的正确校准数据的偏离来检测系统性输出信号漂移。错误处理器 208 将表示系统性输出信号漂移的信号发送至 ECC 207。

[0026] ECC 207 产生通常应用于多级闪存 200 中的一个或多个可调节电路以校正系统性错误的信号。例如,反馈信号可以被应用于模拟多路复用器 205,使得模拟多路复用器 205 增加偏置电压至其输出信号以抵消系统性模拟输出信号漂移。可选地,反馈信号可以被应用于 SSA 204 以抵消系统性模拟读出放大器输出漂移。可选地,当读取每个 MLC 203 以补偿读出放大器输出漂移和/或输出信号漂移时,反馈信号可以被应用于行驱动器块 206 以调节(例如,提高)来自行驱动电路的行电压,以引起列电压上的系统性改变。一个或多个这些反馈信号选择可以被单独或组合使用。校正调节来自模拟多路复用器 205 的输出信号,以正确地反映原始被写入单元组中包括顺序数据的数据。

[0027] 当本发明的实施例被用于具有多个读出放大器、具有顺序读出的读出放大器和/或提供输出信号的数字多路复用器的系统时,可以产生类似类型的反馈信号。例如,应用于数字多路复用器的反馈信号可以简单地调节其输出信号以抵消系统性输出信号漂移,以及提供应用于多个读出放大器(MSA)(或具有顺序读取的读出放大器)的反馈信号,从而抵消每个 MSA 的系统性模拟读出放大器输出漂移。

[0028] 图 3 示出了由图 2 的多级闪存核心使用的错误保护的示例性方法。在步骤 301,从存储器读取校准数据,在步骤 302,读取的校准数据与正确的校准数据进行比较。在步骤 303,该方法检测读取的校准数据中的系统性错误,以及在步骤 304,确定系统性错误的漂移。在步骤 305,基于所确定的漂移产生一个或多个反馈信号,以及在步骤 306,多级闪存中的电路的操作被调节以校正该漂移。

[0029] 因为期望在开始读取任何特定顺序数据组之后很快校正漂移,所以校准数据可能通常为第一个被读取的数据。本领域已知的其他纠错技术可以与此处的教导一起使用来进行调节之前进行纠错。可能存在其他类型的错误,以及可以使用方法与本发明的纠错技术的组合来校正这些其他类型的错误。例如,Hamming 或块纠错码技术(ECC)可以被用来校正较小(扇区片段)数据(字)组中的单个位错误。在该种情况下,除了使用用于系统性或漂移类型错误的本发明的实施例之外,使用 ECC 校正非系统性错误,或运动类型(sporttype)的错误。

[0030] 取决于存储在单元中的数据,可能会发生电荷漂移中的微小错误。如果 MLC 单元存储 4 位数据,16 个离散的电荷电平是可能的。电荷衰减或电荷漂移的速度可以由存储在单元中的电荷量来调节。例如,对应于存储的最大负电荷(电荷电平 16)的所存储的负电荷可能最快地泄漏出电荷存储节点;对应于存储的最小负电荷(电荷电平 1)的所存储的负

电荷可能最快地泄漏至电荷存储节点；对应于所存储的仅高于中间负电荷（电荷电平 9）的所存储的负电荷可能最慢地泄露出电荷节点；以及对应于存储的仅低于中间负电荷（电荷电平 8）的所存储的负电荷可能最慢地泄漏至电荷节点。错误处理器 208 和 ECC 207 可以被设计为补偿该调节。

[0031] 图 2 的示例性实施例示出了作为位于多级闪存核心之外的电路的错误处理器 208 和 ECC 207,但是本发明不限于此。实践中,纠错控制电路可以分布在多级闪存核心上,或可以位于多级闪存核心之外的独立的集成电路 (IC) 上。

[0032] 在此引用的“一个实施例”或“一实施例”表示结合该实施例描述的特定特征、结构或特性可以被包括在本发明的至少一个实施例中。在说明书中的不同位置出现的词组“在一个实施例中”不必要都引用相同的实施例,也不是必然相互排除其他实施例的单独或可替换实施例。对于术语“实施方式”也是一样的。此外,除了明确阐述,否则每个数值和范围都应该被解释为近似的,如同词语“大约”或“接近”高于值或范围的值。

[0033] 尽管已经关于电路的处理描述了本发明的示例性实施例,包括作为单一集成电路、多芯片模块、单个卡或多个卡电路封装的可能的实施方式,但是本发明不局限于此。如本领域技术人员显而易见的,电路元件的各种功能也可以被实施为软件程序中的处理块。这样的软件可以被用于例如数字信号处理器、微控制器或通用目的的计算机中。

[0034] 应该理解在此阐述的示例性方法的步骤不要求以所述的顺序被执行,以及这样的方法的步骤的顺序应该被理解为仅是生理学的。同样,其他步骤也可以被包括在这样的方法中,以及在与本发明的各种实施例一致的方法中,某些步骤可以被省略或组合。

[0035] 同样为了说明的目的,术语“耦合”、“耦合”、“被耦合”、“连接”、“连接着”或“被连接”指的是本领域中已知的或后续被开发的任何方式,其中允许能量在两个或多个元件之间传递,以及可以插入一个或多个其他元件,尽管不要求。因此,术语“直接耦合”、“直接连接”等意味着这样的其他元件的存在。

[0036] 还应该理解本领域的技术人员在不背离在下面权利要求中表达的本发明的范围的情况下,可以对已经被描述和示出以便理解本发明的本性的部件的细节、材料和布置进行各种改变。



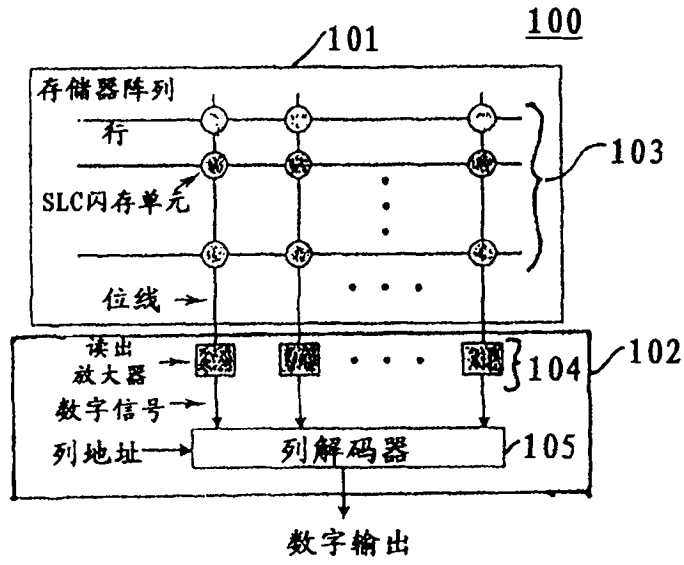


图 1A

(现有技术)

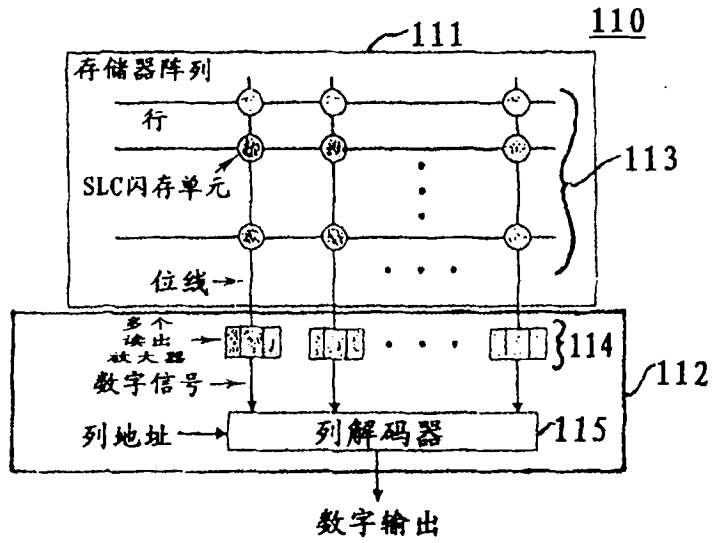


图 1B

(现有技术)

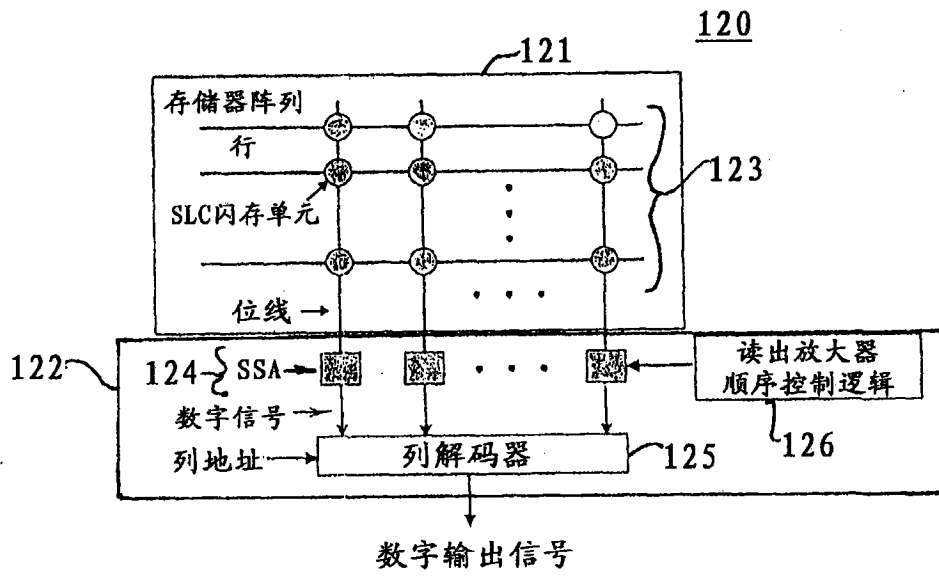


图 1C

(现有技术)

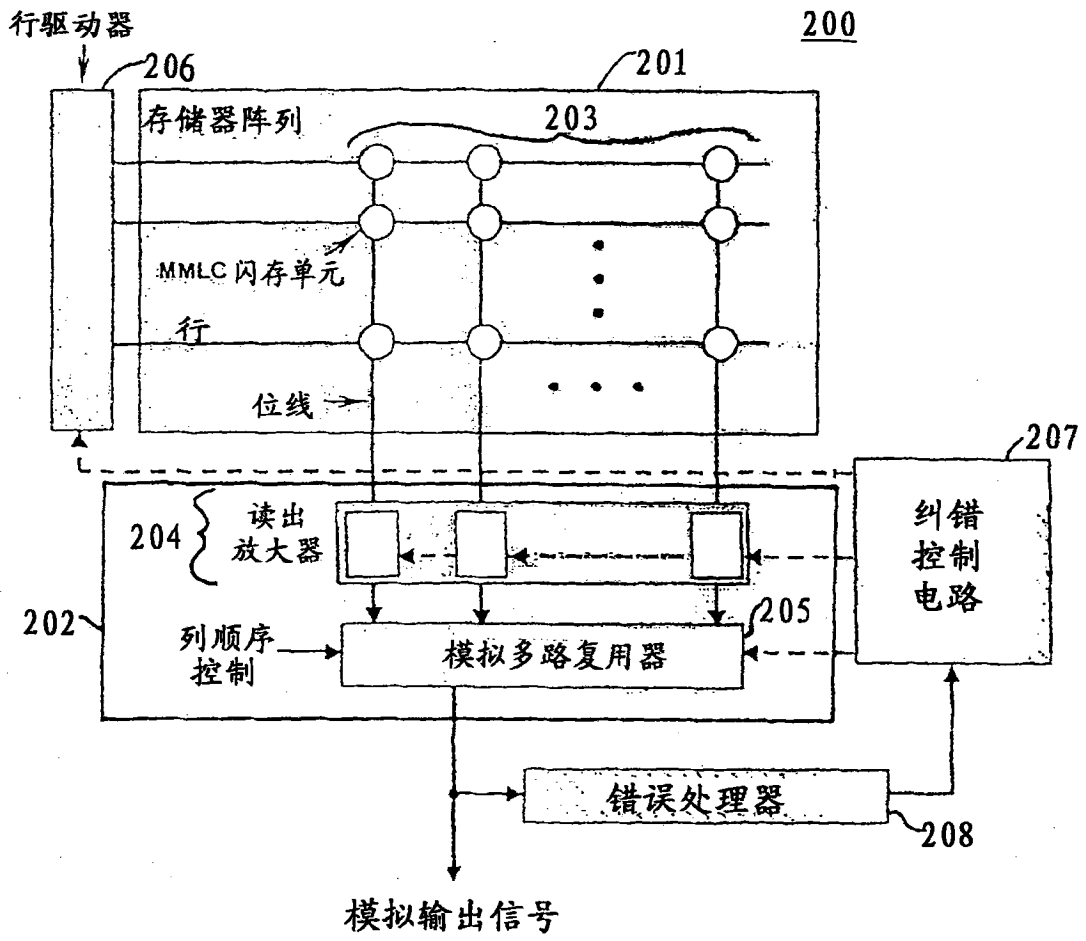


图 2

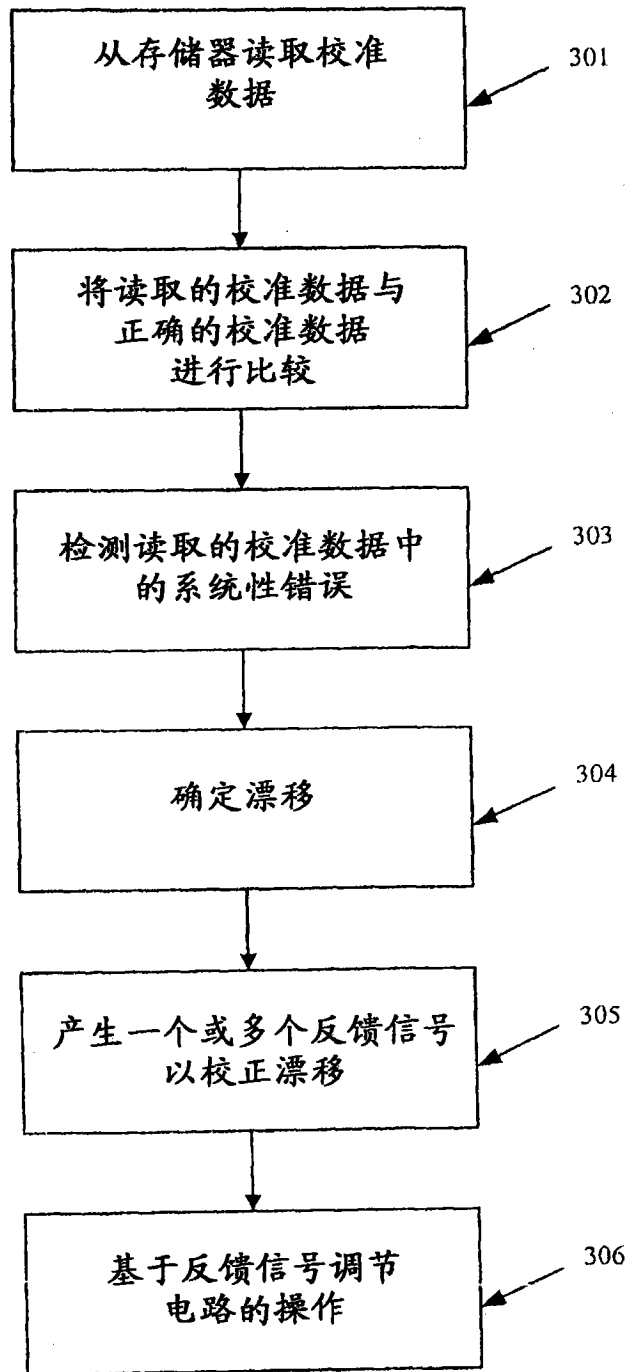


图 3