

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5879655号
(P5879655)

(45) 発行日 平成28年3月8日(2016.3.8)

(24) 登録日 平成28年2月12日(2016.2.12)

(51) Int. Cl. F I
HO4N 5/374 (2011.01) HO4N 5/335 740
HO4N 5/378 (2011.01) HO4N 5/335 780

請求項の数 8 (全 12 頁)

<p>(21) 出願番号 特願2013-508492 (P2013-508492) (86) (22) 出願日 平成23年5月4日(2011.5.4) (65) 公表番号 特表2013-529434 (P2013-529434A) (43) 公表日 平成25年7月18日(2013.7.18) (86) 国際出願番号 PCT/EP2011/057152 (87) 国際公開番号 W02011/138374 (87) 国際公開日 平成23年11月10日(2011.11.10) 審査請求日 平成26年5月1日(2014.5.1) (31) 優先権主張番号 10/01911 (32) 優先日 平成22年5月4日(2010.5.4) (33) 優先権主張国 フランス (FR)</p>	<p>(73) 特許権者 510170752 ウードゥヴェ セミコンダクターズ フランス、エフ-38120 サン テグ レーヴ、アヴェニュー ド ロシュブレン (74) 代理人 100071054 弁理士 木村 高久 (72) 発明者 ブニユ、アンリ フランス、エフ-38430 モアラン、 リュ ドゥ ドフィネ、14 (72) 発明者 タタ、アレクサンドル フランス、エフ-38000 グルノーブ ル、42 リュ モルティエ 審査官 久保 光宏</p>
--	---

最終頁に続く

(54) 【発明の名称】 サンプラ配列を有する画像センサ

(57) 【特許請求の範囲】

【請求項1】

P個の感光画素のN行を有し、信号積分機能を備えた走査画像センサであって、行ランクjの画素が、前記行の画素に共通な行アドレス指定導体(L_i)に接続された行選択入力(SEL_i)および各種行に属する同一ランクjのN個の画素に共通なランクjの列導体(C_{cj})に接続された出力を含むMOSトランジスタを用いた回路により形成されていて、前記センサが、列導体に対し、アドレス指定されている行のP個の画素における同一積分期間Tにわたり、一方ではP個のリセット電位を、他方では前記電荷積分に対応するP個のアナログ信号を毎回印加すべく前記N行の画素の各々を連続的にアドレス指定する回路(DEL1)を含み、前記センサが更に信号デジタル化回路を含んでいて、前記デジタル化回路が、N行P個の処理回路(MT2)を含み、

行ランクiおよび列ランクjの各処理回路が、ランクjの列導体に存在する信号の有相関2重サンプリングを実行する個別サンプラと、前記サンプリングされたアナログ信号のデジタル値を渡すためのアナログ/デジタル変換手段と、前の行ランクの処理回路により変換されたデジタル信号による積分期間Tに対応し、且つ前の積分期間にわたる同一画像点の観察に対応する信号を加算するデジタル加算手段とを含んでいて、全ての行について同一積分時間にわたる画像点の観察に対応し、

前記デジタル化回路が、各積分期間の終了時点で最終行の前記デジタル加算手段から内容を抽出する手段をさらに含む

ことを特徴とするセンサ。

【請求項 2】

前記サンブラが、リセット後の画素の保存ノードのリセット電位のサンプリング、および電荷を前記保存ノード内に転送した後の前記保存ノードの電位に対応する前記画素に対する有用信号レベルのサンプリングを含む有相関 2 重サンプリングを実行すべく構成されていて、前記リセット電位が、前記保存ノードからの電荷の排出に対応し、前記有用信号レベルが前記排出に続く前記保存ノードへの電荷の補充に対応していることを特徴とする、請求項 1 に記載の画像センサ。

【請求項 3】

前記リセットレベルがリセットパルス (R S T) により定義され、前記積分時間が前記保存ノードに電荷を転送するパルス (G T R A) により定義され、前記リセットパルスおよび前記転送パルスが前記 N 行の全ての画素に共通であることを特徴とする、請求項 2 に記載の画像センサ。

10

【請求項 4】

行ランク i および列ランク j の処理回路の前記デジタル加算手段が、前の積分期間に実行されたデジタル加算の結果を受け取るべく前の行ランク $i - 1$ の処理回路からの出力に接続されていて、前記デジタル加算手段が前記結果に現在のアナログ/デジタル変換から生じたデジタル値を加算すべく設計されていることを特徴とする、請求項 1 ~ 3 のいずれか 1 項に記載の画像センサ。

【請求項 5】

前記アナログ/デジタル変換手段が、各処理回路に比較器 (C M P $_{i, j}$) およびカウンタ (C P T $_{i, j}$) を含むランプ変換器であり、前記カウンタは、前記比較器の入力に線形電圧ランプが印加された場合に前記比較器が切替わるまで一定速度でカウントし、前記デジタル加算手段は、前のランクの処理回路により渡された値にカウンタを初期化すべく設計された前記カウンタのリセット入力であることを特徴とする、請求項 4 に記載の画像センサ。

20

【請求項 6】

行ランク i および列ランク j の補助回路のカウンタの出力が、行ランク $i + 1$ および列ランク j の処理回路のカウンタの入力に、積分期間に対応するアナログ/デジタル変換の前に、行ランク i および前の積分期間に対応する結果を渡すべく、前記入力に接続されることを特徴とする、請求項 5 に記載の画像センサ。

30

【請求項 7】

各画素が、フォトダイオード (P D)、電荷 (N D) 用の保存ノード、前記フォトダイオードから前記保存ノードへの電荷の転送を許す転送トランジスタ (T 1)、前記保存ノード (T 2) の電位をリセットするリセットトランジスタ、前記保存ノード内の電荷量を表す電位を生成するフォロワトランジスタ (T 3)、および前記フォロワトランジスタを前記列導体に接続する行選択トランジスタ (T 4) を含むことを特徴とする、請求項 1 ~ 6 のいずれか 1 項に記載の画像センサ。

【請求項 8】

前記マトリクスの前記リセットトランジスタの全てを同時にオンにする共通リセット信号 (R S T) を発信する手段と、前記マトリクスの前記転送トランジスタの全てを同時にオンにする共通転送信号 (G T R A) を発信する手段と、共通リセット命令の後、且つ共通転送命令の前に各行についてリセット電位のサンプリングを連続的に制御し、次いで前記転送命令の後で各行について有用電位のサンプリングを連続的に制御する手段とを含むことを特徴とする、請求項 7 に記載のセンサ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画像センサに関し、より具体的には、観察したシーンからの点のラインからなる画像が、当該シーンがセンサの前を行に垂直に移動するのに伴い当該シーンの同一ラインを連続的に観察する複数の感光行により取得された連続画像を追加することにより再形

50

成されるTDIセンサ(「Delay Integration linear sensors」の略)に関するが、これに限定されない。

【背景技術】

【0002】

これらのセンサは、例えば、衛星を利用した地球観測システムで用いられる。これらは感光画素を含む複数の平行な行を含み、各種の行を制御する回路(露出時間、次いで光生成電荷の読み取り時間を制御する)のシーケンシングが、当該センサの全ての行が観察したシーンの1ラインを認識するように、シーンとセンサの相対移動に関して同期化されている。生成された信号は次いで、観察したラインの各点毎に一点ずつ追加される。

【0003】

理論上の信号/ノイズ比は、センサの行数Nの平方根に比例する。この数は、用途(工業制御、地球観測、歯科用パノラマX線撮影、または乳房X線撮影)に応じて数行~約1000行の値を取り得る。

【0004】

CCD画像センサ(CCD:「Charge Coupled Device」)において、一点ずつの信号の追加は、前の行により生成された電荷を、シーンとセンサの相対移動に同期して画素の行に転送することにより、読み取りノイズ無しに自然に行なわれた。

【0005】

国際公開2008034794号パンフレットでは、CMOS技術に基づいて、能動画素がTDIモードで動作する画像センサを提供している。能動画素が電荷転送により動作せず、列導体上へ電圧を供給するため、行から行への電荷転送は生じない。画素の各種行により認識される同一画像ラインに対応する信号の追加を実行するために、アナログ/デジタル変換を用いて各画素の出力のデジタル表現を与えると共に、通過する間に連続的に画像点を認識したN個の画素から得られたN個のデジタル値が加算された。しかし、当該出願に記述する原理では、信号の読み取りを真性有相関2重サンプリングで実行することができず、暗い照明条件下での検出可能性が制約されるkTC型ノイズを伴う疑似相関2重サンプリングのみ可能であった。

【発明の概要】

【課題を解決するための手段】

【0006】

本発明の目的は、真性有相関2重サンプリングによる読み取り動作を許しながら、同時に全ての行に共通な積分時間を許すことにより上述の欠点を是正することである。この目的のため、センサが各行を連続的にアドレス指定することにより読み取られたP個の画素のN行を含んでいる場合、これらの画素送られたアナログ信号のサンプリングは、各々が個別のサンプリング回路を含むP個の処理回路のN行からなる補助マトリクスにより実行される。1行のP個の処理回路は各々、画素から送られた信号を1行ずつサンプリングできるように、P個の列導体のうち1個を入力として受け取る。リセット電位レベルが全ての列導体の上に1行ずつ連続的に配置されてN×P個のサンプリング回路内で1行ずつサンプリングされる。次いで、各画素のリセット電位レベルに関して参照される有用信号が列導体上に1行ずつ配置されて1行ずつサンプリングされる。サンプリング済み信号のアナログ/デジタル変換および変換済み信号のデジタル総和を個々の処理回路により実行することができる。

【0007】

更に、このような編成により、全ての行に共通な積分時間および真性有相関2重サンプリングの両方により相関を有する切換ノイズを最小化すべく動作可能な特性を有する(すなわち、画像移動および電荷積分無しに、従って総和無しに)瞬間的なマトリクス画像センサを形成することができる。

【0008】

その結果、本発明の一定義によれば、P個の感光画素のN行を有し、信号積分機能を備

10

20

30

40

50

えた走査画像センサを提供するものであり、行ランク j の画素が、当該行の画素に共通な行アドレス指定導体に接続された行選択入力および各種行に属する同一ランク j の N 個の画素に共通なランク j の列導体に接続された出力を含む MOS トランジスタを用いた回路により形成されていて、当該センサが、列導体に対し、アドレス指定されている行の P 個の画素における同一積分期間 T にわたり、一方では P 個のリセット電位を、他方では当該電荷積分に対応する P 個のアナログ信号を毎回印加すべく当該 N 行の画素の各々を連続的にアドレス指定する回路を含み、当該センサが更に信号デジタル化回路を含んでいて、当該デジタル化回路が、

- 行ランク i および列ランク j の各処理回路が、ランク j の列導体に存在する信号の有相関 2 重サンプリングを実行する個別サンプルを含んでいて、全ての行について同一積分時間10 にわたる画像点の観察に対応する P 個の処理回路の N 行と、

- サンプリングされたアナログ信号のデジタル値を渡すためのアナログ/デジタル変換手段と、

- 行ランク i および列ランク j の処理回路により変換されて、前の行ランクの処理回路により変換されたデジタル信号による積分期間 T に対応し、且つ前の積分期間にわたる同一画像点の観察に対応する信号を加算するデジタル加算手段と、

- 各積分期間の終了時点で最終行のデジタル加算手段から内容を抽出する手段とを含むことを特徴とする。

【 0 0 0 9 】

サンプルは、リセット後の画素の保存ノードの電位に対応するリセット電位のサンプリング、および電荷を保存ノード内に転送した後の保存ノードの電位に対応する有用電位のサンプリングを含む有相関 2 重サンプリングを実行すべく構成されていて、リセット電位は、保存ノードからの電荷の排出に対応し、有用信号レベルは当該排出に続く保存ノードへの電荷の補充に対応している。処理回路の一部を形成するサンプルは次いで好適には、画素のリセットトランジスタにリセットパルスが印加されたのに続いてリセット電位レベルを最初に、次いで転送トランジスタに印加された転送パルスに続いて信号レベルを保存する手段を含み、アナログ/デジタル変換手段は次いで、これら 2 レベル間の差を変換する。リセットパルスおよび転送パルスは当該 N 行の全ての画素に共通である。

【 0 0 1 0 】

好適な一実施形態において、各画素は MOS 技術を用いる能動画素であって、フォトダイオード、電荷保存ノード、フォトダイオードから保存ノードへの電荷の転送を可能にする転送トランジスタ、保存ノードの電位をリセットするリセットトランジスタ、保存ノード内の電荷量を表す電位を生成するフォロワトランジスタ、およびフォロワトランジスタを列導体に接続する行選択トランジスタを含んでいる。

【 0 0 1 1 】

センサは、マトリクスのリセットトランジスタの全てを同時にオンにする共通リセット信号 (RST) を発信する手段と、マトリクスの転送トランジスタの全てを同時にオンにする共通転送信号 ($GTRA$) を発信する手段と、共通リセット命令の後、且つ共通転送命令の前に各行についてリセット電位のサンプリングを連続的に制御し、次いで転送命令の後で各行について有用電位のサンプリングを連続的に制御する手段とを含んでいる。

【 0 0 1 2 】

行ランク i および列ランク j の処理回路のデジタル加算手段は好適には、前の積分期間に実行されたデジタル加算の結果を受け取るべく前の行ランク $i - 1$ の処理回路からの出力に接続されている。デジタル加算手段は当該結果に現在のアナログ/デジタル変換から生じたデジタル値を加算すべく設計されている。

【 0 0 1 3 】

アナログ/デジタル変換手段およびデジタル値加算手段は好適には、各種処理回路内で分散されていて、センサは、 P 個の処理回路の N 行の少なくとも 1 行から当該行の各画素で実行された加算の結果を抽出する出力回路を含んでいる。

【 0 0 1 4 】

10

20

30

40

50

物理的に、センサには、1画当たり素4個のトランジスタを有する感光画素のマトリクスと、当該画素マトリクスの外部に配置された処理回路のマトリクスとが並置されている。

【0015】

好適な一実施形態において、ランク i の画素の行から送られた信号のサンプリングをランク i の処理回路の行で再び実行可能にすべく、同一の行アドレス指定回路を画素の行のアドレス指定と処理回路のアドレス指定の両方に用いることができる。この場合、加算の結果は処理回路の最終行から系統的に抽出される。

【0016】

アナログ/デジタル変換手段は好適には、各処理回路に比較器およびカウンタを含むランプ変換器であり、カウンタは、比較器の入力に線形電圧ランプが印加された場合に比較器が切替わるまで一定速度でカウントする。カウンタは、変換すべきサンプリング済み信号に比例して増分される。デジタル加算手段は、前のランクの処理回路により渡された値にカウンタを初期化すべく設計されたカウンタのリセット入力である。

【0017】

行ランク i および列ランク j の補助回路のカウンタの出力は次いで、行ランク $i + 1$ および列ランク j の処理回路のカウンタの入力に、積分期間に対応するアナログ/デジタル変換の前に、行ランク i および前の積分期間に対応する結果を渡すべく、当該入力に接続される。

【0018】

列ランク j および行ランク i のデジタル化回路のカウンタは、アナログ/デジタル変換の開始前に、列ランク j および行ランク i のカウンタを、同一列ランクおよび前の行ランク $i - 1$ のカウンタに含まれる結果で初期化すべく、同一列ランクおよび前の行ランクのカウンタの出力に接続されたりセット入力を含んでいる。この結果、ランプ終端でのランク i の回路のカウンタの内容が、画素により受け取られた光の量、およびランク $i - 1$ のカウンタにより渡された前の内容（自身が前の加算で得られ、以下同様）の加算に対応することになる。

【0019】

本発明の他の特徴および利点は、添付の図面に関して以下に述べる詳細な説明を精査すれば明らかになる。

【図面の簡単な説明】

【0020】

【図1】本発明によるセンサの一般的アーキテクチャを示す。

【図2】4個のトランジスタを備えたCMOS画素の回路図を示す。

【図3】センサの動作タイミング図を示す。

【図4】ランク i, j の処理回路の基本構造を示す。

【図5】同一列内の処理回路の全体的な接続構造を、これらの回路が前の行および新規アナログ/デジタル変換の結果を加算すべく相互接続されている場合に示す。

【発明を実施するための形態】

【0021】

図1に、本発明による電荷積分機能を備えた走査デジタル画像センサの一般的アーキテクチャを見ることができる。本センサは、感光性を有する P 個の画素の N 行からなるマトリクス $MT1$ を含んでいる。 N 行の各々は、連続的に、センサに対して画像が移動する間に同一画像ラインを認識し、 N 行の信号が1画素ずつ同期的に加算される。これらの画素は、各々が一般に1個のフォトダイオードおよび数個のトランジスタを含むCMOS画素である。ランク i ($i = 1 \sim N$) の同一行の画素は、当該行の全ての画素を同時にアドレス指定可能にする行 L_i の同一導体に接続されている。ランク j ($j = 1 \sim P$) の列の画素は全て同一列導体 C_{c_j} に接続されている。行 L_i がアドレス指定された場合、当該行の各画素 $P_{i,j}$ は、所与の積分時間 T にわたり画素 $P_{i,j}$ の照射を表すアナログ信号をこれに印加すべく、対応する列導体 C_{c_j} に接続される。この目的のため、行導体 L_i

10

20

30

40

50

は行デコーダ $DEL1$ をアドレス指定するための信号を受け取る。列導体 C_{c_j} は、画素 $MT1$ のマトリクスからの出力導体を形成する。

【0022】

P 個の処理回路の M 行からなる第 2 のマトリクス $MT2$ は、画素 $MT1$ のマトリクスに関連付けられ、入力として列導体 C_{c_j} を有している。行ランク i および列ランク j の各処理回路 $C_{i,j}$ は基本サンブラブロックを含んでいる。サンブラブロックは、サンプリング対象アナログ信号を受け取るべく列導体 C_{c_j} に接続されている。サンブラブロックは、行デコーダ $DEL2$ から送られた行導体により行内でアドレス指定され、列導体に存在するアナログ信号を受け取るのはアドレス指定された行のサンブラブロックである。後述するように、ある場合にはデコーダ $DEL2$ はデコーダ $DEL1$ と同一であってよいが、サンブラの行が各々の新規積分期間に画素の異なる行から送られる電位レベルを受け取らなければならない場合にはデコーダは別々である。

10

【0023】

好適には、セル $C_{i,j}$ は各々、個別のサンブラブロックだけでなく基本アナログ/デジタル変換器および基本総和手段を含んでいる。

【0024】

P 個の出力セル（列と同じ個数）を含む出力回路 CS により、マトリクス $MT1$ のいくつかの行による同一画像ラインの連続的観察により得られた基本信号のいくつか追加した結果であるデジタル信号をマトリクス $MT2$ から抽出することができる。マトリクス $MT2$ から抽出された当該画像ラインの結果を出力 S で読み取ることができる。 P 個のセルが各々デジタル信号を出力 S を連続的に出力している状態で、出力は例えば直列モードで生成される。次の画像ラインの結果は、積分時間に等しい時間 T の経過後に周期的に抽出される。

20

【0025】

マトリクス $MT2$ 内でアドレス指定された行のサンプリングおよびアナログ/デジタル変換機能は、制御回路 $ADCCTRL$ により制御される。センサの動作の一般的なシーケンシングはシーケンシング回路 SEQ により提供される。

【0026】

マトリクス $MT1$ の画素の N 行により連続的に認識された同一画像ラインからの信号のデジタル蓄積を実行する 2 種類の一般的なシーケンシングを提供することができる。シーケンシング手順の一つは、マトリクス $MT1$ の行からマトリクス $MT2$ の行へのアナログ信号の伝達に円順列を、およびマトリクス $MT2$ の行から出力回路 CS への伝達に円順列を用いるものである。もう一方の、より好適な手順は円順列を使用しない。円順列によりシーケンシングを行なう場合、マトリクス $MT1$ の行のアドレス指定とは異なる仕方でマトリクス $MT2$ の行をアドレス指定するために、およびその内容を抽出して出力回路 CS に渡すべく円順列内の N 行から 1 行を指定するためにデコーダ $DEL2$ が必要とされる。

30

【0027】

順列を用いない好適なシーケンシングについて以下に述べる。

【0028】

画像ラインは、積分時間 T にわたり画素の第 1 行（ランク $i = 1$ ）により認識される。当該行のアナログ内容がマトリクス $MT2$ の第 1 行（ランク $i = 1$ ）に転送され、サンプリングおよびデジタル変換されて、当該行に保存される。

40

【0029】

次いで、期間 T に対応する距離増分だけ移動された後で、当該同一画像ラインはマトリクス $MT1$ の第 2 行（ $i = 2$ ）により認識される。当該第 2 行は、マトリクス $MT2$ の第 2 行に転送され、サンプリングされ、変換されて、既に第 1 行（ $i = 1$ ）に保存されている内容に追加される。この間、マトリクス $MT1$ の画素の第 1 行は第 2 の画像ラインを認識し、当該第 1 行の内容がマトリクス $MT2$ の第 1 行に再び転送される。

【0030】

本処理はこのように続けられ、各々の新規積分期間において画素のマトリクスのランク

50

i の各行がマトリクス $M T 2$ の同一ランク i の行に転送され、サンプリングされ、変換されて、行ランク $i - 1$ の前の内容に追加される。

【 0 0 3 1 】

第 N の積分期間の終了時点において、すなわち時間 $N \times T$ 経過後に、マトリクスのランク N の最終行は、マトリクス $M T 1$ の N 行により認識された第 1 の画像ラインに対応する信号の追加を含んでいる。

【 0 0 3 2 】

出力回路は、マトリクス $M T 2$ の第 N 行の内容を抽出して、当該内容をゼロにリセットする。

【 0 0 3 3 】

第 $(N + 1)$ 期間の終了時点で、マトリクス $M T 2$ の最終行は、マトリクスの N 行により認識された第 2 の画像ラインに対応する追加信号を含んでいる。当該内容は抽出されてゼロ等にリセットされる。

【 0 0 3 4 】

従って、マトリクス $M T 2$ への保存にアドレス指定の円順列は一切存在しない。転送は常にマトリクス $M T 1$ の行 i からマトリクス $M T 2$ の行 i へ向けて生じる。また、マトリクス $M T 2$ からの信号の抽出にも円順列は一切存在しない。抽出は常に行 N から生じる。このようなアドレス指定の簡略化とは対照的に、マトリクス $M T 2$ の任意の所与のランク i の行へ、行ランク $i - 1$ に既に保存されている内容を系統的に転送する必要がある。この転送は、積分時間 T に等しい期間に生じる。これは、各々の新規アナログ / デジタル変換の前に生じ、転送された内容（前の積分期間から生じた）が現在のアナログ / デジタル変換の結果に追加される。

【 0 0 3 5 】

サンプリング信号のタイミング図

本発明により、画素のマトリクスの N 行からのデジタル信号の蓄積をどのようにシーケンシングするかには拘わらず、画素の全ての行について同時に開始し、且つ全ての行について同時に終了する積分時間で動作する 4 乃至 5 個のトランジスタを備えた $C M O S$ 画素を用いることができる。また、以下に詳述するタイミング図により、真性有相関 2 重サンプリングを実行することができる。

【 0 0 3 6 】

2 重サンプリングが、リセットレベルおよび有用信号レベルを別々にサンプリングするものである点を想起されたい。真性有相関 2 重サンプリングとは、電荷を（画素内に）保存すべくノードの電位をリセットし、次いでリセットレベルをサンプリングし、次いでフォトダイオードにより積分時間 T にわたり積分された電荷を保存ノードに転送し、次いで結果的に生じた有用信号レベルをサンプリングし、最後に、2 個のサンプリング済み信号の差を求めることである。疑似相関 2 重サンプリングとは、最初に時間 T にわたり積分された電荷を保存ノードに転送し、次いで有用信号レベルをサンプリングし、保存ノードをリセットし、次いでリセットレベルをサンプリングし、最後に、2 個のサンプリング済み信号の差を求めることである。しかし、第 2 のケースでは、現在進行中の期間ではなく次の積分期間に用いるリセットレベルを比較に用いるため、真性有相関 2 重サンプリングとは見なされない。原理的には、リセットレベルは各期間を通じて同じであるが、リセットトランジスタに起因する $k T C$ 型のスイッチングノイズが存在し、当該ノイズは疑似相関 2 重サンプリングでは除去されない。

【 0 0 3 7 】

4 乃至 5 個のトランジスタを備えた画素の通常のマトリクスが、「回転シャッターモード」と呼ばれるモード、すなわち、積分時間が各種の行にわたり階段状に分布し、全ての行に共通ではないモードで動作する場合のみ、真性有相関 2 重サンプリングを可能にする点に注意することが重要である。5 個のトランジスタを備えた画素では通常、全ての行に共通な積分時間が可能である。しかし、この場合、真性有相関 2 重サンプリングは不可能であり、疑似相関 2 重サンプリングだけが実行可能である。本発明によれば、全ての行に共

10

20

30

40

50

通な積分時間および真性有相関2重サンプリングの両方により、4個のトランジスタ（露出時間を減らすために適宜5番目のトランジスタが設けられていてもよい）で動作することが可能である。

【0038】

図2に、4個のトランジスタ $T_1 \sim T_4$ および1個のフォトダイオードPDを備えたCMOS技術を用いる能動画素の構造を示す。ノードN1はフォトダイオードのカソードを表し、フォトダイオード内の光により生成された電荷を集める。転送トランジスタ T_1 は電荷を保存すべくノードN1をノードNDに接続する。トランジスタ T_1 は、積分時間Tの経過後にフォトダイオードに蓄積された電荷をフォトダイオードからノードNDに転送可能にする転送信号GTRAにより、短期間だけオンにされる。転送信号GTRAはマトリクス

10

【0039】

電荷NDの保存ノードは、前の積分期間中にノードNDに蓄積された電荷を排出すべくリセットトランジスタ T_2 により基準電位Vrefにリセットすることにより、当該ノードをリセット電位に戻すことができる。この目的のために、トランジスタ T_2 は、マトリクス

【0040】

保存ノードNDは更に、ドレインが基準電位Vref（または電力供給電圧Vdd等の別の固定電位）にあり、ソースがゲートにより想定された電位、すなわち保存ノードNDの電位に（ゲート/ソース電圧低下の範囲内で）合致するフォロワトランジスタ T_3 のゲートに接続されている。フォロワトランジスタ T_3 のソースは、行選択トランジスタ T_4 により、ランクjの列の全ての画素に共通な列導体 C_{c_j} に接続されている。行選択トランジスタ T_4 は、ランクiの行のアドレス指定信号であり、且つ当該行の全ての画素に共通である信号LSEL_iにより導通状態にされる。N個の行選択信号LSEL₁ ~ LSEL_Nが存在する。

20

【0041】

本発明で用いるタイミング図を図3に示す。

【0042】

短いリセット信号RSTが発信される。当該信号はマトリクスの全ての画素に共通であり、全ての画素の保存ノードをリセット電位レベルに戻す。

30

【0043】

次いで、画素マトリクスMT1の行1およびマトリクスMT2の行1が信号LSEL₁により選択される。列1の画素の保存ノードのリセットレベルが、マトリクスMT1をマトリクスMT2に接続する列導体に印加される。これらのリセットレベルは次いで、マトリクスMT2の行1のサンブラブロック内で、列1の全ての当該サンブラブロックに共通なサンプリング信号SHR1によりサンプリングされる。

【0044】

その後、信号LSEL₂ ~ LSEL_Nにより全ての行が順次連続的に選択され、行を選択する間、マトリクスMT2の対応する行の対応するリセットレベルがサンプリングされる。従って、マトリクスMT2の行iに固有の第1サンプリング信号SHR_iにより、選択信号LSEL_iによりアドレス指定されたマトリクスMT1の同一ランクiの行の画素から送られたリセットレベルが、ランクiの当該行においてサンプリング可能になる。

40

【0045】

この初期シーケンスの終了時点で、マトリクスMT2の各サンブラブロックはマトリクスMT1の各画素のリセットレベルを含んでいる。

【0046】

積分時間Tの終了（および次の期間の開始）を規定する短い転送信号GTRAが次いでマトリクスMT1全体に印加される。画素の保存ノードNDは、前の積分時間中に各々の照度に対応する量の電荷を受け取る。これらの電荷は、完全に空にされて新たな積分時間の準備ができていないフォトダイオードにより供給される。

50

【 0 0 4 7 】

マトリクスMT1、および同時にマトリクスMT2において、信号 $LSEL_1 \sim LSEL_N$ により、全ての行が再び順次連続的に選択され、有用信号の対応するレベルが毎回サンプリングされる。マトリクスMT2の行 i に固有の第2サンプリング信号 SHS_i により、選択信号 $LSEL_i$ によりアドレス指定されたマトリクスMT1の行 i の画素から送られた有用信号のレベルがマトリクスMT2の同一ランク i の行においてサンプリング可能になる。

【 0 0 4 8 】

当該シーケンスの終了時点で、マトリクスMT2の各サンブラブロックは、既に保存されているリセットレベル以外に、マトリクスMT1の各画素の有用信号レベルを含んでい

10

【 0 0 4 9 】

マトリクスMT2の処理回路 $C_{i,j}$ 内で実行されるアナログ/デジタル変換は、各画素用における有用信号レベルとリセットレベルの差のデジタル値を与える。この変換は、全ての画素について同時に実行される。この変換は、有用信号 SHS_N の最終サンプリングの後、且つ行RSTへ新規大域リセット信号を発信する前の積分時間中に実行される。アナログ/デジタル変換に要する時間の長さを図3の高パルスCONVで表す。以下に述べるようにカウンタを用いて変換を行なう場合、当該カウンタは変換対象の値に依存する期間にわたりクロックCLKの周波数でカウントする。変換の結果は、当該期間の終了時

20

【 0 0 5 0 】

変換の結果は、採用されたシーケンシングのモードに応じて、マトリクスMT2の同一処理回路 $C_{i,j}$ に既に保存されている結果、あるいは前の行内の同一ランク j の回路 $C_{i-1,j}$ に既に保存されている結果、のいずれかに追加される。ここでは、シーケンシングが円順列無しであって第2のケースが適用されるものとする。

【 0 0 5 1 】

当該変換が、カウンタを用いて変換の結果を与える場合、カウンタの内容の読み取りは好適には、カウンタの出力を次の行における同一ランク j のカウンタのリセット入力へ転送することにより当該カウンタが次の積分期間中に初期の非ゼロの内容から始まる。デジ

30

【 0 0 5 2 】

しかし、アナログ/デジタル変換CONVの終了後、且つ内容転送パルスSHIFT_ENの発信前に、求める積分結果を含むカウンタの最終行の内容が読み取られる（読み取りパルスREAD_N）。

【 0 0 5 3 】

図4に、処理回路自体が個々のランプアナログ/デジタル変換器を使用する、マトリクスMT2の行 i 内のランク j の処理回路 $C_{i,j}$ の基本的回路図を示す。当該変換器は、

40

【 0 0 5 4 】

本例におけるランク i,j のサンブラブロックは、2個の保存容量 $CR_{i,j}$ および $CS_{i,j}$ を含んでいて、第1のサンブラブロックは第1サンプリング信号 SHR_i 時点において列導体 C_{c_j} に存在するリセットレベルを保存するためにあり、第2のサンブラブロックは第2のサンプリング信号 SHS_i 時点において同一導体に存在する有用信号レベルを保存するためにある。

【 0 0 5 5 】

第1のコンデンサ $CR_{i,j}$ は、基準電位CLMPである端子を有している。第2のコ

50

ンデンサ $C S_{i,j}$ は、電位 $C L M P$ から始めてランプ発生器（図示せず）から、電圧ランプ（原理的に線形）を受け取る端子 $R M P$ に接続された端子を有している。カウンタ $C P T_{i,j}$ は、マトリクス全体に共通なクロック $C L K$ が与える一定周波数でカウントする。

【 0 0 5 6 】

カウンタは、ランプが上昇し始めるのと同時にカウントを開始する。制御信号 $C O U N T_E N$ は変換（図 3 の $C O N V$ ）の開始を規定し、カウンタによるカウントおよびランプの開始の両方を起動するために用いる。カウンタの停止は、比較器の出力から送られた信号 $S T O P$ により起動される。ランプのレベルが、比較器の 2 個の入力の電位を等しくするものである場合、比較器 $C M P_{i,j}$ はカウント動作を切替えて中断する。停止時点でのカウンタの内容は、ランプがあるレベルに達するのに要した時間に比例し、当該時間は、コンデンサ $C S_{i,j}$ に保存された有用信号とコンデンサ $C R_{i,j}$ に保存されたりリセット信号の差に比例する（ランプが線形の場合）。有用信号の電位は、基準電位 $C L M P$ よりも大きい負値であり、上昇電圧ランプが用いられる。下降ランプを他のコンデンサの足に印加することができる。

10

【 0 0 5 7 】

カウンタは、クロック入力（ $C L K$ ）、開始入力 $C O U N T_E N$ 、カウント停止入力（ $S T O P$ ）、初期内容を受け取るための入力 $S H I F T_I N$ （円順列を用いるシーケンシングの場合はゼロリセット入力）、初期内容のロードを許可する入力 $S H I F T_E N$ 、および最後に、当該カウンタの内容を次の行のカウンタに渡す出力 $S H I F T_O U T$ を含んでいる。最終行では、出力 $S H I F T_O U T$ は、同一画像ラインの N 個のビューの蓄積結果を出力回路 $C S$ に渡す。第 1 行では、円順列無しのシーケンシングの場合は第 1 行が各々の新規変換の前にゼロにリセットされる必要があるため、入力 $S H I F T_I N$ は当該カウンタのゼロリセット値を受け取る。

20

【 0 0 5 8 】

図 5 に、アナログ / デジタル変換が上述のように行われた場合のマトリクス $M T 2$ の一般的な編成を示す。

【 0 0 5 9 】

本画像センサの重要な利点が、マトリクスの全ての行に共通な積分時間および真性有相関 2 重サンプリングの両方を用いて動作可能な（信号走査および積分モードでは動作しない）瞬時画像センサとして使用できる点であることに注意されたい。この場合、デジタル総和および順列の手段が無くてもよく、図 3 のタイミング図を用いて、但しランク N の行だけでなくマトリクス $M T 2$ の全ての行を読み取ることにより、持続期間 T の各サンプリング期間の終了時点でデジタル化された信号の全体をマトリクス $M T 2$ から抽出すれば十分である。無論、この場合、アドレス指定の順列は存在せず、マトリクス $M T 1$ のランク i の行が、マトリクス $M T 2$ の同一ランクの行内で系統的にサンプリングされる。

30

【 0 0 6 0 】

画像センサが走査および電荷積分モードで動作する場合、マトリクス $M T 2$ の全てのサンブラブロックおよび全てのアナログ / デジタル変換器により、特に、変換に用いた比較器のオフセット誤差が N 行にわたり平均化されるように、同一画像ラインが読み取られて連続的に変換される点に注意されたい。

40

【 図 1 】

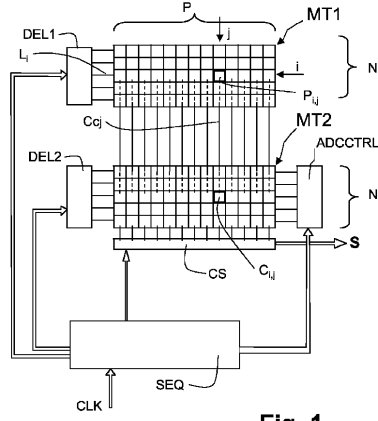


Fig. 1

【 図 2 】

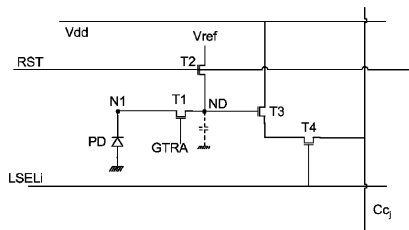


Fig. 2

【 図 3 】

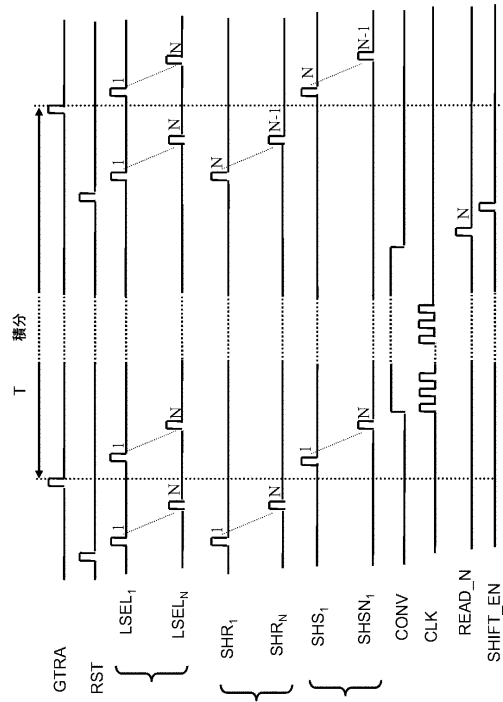


図 3

【 図 4 】

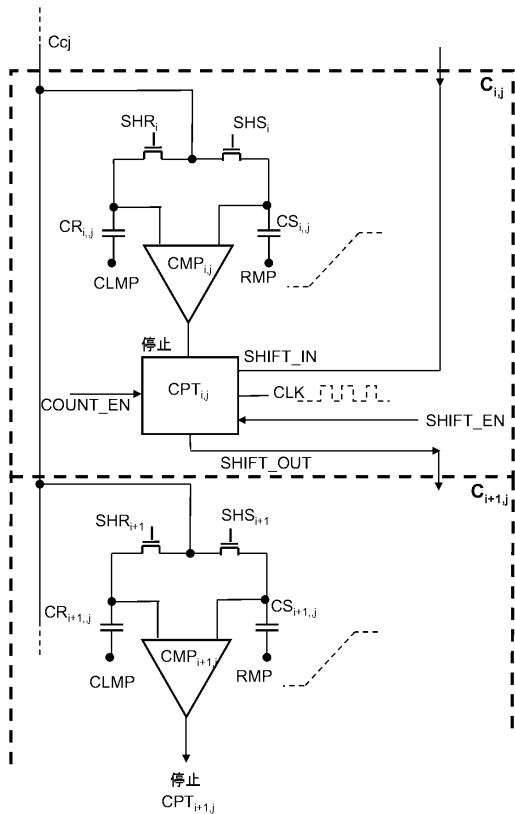


図 4

【 図 5 】

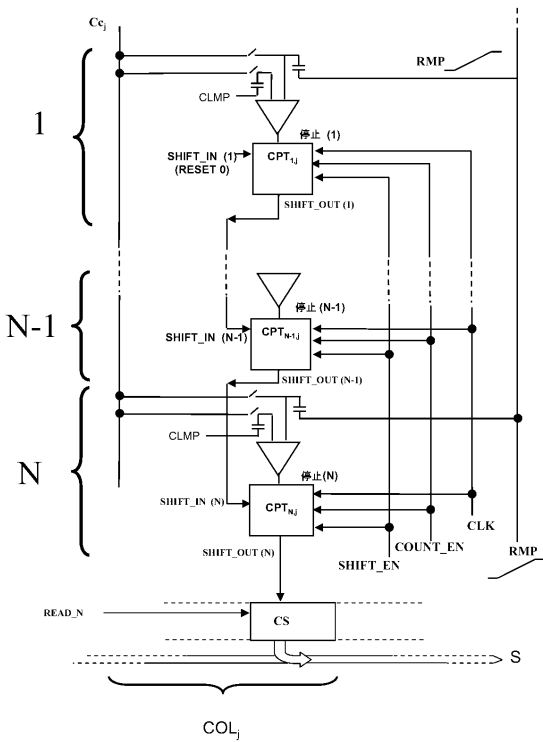


図 5

フロントページの続き

- (56)参考文献 米国特許出願公開第2008/0079830(US, A1)
国際公開第2008/034794(WO, A1)
特開2008-241718(JP, A)
米国特許出願公開第2009/0256735(US, A1)
特開2010-45541(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N5/30-5/378,
H01L27/14-27/148