(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 3 月 18 日(18.03.2010)

PCT

(10) 国際公開番号
WO 2010/029795 A1

(51) 国際特許分類:
G09G 3/30 (2006.01) *H01L 51/50* (2006.01)
G09G 3/20 (2006.01)

(21) 国際出願番号: PCT/JP2009/060034

(22) 国際出願日: 2009 年 6 月 2 日(02.06.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-231807 2008 年 9 月 10 日(10.09.2008) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岸　宣孝 (KISHI, Noritaka).

(74) 代理人: 島田　明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町１丁目１０番３号 萬盛庵ビル　島田特許事務所 Nara (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

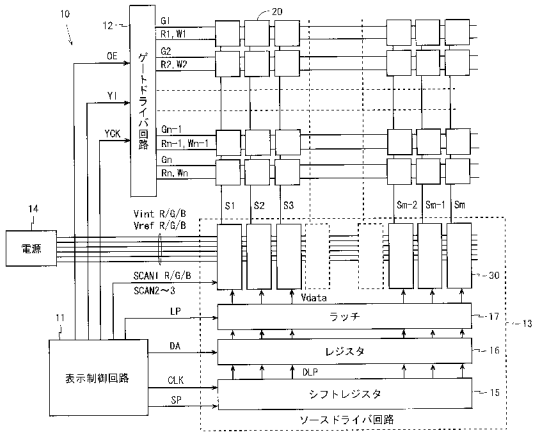
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: DISPLAY DEVICE AND METHOD FOR DRIVING THE SAME

(54) 発明の名称 : 表示装置およびその駆動方法

[図1]



14 POWER SOURCE
12 GATE DRIVER CIRCUIT
11 DISPLAY CONTROL CIRCUIT
17 LATCH
16 REGISTER
15 SHIFT REGISTER
13 SOURCE DRIVER CIRCUIT

(57) **Abstract**: A pixel circuit (20) includes: an organic EL element (25), a drive TFT (21), and a switching TFT (23) arranged between a gate and a source of the drive TFT (21). While writing to the pixel circuit (20), an initial voltage is applied to the gate terminal of the drive TFT (21) and the switching TFT (23) is controlled to be temporarily conductive while the drive TFT (21) is in a conductive state. A data voltage corrected by using the gate terminal potential of the drive TFT (21) at that moment is applied to the gate terminal of the drive TFT (21). A human being has a high sensitivity for a chromaticity difference of the blue color but a low sensitivity for a chromaticity difference of the green color. An initial voltage Vint_B having a highly accurate threshold value correction for the pixel circuit of the blue color while an initial voltage Vint_G having a low power consumption is used for the pixel circuit of the green color. This, it is possible to provide a current drive type color display device exhibiting a high image quality and requiring a low power consumption.

(57) 要約: 画素回路２０は、有機ＥＬ素子２５と、駆動用ＴＦＴ２１と、駆動用ＴＦＴ２１のゲートーソース間に設けられたスイッチ用ＴＦＴ２３を含む。画素回路２０への書き込み時には、駆動用ＴＦＴ２１のゲート端子に初期電圧を印加し、駆動用ＴＦＴ２１が導通状態である間にスイッチ用ＴＦＴ２３を一時的に導通状態に制御し、そのときの駆動用ＴＦＴ２１のゲート端子電位を用いて補正されたデータ電圧を駆動用ＴＦＴ２１のゲート端子に印加する。人間は青色の色度の違いには敏感であるが、緑色の色度の違いには鈍感である。青色用の画素回路には閾値補正の精度が高くなる初期電圧Ｖｉｎｔ＿Ｂを使用し、緑色用の画素回路には消費電力が低くなる初期電圧Ｖｉｎｔ＿Ｇを使用する。これにより、高画質で低消費電力の電流駆動型カラー表示装置を提供する。

WO 2010/029795 A1

明　細　書

発明の名称 ： 表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置に関し、より特定的には、有機ＥＬディスプレイやＦＥＤなどの電流駆動素子を用いた表示装置およびその駆動方法に関する。

背景技術

[0002] 近年、薄型、軽量、高速応答可能な表示装置の需要が高まり、これに伴い、有機ＥＬ（Electro Luminescence）ディスプレイやＦＥＤ（Field Emission Display）に関する研究開発が活発に行われている。

[0003] 有機ＥＬディスプレイに含まれる有機ＥＬ素子は、印加される電圧が高く、流れる電流が多いほど、高い輝度で発光する。ところが、有機ＥＬ素子の輝度と電圧の関係は、駆動時間や周辺温度などの影響を受けて容易に変動する。このため、有機ＥＬディスプレイに電圧制御型の駆動方式を適用すると、有機ＥＬ素子の輝度のばらつきを抑えることが非常に困難になる。これに対して、有機ＥＬ素子の輝度は電流にほぼ比例し、この比例関係は周辺温度などの外的要因の影響を受けにくい。したがって、有機ＥＬディスプレイには電流制御型の駆動方式を適用することが好ましい。

[0004] 一方、表示装置の画素回路や駆動回路は、アモルファスシリコン、低温多結晶シリコン、ＣＧ（Continuous Grain）シリコンなどで構成されたＴＦＴ（Thin Film Transistor：薄膜トランジスタ）を用いて構成される。ところが、ＴＦＴの特性（例えば、閾値電圧や移動度）には、ばらつきが生じやすい。そこで、有機ＥＬディスプレイの画素回路にはＴＦＴの特性のばらつきを補償する回路が設けられ、この回路の作用により有機ＥＬ素子の輝度のばらつきが抑えられる。

[0005] 電流駆動型の駆動方式においてＴＦＴの特性のばらつきを補償する方式は、駆動用ＴＦＴに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される

。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧のばらつきのみを補償することができる。

[0006] ところが、電流プログラム方式には、第１に、非常に微少な量の電流を扱うので画素回路や駆動回路の設計が困難である、第２に、電流信号を設定する間に寄生容量の影響を受けやすいので大面積化が困難であるという問題がある。これに対して、電圧プログラム方式では、寄生容量などの影響は軽微であり、回路設計も比較的容易である。また、移動度のばらつきが電流量に与える影響は、閾値電圧のばらつきが電流量に与える影響よりも小さく、移動度のばらつきはＴＦＴ作製工程である程度抑えることができる。したがって、電圧プログラム方式を適用した表示装置でも、十分な表示品位が得ることができる。

[0007] 電流駆動型の駆動方式を適用した有機ＥＬディスプレイについては、従来から、以下に示す画素回路が知られている。図１４は、特許文献１に記載された画素回路と出力スイッチの回路図である。図１４において、画素回路１２０はトランジスタＴ１～Ｔ４、有機ＥＬ素子ＯＬＥＤおよびコンデンサＣｓを備え、出力スイッチ１２１はトランジスタＴ５～Ｔ８およびコンデンサＣ１を備えている。画素回路１２０は、電源配線Ｖｐ、共通陰極Ｖｃｏｍ、走査線Ｇ１ｉ、Ｇ２ｉおよびデータ線Ｓｊに接続される。トランジスタＴ５～Ｔ８の一端には、それぞれ、電圧Ｖ０、データ電圧Ｖｄａｔａ、閾値補正電圧Ｖｐｒｅおよび電圧Ｖａが印加される。電圧Ｖａは、トランジスタＴ３の閾値電圧に近い電圧である。

[0008] 画素回路１２０は、図１５に示すタイミングチャートに従って動作する。図１５に示すように、閾値電圧書き込み期間の前半では、トランジスタＴ１、Ｔ２、Ｔ５、Ｔ７は導通状態になり、トランジスタＴ４、Ｔ６、Ｔ８は非導通状態になる。このとき、データ線Ｓｊには閾値補正電圧Ｖｐｒｅが印加され、トランジスタＴ３のゲート端子とドレイン端子にも同じ電圧が印加される。閾値電圧書き込み期間の後半では、トランジスタＴ７は非導通状態に

なる。このとき、コンデンサＣｓに蓄積されていた電荷はトランジスタＴ１～Ｔ３を経由して放電され、トランジスタＴ３のゲート端子電位はトランジスタＴ３の閾値電圧に応じたレベルＶｔまで上昇する。また、閾値電圧書き込み期間の後半では、トランジスタＴ８が所定の時間だけ導通状態になる。これにより、データ線Ｓｊには浮遊容量Ｃｆを充電するための電圧Ｖａが印加され、トランジスタＴ３のゲート端子電位は短時間でＶｔに到達する。

[0009] 表示データ電圧書き込み期間では、トランジスタＴ２、Ｔ６は導通状態になり、トランジスタＴ１、Ｔ４、Ｔ５、Ｔ７、Ｔ８は非導通状態になる。閾値電圧書き込み期間から表示データ電圧書き込み期間に遷移するときに、コンデンサＣ１の電極間電圧は変化しない。このため、コンデンサＣ１の一方の電極（トランジスタＴ５、Ｔ６に接続された電極）の電位がＶ０からＶｄａｔａに変化すると、コンデンサＣ１の他方の電極の電位も同じ量だけ変化する。これにより得られた電位（Ｖｔ＋Ｖｄａｔａ－Ｖ０）は、トランジスタＴ２を介してトランジスタＴ３のゲート端子に印加される。

[0010] 発光期間では、トランジスタＴ４は導通状態になり、トランジスタＴ１、Ｔ２、Ｔ５～Ｔ７は非導通状態になる。表示データ電圧書き込み期間から発光期間に遷移するときに、コンデンサＣｓはトランジスタＴ３のゲートーソース間電圧を保持する。このため、発光期間では、トランジスタＴ３のゲート端子電位は（Ｖｔ＋Ｖｄａｔａ－Ｖ０）のままである。トランジスタＴ３を流れる電流の量はゲートーソース間電圧によって定まり、有機ＥＬ素子ＯＬＥＤはトランジスタＴ３を流れる電流の量に応じた輝度で発光する。トランジスタＴ３を流れる電流の量はトランジスタＴ３の閾値電圧に依存しないので、有機ＥＬ素子ＯＬＥＤはトランジスタＴ３の閾値電圧に依存しない輝度で発光する。

[0011] このように画素回路１２０を図１５に示す方法で駆動することにより、画素回路１２０の内部に閾値補正用のコンデンサを設けることなく、トランジスタＴ３のゲート端子にトランジスタＴ３の閾値電圧に応じた電位を印加し、トランジスタＴ３の閾値電圧にかかわらず、有機ＥＬ素子ＯＬＥＤを所望

の輝度で発光させることができる。

[0012] 図１６は、特許文献２に記載された画素回路の回路図である。図１６に示す画素回路１３０は、トランジスタＭ１～Ｍ６、有機ＥＬ素子ＯＬＥＤおよびコンデンサＣｓｔを備えている。画素回路１３０は、電源配線Ｖｐ、共通陰極Ｖｃｏｍ、初期電圧Ｖｉｎｔが印加されたプリチャージ線、走査線ＧＡｉ、ＧＢｉおよび制御線Ｅｉに接続される。画素回路１３０は、図１３（後述）に示すタイミングチャートに従って動作する。画素回路１３０の動作は、本発明の第２の実施形態に係る画素回路の動作と同様であるので、ここではその説明を省略する。画素回路１３０を図１３に示す方法で駆動することにより、トランジスタＭ１のゲート端子にトランジスタＭ１の閾値電圧に応じた電位を印加し、トランジスタＭ１の閾値電圧にかかわらず、有機ＥＬ素子ＯＬＥＤを所望の輝度で発光させることができる。

[0013] なお、上記以外にも有機ＥＬディスプレイの例は、本出願と出願人および発明者が共通する別の出願（国際特許出願ＰＣＴ／２００７／６９１８４、出願日２００７年１０月１日、優先日２００７年３月８日）にも記載されている。

先行技術文献

特許文献

[0014] 特許文献1：日本国特開２００５－３５２４１１号公報

特許文献2：日本国特開２００７－１３３３６９号公報

発明の概要

発明が解決しようとする課題

[0015] ところで、従来から知られているように、人間が有する色の判別力は色によって異なる。図１７は、マッカダムの色度判別閾を示す図である。図１７には、ｘｙ色度座標上に複数の楕円が描かれている。各楕円は、人間が同じ色度と判別する範囲を示す（ただし、図面を見やすくするために、楕円は実際の１０倍の大きさで描かれている）。人間は、小さい楕円の近傍では色度

の違いに敏感であり、大きい楕円の近傍では色度の違いに鈍感である。図１７から分かるように、人間は、赤色、緑色および青色の中では、青色の色度の違いに最も敏感であり、次に赤色の色度の違いに敏感であり、緑色の色度の違いには最も鈍感である。

[0016] 上述した有機ＥＬディスプレイでは、有機ＥＬ素子に流れる電流の量を制御する駆動素子（図１４ではトランジスタＴ３、図１６ではトランジスタＭ１）の閾値補正を行うときに、駆動素子のゲート端子に所定の初期電圧（図１４ではＶｐｒｅ、図１６ではＶｉｎｔ）が印加される。このときに駆動素子のゲートーソース間電圧の絶対値が大きくなる初期電圧を印加すれば、閾値補正の精度は高くなり画質は向上するが、信号線の充放電による消費電力は増大する。一方、駆動素子のゲートーソース間電圧の絶対値が小さくなる初期電圧を印加すれば、消費電力は減少するが、閾値補正の精度は低くなり画質は低下する。このように初期電圧を決定するときに、画質と消費電力はトレードオフの関係にある。

[0017] 従来のカラー表示を行う有機ＥＬディスプレイでは、装置全体で１種類の初期電圧が使用され、初期電圧は例えばある色を基準として決定される。緑色を基準として初期電圧を決定した場合、閾値補正の精度は低くて済むので、駆動素子のゲートーソース間電圧の絶対値は小さくなり、消費電力は減少する。ところが、緑色よりも敏感に判別可能な青色や赤色では閾値補正の精度が不十分となるので、青色や赤色では色のばらつきが目立ち、画質が低下する。一方、青色を基準として初期電圧を決定した場合、駆動素子のゲートーソース間電圧の絶対値は大きくなり、すべての色について駆動素子の閾値補正を高い精度で行うことができる。ところが、青色よりも鈍感にしか判別できない緑色や赤色についても青色と同じ初期電圧を使用するために、消費電力は必要以上に増大する。

[0018] それ故に、本発明は、高画質で低消費電力の電流駆動型カラー表示装置を提供することを目的とする。

課題を解決するための手段

[0019] 本発明の第１の局面は、カラー表示を行う電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第１の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第２の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも２種類の画素回路間で異なることを特徴とする。

[0020] 本発明の第２の局面は、本発明の第１の局面において、

前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、

前記３種類の画素回路の中では前記緑色用の画素回路において、前記補償用スイッチング素子の導通期間に前記補償用スイッチング素子を流れる電流が最小となるように、前記初期電位差が設定されていることを特徴とする。

[0021] 本発明の第３の局面は、本発明の第１の局面において、

前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、

前記３種類の画素回路の中では前記青色用の画素回路において、前記補償用スイッチング素子の導通期間に前記補償用スイッチング素子を流れる電流が最大となるように、前記初期電位差が設定されていることを特徴とする。

[0022] 本発明の第４の局面は、本発明の第１の局面において、

前記画素回路は、前記データ線と前記駆動素子の制御端子との間に設けられた書き込み用スイッチング素子をさらに含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記初期電位差が与えられるように、少なくとも２種類の画素回路間で異なる初期電圧を前記データ線に印加することを特徴とする。

[0023] 本発明の第５の局面は、本発明の第４の局面において、

前記駆動回路は、前記データ線に対応した容量を含み、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を導通状態に制御したままで、前記容量の第１の電極を前記データ線に接続し、前記容量の第２の電極に印加する電圧を参照電圧から前記データ電圧に切り替えることを特徴とする。

[0024] 本発明の第６の局面は、本発明の第５の局面において、

前記参照電圧は、少なくとも２種類の画素回路間で異なることを特徴とする。

[0025] 本発明の第７の局面は、本発明の第１の局面において、

前記画素回路は、第１の電極が前記駆動素子の制御端子に接続された容量と、前記容量の第２の電極と前記データ線との間に設けられた書き込み用スイッチング素子と、前記容量の２個の電極に所定の初期電圧を印加するか否かを切り替える初期化用スイッチング素子とを含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記データ線に前記データ電圧を印加すると共に、前記容量の第１の電極に前記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を非導通状態に制御すると共に、前記容量の第２の電極に前記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、

前記初期電圧は、前記初期電位差が与えられるように、少なくとも２種類の画素回路間で異なることを特徴とする。

[0026] 本発明の第８の局面は、本発明の第１の局面において、

前記駆動素子の第２の導通端子には、前記初期電位差が与えられるように、少なくとも２種類の画素回路間で異なる電源電圧が印加されることを特徴とする。

[0027] 本発明の第９の局面は、複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第１の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路を有する表示装置の駆動方法であって、

前記走査線を用いて書き込み対象の画素回路を選択するステップと、

選択した画素回路について、前記駆動素子の制御端子と第２の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御するステップと、

選択した画素回路について、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加するステップとを備え、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも２種類の画素回路間で異なることを特徴とする。

発明の効果

[0028] 本発明の第１または第９の局面によれば、駆動素子の閾値補正を行うときに、駆動素子の制御端子と第２の導通端子との間に表示色に応じて異なる初期電位差を与えることができる。このため、人間が色度の違いに敏感な色（例えば、青色）については、大きな初期電位差を与えて閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な色（例えば、緑色）については、小さな初期電位差を与えて信号線の過剰な充放電を減らし、消費電力を削減することができる。このように、駆動素子の制御端子と第２の導通端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替えることにより、画質を高くし、消費電力を削

減することができる。

[0029] 本発明の第２の局面によれば、補償用スイッチング素子の導通期間に補償用スイッチング素子を流れる電流は青色用の画素回路で最大となるので、人間が色度の違いに敏感な青色について駆動素子の閾値補正を行うときに、閾値補正を高い精度で行い、画質を高くすることができる。

[0030] 本発明の第３の局面によれば、補償用スイッチング素子の導通期間に補償用スイッチング素子を流れる電流は緑色用の画素回路で最小となるので、人間が色度の違いに鈍感な緑色について駆動素子の閾値補正を行うときに、信号線の過剰な充放電を減らし、消費電力を削減することができる。

[0031] 本発明の第４の局面によれば、駆動素子の閾値補正を行うときに、書き込み用スイッチング素子を導通状態に制御し、少なくとも２種類の画素回路間で異なる初期電圧をデータ線に印加することにより、駆動素子の制御端子と第２の導通端子との間に表示色に応じて異なる初期電位差を与え、画質を高くし、消費電力を削減することができる。

[0032] 本発明の第５の局面によれば、補償用スイッチング素子の導通期間終了後に、駆動素子の制御端子電位を駆動回路内の容量の第１の電極に印加し、容量の第２の電極に印加する電圧を参照電圧からデータ電圧に切り替えることにより、補償用スイッチング素子の導通期間終了時における駆動素子の制御端子電位を用いて補正されたデータ電圧を駆動素子の制御端子に印加することができる。したがって、画素回路内に閾値補正用の容量を設けることなく、駆動素子の閾値補正を行うことができる。

[0033] 本発明の第６の局面によれば、少なくとも２種類の画素回路間で異なる参照電圧を使用することにより、データ電圧のゼロ点を揃えることができる。

[0034] 本発明の第７の局面によれば、書き込み用スイッチング素子を導通状態に制御し、データ線にデータ電圧を印加することにより、データ線を経由して駆動素子の制御端子にデータ電圧を印加することができる。また、初期化用スイッチング素子を制御して画素回路内の容量の２つの電極に順に初期電圧を印加することにより、補償用スイッチング素子の導通期間終了時における

駆動素子の制御端子電位を用いて補正されたデータ電圧を駆動素子の制御端子に印加し、駆動素子の閾値補正を行うことができる。この際に少なくとも２種類の画素回路間で異なる初期電圧を用いることにより、駆動素子の制御端子と第２の導通端子との間に表示色に応じて異なる初期電位差を与え、画質を高くし、消費電力を削減することができる。

[0035] 本発明の第８の局面によれば、少なくとも２種類の画素回路間で異なる電源電圧を駆動素子の第２の導通端子に印加することにより、駆動素子の閾値補正を行うときに、駆動素子の制御端子と第２の導通端子との間に表示色に応じて異なる初期電位差を与え、画質を高くし、消費電力を削減することができる。

図面の簡単な説明

[0036] [図1]本発明の第１の実施形態に係る表示装置の構成を示すブロック図である。

[図2]図１に示す表示装置に含まれる画素回路の回路図である。

[図3]図１に示す表示装置に含まれる出力回路の回路図である。

[図4]図１に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

[図5]ダイオード接続されたＴＦＴにおけるゲートーソース間電圧の時間的変化の例を示す図である。

[図6]参考例に係る表示装置の構成を示すブロック図である。

[図7]図６に示す表示装置に含まれる画素回路の回路図である。

[図8]本発明の第１の実施形態の変形例に係る表示装置の構成を示すブロック図である。

[図9]図８に示す表示装置に含まれる画素回路の回路図である。

[図10]図８に示す表示装置に含まれる出力回路の回路図である。

[図11]本発明の第２の実施形態に係る表示装置の構成を示すブロック図である。

[図12]図１１に示す表示装置に含まれる画素回路の回路図である。

[図13]図１１に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

[図14]従来の表示装置（第１の例）に含まれる画素回路と出力スイッチの回路図である。

[図15]図１４に示す画素回路の駆動方法を示すタイミングチャートである。

[図16]従来の表示装置（第２の例）に含まれる画素回路の回路図である。

[図17]マッカダムの色度判別閾を示す図である。

発明を実施するための形態

[0037] 図１～図１３を参照して、本発明の実施形態に係る表示装置について説明する。以下に示す表示装置は、電気光学素子や複数のスイッチング素子を含む画素回路を備えている。画素回路に含まれるスイッチング素子は、低温ポリシリコンＴＦＴやＣＧシリコンＴＦＴやアモルファスシリコンＴＦＴなどで構成することができる。これらＴＦＴの構成や作成プロセスは公知であるため、ここではその説明を省略する。また、画素回路に含まれる電気光学素子は、有機ＥＬ素子であるとする。有機ＥＬ素子の構成も公知であるので、ここではその説明を省略する。以下、ｍは３の倍数、ｎは２以上の整数、ｉは１以上ｎ以下の整数、ｊは１以上ｍ以下の整数、ｋは１以上（ｍ／３）以下の整数であるとする。

[0038] （第１の実施形態）

図１は、本発明の第１の実施形態に係る表示装置の構成を示すブロック図である。図１に示す表示装置１０は、表示制御回路１１、ゲートドライバ回路１２、ソースドライバ回路１３、電源１４、および、（ｍ×ｎ）個の画素回路２０を備え、ＲＧＢ３色によるカラー表示を行う。

[0039] 表示装置１０には、互いに平行なｎ本の走査線Ｇｉと、これに直交する互いに平行なｍ本のデータ線Ｓｊとが設けられる。画素回路２０は、走査線Ｇｉとデータ線Ｓｊの各交差点に対応してマトリクス状に配置されている。また、走査線Ｇｉと平行に、互いに平行な制御線Ｗｉ、Ｒｉがｎ本ずつ配置されている。走査線Ｇｉと制御線Ｗｉ、Ｒｉはゲートドライバ回路１２に接続

され、データ線Ｓｊはソースドライバ回路１３に接続されている。さらに、画素回路２０の配置領域には、電源配線Ｖｐと共通陰極Ｖｃｏｍ（いずれも図示せず）が配置されている。以下、走査線Ｇｉが伸延する方向（図１では横方向）を行方向、データ線Ｓｊが伸延する方向（図１では縦方向）を列方向という。

[0040] 画素回路２０は、赤色を表示するもの、緑色を表示するもの、および、青色を表示するものに分類される（以下、それぞれ、Ｒ画素回路、Ｇ画素回路およびＢ画素回路という）。画素回路２０の各列には、同じ色を表示する画素回路が配置される。具体的には、（３ｋ－２）列目にはＲ画素回路が配置され、（３ｋ－１）列目にはＧ画素回路が配置され、３ｋ列目にはＢ画素回路が配置される。以下、（３ｋ－２）～３ｋ列目の画素回路に対応したデータ線をＳｋ＿Ｒ、Ｓｋ＿Ｇ、Ｓｋ＿Ｂともいう。

[0041] 表示制御回路１１は、ゲートドライバ回路１２に対してタイミング信号ＯＥ、スタートパルスＹＩおよびクロックＹＣＫを出力する。また、表示制御回路１１は、ソースドライバ回路１３に対して、スタートパルスＳＰ、クロックＣＬＫ、データ電圧ＤＡおよびラッチパルスＬＰを出力する。さらに、表示制御回路１１は、ソースドライバ回路１３に接続される５本の制御線ＳＣＡＮ１＿Ｒ、ＳＣＡＮ１＿Ｇ、ＳＣＡＮ１＿Ｂ、ＳＣＡＮ２、ＳＣＡＮ３の電位を制御する。

[0042] ゲートドライバ回路１２とソースドライバ回路１３は、画素回路２０の駆動回路である。ゲートドライバ回路１２は、シフトレジスタ回路、論理演算回路およびバッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロックＹＣＫに同期してスタートパルスＹＩを順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号ＯＥとの間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線Ｇｉと制御線Ｗｉ、Ｒｉに与えられる。１本の走査線Ｇｉにはｍ個の画素回路２０が接続されており、画素回路２０は走査線Ｇｉを用いてｍ個ずつ一括して選択される。

[0043] ソースドライバ回路１３は、ｍビットのシフトレジスタ１５、レジスタ１６、ラッチ１７、および、ｍ個の出力回路３０を含み、１行分の画素回路２０に同じタイミングで電圧を書き込む線順次走査を行う。より詳細には、シフトレジスタ１５は、縦続接続されたｍ個のレジスタを有し、初段のレジスタに供給されたスタートパルスＳＰをクロックＣＬＫに同期して転送し、各段のレジスタからタイミングパルスＤＬＰを出力する。タイミングパルスＤＬＰの出力タイミングに合わせて、レジスタ１６にはアナログのデータ電圧ＤＡが供給される。レジスタ１６は、タイミングパルスＤＬＰに従い、データ電圧ＤＡを記憶する。レジスタ１６に１行分のデータ電圧ＤＡが記憶されると、表示制御回路１１はラッチ１７に対してラッチパルスＬＰを出力する。ラッチ１７は、ラッチパルスＬＰを受け取ると、レジスタ１６に記憶されたデータ電圧を保持する。なお、データ電圧ＤＡは、例えば、表示装置１０の外部に設けられたＤ／Ａ変換器（図示せず）においてデジタルの表示データをアナログ信号に変換することにより得られる。

[0044] 出力回路３０は、データ線Ｓｊに対応して設けられる。出力回路３０は、ゲートドライバ回路１２によって選択された画素回路２０から出力された電圧をデータ線Ｓｊ経由で受け取り、受け取った電圧とラッチ１７から出力されたデータ電圧（以下、Ｖｄａｔａという）とに基づく電圧をデータ線Ｓｊに印加する。出力回路３０の作用により、画素回路２０に含まれる駆動用ＴＦＴの閾値補正を行うことができる（詳細は後述）。

[0045] 電源１４は、表示装置１０の各部に電源電圧を供給する。より詳細には、電源１４は、画素回路２０に対して電源電圧ＶＤＤ、ＶＳＳ（ただし、ＶＤＤ＞ＶＳＳ）を供給すると共に、出力回路３０に対して初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂと参照電圧Ｖｒｅｆ＿Ｒ、Ｖｒｅｆ＿Ｇ、Ｖｒｅｆ＿Ｂを供給する。初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂは、駆動用ＴＦＴ２１の閾値補正を行うときに駆動用ＴＦＴ２１のゲート端子に最初に印加される電圧である。なお、図１では、電源１４と画素回路２０を接続する配線は省略されている。

[0046] ソースドライバ回路１３は、線順次走査に代えて、各画素回路２０に１つずつ順に電圧を書き込む点順次走査を行ってもよい。点順次走査を行うときには、ある走査線Ｇｉが選択されている間、データ線Ｓｊの電圧はデータ線Ｓｊの容量によって保持される。点順次走査を行うソースドライバ回路の構成は公知であるので、ここでは説明を省略する。

[0047] 図２は、画素回路２０の回路図である。図２に示すように、画素回路２０は、駆動用ＴＦＴ２１、スイッチ用ＴＦＴ２２～２４、有機ＥＬ素子２５、および、コンデンサ２６を備えている。駆動用ＴＦＴ２１はＰチャネル型のエンハンスメント型、スイッチ用ＴＦＴ２２、２３はＮチャネル型、スイッチ用ＴＦＴ２４はＰチャネル型である。スイッチ用ＴＦＴ２２は書き込み用スイッチング素子として機能し、スイッチ用ＴＦＴ２３は補償用スイッチング素子として機能する。

[0048] 画素回路２０は、電源配線Ｖｐ、共通陰極Ｖｃｏｍ、走査線Ｇｉ、制御線Ｗｉ、Ｒｉ、および、データ線Ｓｊに接続されている。電源配線Ｖｐには電源１４から供給された電源電圧ＶＤＤが印加され、共通陰極Ｖｃｏｍには電源１４から供給された電源電圧ＶＳＳが印加される。共通陰極Ｖｃｏｍは、表示装置１０内のすべての有機ＥＬ素子２５に共通する陰極となる。

[0049] 画素回路２０では、電源配線Ｖｐと共通陰極Ｖｃｏｍとの間に、電源配線Ｖｐ側から順に、駆動用ＴＦＴ２１、スイッチ用ＴＦＴ２４および有機ＥＬ素子２５が直列に設けられている。駆動用ＴＦＴ２１のゲート端子とデータ線Ｓｊとの間には、スイッチ用ＴＦＴ２２が設けられている。駆動用ＴＦＴ２１のゲート端子とドレイン端子との間にはスイッチ用ＴＦＴ２３が設けられ、駆動用ＴＦＴ２１のゲート端子と電源配線Ｖｐとの間にはコンデンサ２６が設けられている。スイッチ用ＴＦＴ２２～２４のゲート端子は、それぞれ、走査線Ｇｉ、制御線Ｗｉおよび制御線Ｒｉに接続されている。走査線Ｇｉと制御線Ｗｉ、Ｒｉの電位はゲートドライバ回路１２によって制御され、データ線Ｓｊの電位はソースドライバ回路１３によって制御される。以下、駆動用ＴＦＴ２１のゲート端子が接続される節点をＡという。

[0050] 図３は、出力回路３０の回路図である。出力回路３０は、Ｒ画素回路に対応するもの、Ｇ画素回路に対応するもの、および、Ｂ画素回路に対応するものに分類される（以下、それぞれ、Ｒ出力回路、Ｇ出力回路およびＢ出力回路という）。図３に示すように、Ｒ出力回路３０ｒ、Ｇ出力回路３０ｇおよびＢ出力回路３０ｂは、いずれも、Ｎチャネル型のスイッチ３１～３６とコンデンサ３７を備えている。これら３個の出力回路３０に対応して、アナログバッファ３８が１個設けられる。アナログバッファ３８は、ボルテージホロワ回路（ユニティゲインアンプ）である。以下、コンデンサ３７の一方の電極（図３では上側の電極）が接続される節点をＢ、他方の電極が接続される節点をＣという。

[0051] Ｒ出力回路３０ｒは、以下の構成を有する。スイッチ３１の一端はデータ線Ｓｋ＿Ｒに接続され、他端は節点Ｂに接続される。スイッチ３２の一端は節点Ｃに接続され、他端には参照電圧Ｖｒｅｆ＿Ｒが印加される。スイッチ３３の一端は節点Ｃに接続され、他端にはラッチ１７から出力されたデータ電圧Ｖｄａｔａが印加される。スイッチ３４の一端は節点Ｂに接続され、他端はアナログバッファ３８の入力に接続される。スイッチ３５の一端はデータ線Ｓｋ＿Ｒに接続され、他端はアナログバッファ３８の出力に接続される。スイッチ３６の一端はデータ線Ｓｋ＿Ｒに接続され、他端には初期電圧Ｖｉｎｔ＿Ｒが印加される。スイッチ３１、３２のゲート端子は制御線ＳＣＡＮ２に接続され、スイッチ３３～３５のゲート端子は制御線ＳＣＡＮ１＿Ｒに接続され、スイッチ３６のゲート端子は制御線ＳＣＡＮ３に接続される。

[0052] Ｇ出力回路３０ｇおよびＢ出力回路３０ｂの構成は、Ｒ出力回路３０ｒと同様である。ただし、Ｇ出力回路３０ｇでは、スイッチ３１、３５、３６の一端はデータ線Ｓｋ＿Ｇに接続され、スイッチ３６の他端には初期電圧Ｖｉｎｔ＿Ｇが印加され、スイッチ３３～３５のゲート端子は制御線ＳＣＡＮ１＿Ｇに接続される。Ｂ出力回路３０ｂでは、スイッチ３１、３５、３６の一端はデータ線Ｓｋ＿Ｂに接続され、スイッチ３６の他端には初期電圧Ｖｉｎｔ＿Ｂが印加され、スイッチ３３～３５のゲート端子は制御線ＳＣＡＮ１＿

Ｂに接続される。

[0053] 以下、Ｒ画素回路、Ｇ画素回路およびＢ画素回路内の駆動用ＴＦＴ２１の閾値電圧を、それぞれ、Ｖｔｈ＿Ｒ、Ｖｔｈ＿ＧおよびＶｔｈ＿Ｂ（ただし、いずれも負の値）とする。また、駆動用ＴＦＴ２１のゲート端子に閾値電圧が印加されているとき、駆動用ＴＦＴ２１は閾値状態にあるという。初期電圧Ｖｉｎｔ＿Ｒと参照電圧Ｖｒｅｆ＿Ｒは、Ｒ画素回路内の駆動用ＴＦＴ２１の閾値補正に使用される。同様に、初期電圧Ｖｉｎｔ＿Ｇと参照電圧Ｖｒｅｆ＿ＧはＧ画素回路内の駆動用ＴＦＴ２１の閾値補正に使用され、初期電圧Ｖｉｎｔ＿Ｂと参照電圧Ｖｒｅｆ＿ＢはＢ画素回路の駆動用ＴＦＴ２１の閾値補正に使用される。

[0054] 図４は、画素回路２０の駆動方法を示すタイミングチャートである。以下、図４を参照して、Ｒ出力回路３０ｒ、Ｇ出力回路３０ｇおよびＢ出力回路３０ｂ（以下、総称して３個の出力回路３０ともいう）を用いて、走査線Ｇｉとデータ線Ｓｋ＿Ｒ、Ｓｋ＿Ｇ、Ｓｋ＿Ｂに接続された３個の画素回路２０に対して、それぞれのデータ電圧Ｖｄａｔａを書き込むときの動作を説明する。図４では、時刻ｔ０から時刻ｔ４までが３個の画素回路２０の選択期間となる。時刻ｔ２より前では、３個の画素回路２０の駆動用ＴＦＴ２１のゲート端子電位を並列に検知する処理が行われ、時刻ｔ２より後では、３個の画素回路２０に対して補正後のデータ電圧を順に書き込む処理が行われる。

[0055] 時刻ｔ０より前では、走査線Ｇｉと制御線Ｗｉ、Ｒｉの電位はローレベルに制御される。このため、３個の画素回路２０では、スイッチ用ＴＦＴ２２、２３は非導通状態にあり、スイッチ用ＴＦＴ２４は導通状態にある。このとき駆動用ＴＦＴ２１は導通状態にあるので、電源配線Ｖｐから駆動用ＴＦＴ２１とスイッチ用ＴＦＴ２４を経由して有機ＥＬ素子２５に電流が流れ、有機ＥＬ素子２５は発光する。このように時刻ｔ０より前では、３個の画素回路２０内の有機ＥＬ素子２５はいずれも発光状態にある。

[0056] 時刻ｔ０において走査線Ｇｉと制御線Ｗｉ、Ｒｉの電位がハイレベルに変

化すると、３個の画素回路２０では、スイッチ用ＴＦＴ２２、２３が導通状態に変化し、スイッチ用ＴＦＴ２４が非導通状態に変化する。また、時刻ｔ０では制御線ＳＣＡＮ３の電位がハイレベルに変化するので、３個の出力回路３０ではスイッチ３６が導通状態に変化する。このため、データ線Ｓｋ＿ＲとＲ画素回路内の節点Ａの電位はＶｉｎｔ＿Ｒになる。同様に、データ線Ｓｋ＿ＧとＧ画素回路内の節点Ａの電位はＶｉｎｔ＿Ｇになり、データ線Ｓｋ＿ＢとＢ画素回路内の節点Ａの電位はＶｉｎｔ＿Ｂになる。時刻ｔ０以降、３個の画素回路２０では、駆動用ＴＦＴ２１を通過した電流は、スイッチ用ＴＦＴ２３を経由して節点Ａに流れ込む。

[0057] 次に時刻ｔ１において制御線ＳＣＡＮ３の電位がローレベルに変化すると、３個の出力回路ではスイッチ３６が非導通状態に変化する。時刻ｔ１以降も、３個の画素回路２０では駆動用ＴＦＴ２１を通過した電流は、スイッチ用ＴＦＴ２３を経由して節点Ａに流れ込み、節点Ａの電位は駆動用ＴＦＴ２１が導通状態である間は上昇する。このときスイッチ用ＴＦＴ２２は導通状態にあるので、データ線Ｓｋ＿Ｒ、Ｓｋ＿Ｇ、Ｓｋ＿Ｂの電位は、３個の画素回路２０内の節点Ａの電位にそれぞれ等しい。

[0058] 時刻ｔ０から時刻ｔ２までの間、制御線ＳＣＡＮ１＿Ｒ、ＳＣＡＮ１＿Ｇ、ＳＣＡＮ１＿Ｂの電位はローレベルに、制御線ＳＣＡＮ２の電位はハイレベルに制御される。このため、３個の出力回路３０ではスイッチ３１、３２は導通状態となり、スイッチ３３、３４は非導通状態となる。したがって、Ｒ出力回路３０ｒでは、節点Ｃの電位はＶｒｅｆ＿Ｒになり、節点Ｂの電位はデータ線Ｓｋ＿Ｒの電位およびＲ画素回路内の節点Ａの電位に等しくなる。同様に、Ｇ出力回路３０ｇでは、節点Ｃの電位はＶｒｅｆ＿Ｇになり、節点Ｂの電位はデータ線Ｓｋ＿Ｇの電位およびＧ画素回路内の節点Ａの電位に等しくなる。また、Ｂ出力回路３０ｂでは、節点Ｃの電位はＶｒｅｆ＿Ｂになり、節点Ｂの電位はデータ線Ｓｋ＿Ｂの電位およびＢ画素回路内の節点Ａの電位に等しくなる。

[0059] 次に時刻ｔ２において制御線Ｗｉの電位がローレベルに変化すると、３個

の画素回路２０ではスイッチ用ＴＦＴ２３が非導通状態に変化する。また、時刻ｔ２では制御線ＳＣＡＮ２の電位がローレベルに変化するので、３個の出力回路３０ではスイッチ３１、３２が非導通状態に変化する。時刻ｔ２の直前におけるＲ画素回路、Ｇ画素回路およびＢ画素回路内の節点Ａの電位を、それぞれ、（ＶＤＤ＋Ｖｘ＿Ｒ）、（ＶＤＤ＋Ｖｘ＿Ｇ）および（ＶＤＤ＋Ｖｘ＿Ｂ）とする。ただし、電圧Ｖｘ＿Ｒ、Ｖｘ＿Ｇ、Ｖｘ＿Ｂはいずれも負の値であり、｜Ｖｘ＿Ｒ｜＞｜Ｖｔｈ＿Ｒ｜、｜Ｖｘ＿Ｇ｜＞｜Ｖｔｈ＿Ｇ｜、｜Ｖｘ＿Ｂ｜＞｜Ｖｔｈ＿Ｂ｜を満たすとする。

[0060] 時刻ｔ２においてスイッチ３１、３２が非導通状態に変化したとき、Ｒ出力回路３０ｒ内のコンデンサ３７には電圧（ＶＤＤ＋Ｖｘ＿Ｒ－Ｖｒｅｆ＿Ｒ）が保持される。同様に、Ｇ出力回路３０ｇ内のコンデンサ３７には電圧（ＶＤＤ＋Ｖｘ＿Ｇ－Ｖｒｅｆ＿Ｇ）が保持され、Ｂ出力回路３０ｂ内のコンデンサ３７には電圧（ＶＤＤ＋Ｖｘ＿Ｂ－Ｖｒｅｆ＿Ｂ）が保持される。

[0061] 上述したように、Ｒ画素回路内の節点Ａの電位は、駆動用ＴＦＴ２１が導通状態である間は上昇する。したがって、十分な時間があれば、Ｒ画素回路内の節点Ａの電位は、駆動用ＴＦＴ２１のゲートーソース間電圧が閾値電圧Ｖｔｈ＿Ｒ（負の値）になる（すなわち、駆動用ＴＦＴ２１が閾値状態になる）まで上昇し、最終的に（ＶＤＤ＋Ｖｔｈ＿Ｒ）に到達する。しかし、表示装置１０では、駆動用ＴＦＴ２１が導通状態である間に（すなわち、駆動用ＴＦＴ２１が閾値状態になる前に）、時刻ｔ２になる。このため、時刻ｔ２の直前における節点Ａの電位（ＶＤＤ＋Ｖｘ＿Ｒ）は（ＶＤＤ＋Ｖｔｈ＿Ｒ）よりも低い。電圧Ｖｘ＿Ｒは閾値電圧Ｖｔｈ＿Ｒに応じて変化し、閾値電圧Ｖｔｈ＿Ｒの絶対値が大きいほど電圧Ｖｘ＿Ｒの絶対値は大きくなる。同様に、時刻ｔ２の直前におけるＧ画素回路内の節点Ａの電位（ＶＤＤ＋Ｖｘ＿Ｇ）は（ＶＤＤ＋Ｖｔｈ＿Ｇ）よりも低く、閾値電圧Ｖｔｈ＿Ｇの絶対値が大きいほど電圧Ｖｘ＿Ｇの絶対値は大きくなる。また、時刻ｔ２の直前におけるＢ画素回路内の節点Ａの電位（ＶＤＤ＋Ｖｘ＿Ｂ）は（ＶＤＤ＋Ｖｔｈ＿Ｂ）よりも低く、閾値電圧Ｖｔｈ＿Ｂの絶対値が大きいほど電圧Ｖｘ

＿Ｂの絶対値は大きくなる。

[0062] 次に時刻ｔ３から時刻ｔ４までの間に、制御線ＳＣＡＮ１＿Ｒ、ＳＣＡＮ１＿Ｇ、ＳＣＡＮ１＿Ｂの電位が所定時間ずつハイレベルになり、これに同期して、ラッチ１７から出力されるデータ電圧ＶｄａｔａはＶｄ＿Ｒ、Ｖｄ＿Ｇ、Ｖｄ＿Ｂと変化する。

[0063] 制御線ＳＣＡＮ１＿Ｒの電位がハイレベルである間、Ｒ出力回路３０ｒ内の節点Ｃにはラッチ１７から出力されたデータ電圧Ｖｄ＿Ｒが印加され、節点Ｂはスイッチ３４とアナログバッファ３８を介してデータ線Ｓｋ＿Ｒに接続される。Ｒ出力回路３０ｒでは、コンデンサ３７が電圧（ＶＤＤ＋Ｖｘ＿Ｒ－Ｖｒｅｆ＿Ｒ）を保持している間に、節点Ｃの電位がＶｒｅｆ＿ＲからＶｄ＿Ｒに変化する。したがって、節点Ｂの電位も、同じ量（Ｖｄ＿Ｒ－Ｖｒｅｆ＿Ｒ）だけ変化して（ＶＤＤ＋Ｖｘ＿Ｒ）＋（Ｖｄ＿Ｒ－Ｖｒｅｆ＿Ｒ）＝（ＶＤＤ＋Ｖｘ＿Ｒ＋Ｖｄ＿Ｒ－Ｖｒｅｆ＿Ｒ）となる。このときＲ出力回路３０ｒ内のスイッチ３４、３５は導通状態にあり、アナログバッファ３８の入力電圧と出力電圧は等しいので、データ線Ｓｋ＿Ｒの電位はＲ出力回路３０ｒ内の節点Ｂと同じく（ＶＤＤ＋Ｖｘ＿Ｒ＋Ｖｄ＿Ｒ－Ｖｒｅｆ＿Ｒ）となる。このときＲ画素回路ではスイッチ用ＴＦＴ２２が導通状態にあるので、節点Ａはデータ線Ｓｋ＿Ｒと同じ電位になる。

[0064] 同様に、制御線ＳＣＡＮ１＿Ｇの電位がハイレベルである間、Ｇ出力回路３０ｇ内の節点Ｂの電位は（ＶＤＤ＋Ｖｘ＿Ｇ＋Ｖｄ＿Ｇ－Ｖｒｅｆ＿Ｇ）となり、データ線Ｓｋ＿ＧおよびＧ画素回路内の節点Ａの電位はこれに等しくなる。また、制御線ＳＣＡＮ１＿Ｂの電位がハイレベルである間、Ｂ出力回路３０ｂ内の節点Ｂの電位は（ＶＤＤ＋Ｖｘ＿Ｂ＋Ｖｄ＿Ｂ－Ｖｒｅｆ＿Ｂ）となり、データ線Ｓｋ＿ＢおよびＢ画素回路内の節点Ａの電位はこれに等しくなる。

[0065] 次に時刻ｔ４において走査線Ｇｉと制御線Ｒｉの電位がローレベルに変化すると、３個の画素回路２０ではスイッチ用ＴＦＴ２２が非導通状態に変化し、スイッチ用ＴＦＴ２４が導通状態に変化する。また、時刻ｔ４以降、制

御線ＳＣＡＮ１＿Ｒ、ＳＣＡＮ１＿Ｇ、ＳＣＡＮ１＿Ｂの電位はローレベルになるので、３個の出力回路３０ではスイッチ３３、３４は非導通状態になる。

[0066] 時刻ｔ４において、Ｒ画素回路内のコンデンサ２６には、駆動用ＴＦＴ２１のゲートーソース間電圧（Ｖｘ＿Ｒ＋Ｖｄ＿Ｒ－Ｖｒｅｆ＿Ｒ）が保持される。同様に、Ｇ画素回路内のコンデンサ２６には電圧（Ｖｘ＿Ｇ＋Ｖｄ＿Ｇ－Ｖｒｅｆ＿Ｇ）が保持され、Ｂ画素回路内のコンデンサ２６には電圧（Ｖｘ＿Ｂ＋Ｖｄ＿Ｂ－Ｖｒｅｆ＿Ｂ）が保持される。なお、制御線Ｒｉに与えられるオン電位（ローレベル電位）は、スイッチ用ＴＦＴ２４が線形領域で動作するように決定される。

[0067] 時刻ｔ４以降、３個の画素回路２０内のコンデンサ２６に保持された電圧は変化しない。このため、Ｒ画素回路内の節点Ａの電位は（ＶＤＤ＋Ｖｘ＿Ｒ＋Ｖｄ＿Ｒ－Ｖｒｅｆ＿Ｒ）のままである。同様に、Ｇ画素回路内の節点Ａの電位は（ＶＤＤ＋Ｖｘ＿Ｇ＋Ｖｄ＿Ｇ－Ｖｒｅｆ＿Ｇ）のままであり、Ｂ画素回路内の節点Ａの電位は（ＶＤＤ＋Ｖｘ＿Ｂ＋Ｖｄ＿Ｂ－Ｖｒｅｆ＿Ｂ）のままである。したがって、３個の画素回路２０では、時刻ｔ４以降、次に制御線Ｒｉの電位がハイレベルとなるまで、電源配線Ｖｐから駆動用ＴＦＴ２１とスイッチ用ＴＦＴ２４を経由して有機ＥＬ素子２５に電流が流れ、有機ＥＬ素子２５は発光する。このときに駆動用ＴＦＴ２１を流れる電流の量は節点Ａの電位に応じて増減するが、以下に示すように、駆動用ＴＦＴ２１の閾値電圧が異なっていてもデータ電圧が同じであれば電流量を同じにすることができる。

[0068] 例として、Ｒ画素回路について説明する。Ｒ画素回路内の駆動用ＴＦＴ２１を飽和領域で動作させたとき、ドレインーソース間を流れる電流I_{EL}は、チャネル長変調効果を無視すれば、次式（１）で与えられる。

$$I_{EL}=-1/2\cdot W/L\cdot Cox\cdot\mu \times(Vg-VDD-Vth_R)^2 \quad \cdots(1)$$

ただし、上式（１）において、Ｗ／Ｌは駆動用ＴＦＴ２１のアスペクト比

、Ｃｏｘはゲート容量、μは移動度、Ｖｇはゲート端子電位（節点Ａの電位）である。

[0069] 式（１）に示す電流I_{EL}は、一般には、閾値電圧Ｖｔｈ＿Ｒに応じて変動する。Ｒ画素回路では、有機ＥＬ素子２５が発光するときに駆動用ＴＦＴ２１のゲート端子電位Ｖｇは（ＶＤＤ＋Ｖｘ＿Ｒ＋Ｖｄ＿Ｒ－Ｖｒｅｆ＿Ｒ）となるので、電流I_{EL}は次式（２）に示すようになる。

$$I_{EL}=-1/2\cdot W/L\cdot Cox\cdot\mu\cdot\{Vd_R-Vref_R+(Vx_R-Vth_R)\}^2 \quad \cdots(2)$$

式（２）において電圧Ｖｘ＿Ｒが閾値電圧Ｖｔｈ＿Ｒに一致すれば、電流I_{EL}は閾値電圧Ｖｔｈ＿Ｒには依存しない。また、電圧Ｖｘ＿Ｒが閾値電圧Ｖｔｈ＿Ｒに一致しなくても、両者の差が一定であれば、電流I_{EL}は閾値電圧Ｖｔｈ＿Ｒには依存しない。

[0070] 表示装置１０では、Ｒ画素回路内の２つのＴＦＴ間で電圧Ｖｘ＿Ｒの差が閾値電圧Ｖｔｈ＿Ｒの差とほぼ同じになるように、閾値補正期間（時刻ｔ１から時刻ｔ２までの期間）の長さや初期電圧Ｖｉｎｔ＿Ｒのレベルが決定される。このため、式（２）に含まれる電圧差（Ｖｘ＿Ｒ－Ｖｔｈ＿Ｒ）はほぼ一定になる。したがって、Ｒ画素回路では、閾値電圧Ｖｔｈ＿Ｒの値にかかわらず、有機ＥＬ素子２５にはデータ電圧Ｖｄ＿Ｒに応じた量の電流が流れ、有機ＥＬ素子２５はデータ電圧Ｖｄ＿Ｒに応じた輝度で発光する。

[0071] 同様に、Ｇ画素回路では、閾値電圧Ｖｔｈ＿Ｇの値にかかわらず、有機ＥＬ素子２５にはデータ電圧Ｖｄ＿Ｇに応じた量の電流が流れ、有機ＥＬ素子２５はデータ電圧Ｖｄ＿Ｇに応じた輝度で発光する。また、Ｂ画素回路では、閾値電圧Ｖｔｈ＿Ｂの値にかかわらず、有機ＥＬ素子２５にはデータ電圧Ｖｄ＿Ｂに応じた量の電流が流れ、有機ＥＬ素子２５はデータ電圧Ｖｄ＿Ｂに応じた輝度で発光する。表示装置１０では、閾値補正は画素回路２０の外部に設けられた出力回路３０によって行われるが、出力回路３０には複雑な論理回路やメモリなどを設ける必要がない。

[0072] 以下、初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂについて説明

する。画素回路２０では、図４に示す時刻ｔ０でスイッチ用ＴＦＴ２３が導通状態になると、駆動用ＴＦＴ２１はダイオード接続された状態になる。従来の有機ＥＬディスプレイでは、駆動用ＴＦＴがダイオード接続されてから、駆動用ＴＦＴのゲートーソース間電圧Ｖｇｓが閾値電圧Ｖｔｈに十分に近づくまでの期間が、閾値補正期間となる。電圧Ｖｇｓが閾値電圧Ｖｔｈに十分に近づけば、２つの駆動用ＴＦＴ間の閾値電圧の差を検出できるからである。

[0073] ところが、高精細の表示装置では、画素回路の選択期間が短く、選択期間内に電圧Ｖｇｓを閾値電圧Ｖｔｈに十分に近づけられないことがある。特に、本実施形態に係る表示装置１０では、駆動用ＴＦＴ２１の閾値電圧Ｖｔｈを検知するときに、コンデンサ３７とデータ線Ｓｊの寄生容量を充電する必要があるので、選択期間内に閾値電圧を検知する処理と補正後のデータ電圧を書き込む処理を行うためには工夫が必要である。

[0074] そこで表示装置１０では、補正後のデータ電圧を書き込む処理を開始する前に閾値電圧のばらつきを検知するために、スイッチ３６の作用によりデータ線Ｓｋ＿Ｒ、Ｓｋ＿Ｇ、Ｓｋ＿Ｂに、それぞれ、初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂが固定的に与えられる。これにより、駆動用ＴＦＴ２１の閾値電圧Ｖｔｈに応じた電圧がデータ線Ｓｊに出力されるまでの時間を短縮することができる。したがって、閾値補正期間が短い場合でも、補正効果のばらつきを抑え、画質を向上させることができる。

[0075] 初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂは、閾値補正期間の長さや閾値補正に要求される精度などに基づき決定される。スイッチ用ＴＦＴ２３が導通状態にあり、駆動用ＴＦＴ２１がダイオード接続されているとき、駆動用ＴＦＴ２１の電流バランスに関して次式（３）が成立する。

[数1]

$$k(Vgs(t)-Vth)^2 = -C\frac{dVgs(t)}{dt} \quad \cdots(3)$$

ただし、式（３）において、ｋは定数、Ｃは保持容量と信号線容量の和で

ある。

[0076] この微分方程式を解くと、次式（４）が得られる。

[数2]

$$Vgs(t)=\frac{1}{\frac{k}{C}t+\frac{1}{Vgs0-Vth}}+Vth \quad \cdots(4)$$

ただし、式（４）において、Ｖｇｓ０は電圧Ｖｇｓの初期値である。

[0077] 閾値電圧がΔＶｔｈだけ異なる２つのＴＦＴを考えたとき、所定時間経過後に２つのＴＦＴ間で電圧Ｖｇｓの差がΔＶｔｈに近ければ、各ＴＦＴの閾値電圧を検出できたと言える。電圧Ｖｇｓの差は、次式（５）で与えられる。

[数3]

$$\Delta Vgs(t)=\Delta Vth+\frac{1}{\frac{k}{C}t+\frac{1}{Vgs0-Vth-\Delta Vth}}-\frac{1}{\frac{k}{C}t+\frac{1}{Vgs0-Vth}} \quad \cdots(5)$$

したがって、許容時間内に式（５）に示すΔＶｇｓ（ｔ）がΔＶｔｈに十分に近づくように電圧Ｖｇｓの初期値Ｖｇｓ０を決定し、それに応じて初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｒを求めればよい。

[0078] 図５は、ダイオード接続された駆動用ＴＦＴのゲートーソース間電圧Ｖｇｓの時間的変化の例を示す図である。図５には、閾値電圧が異なる２個のＴＦＴ（Ｖｔｈ＝－０．８ＶとＶｔｈ＝－１．０Ｖ）に対して、予め２種類の電圧Ｖｇｓ０（Ｖｇｓ０＝－５ＶとＶｇｓ０＝－１．５Ｖ）を与え、その後にソース端子とドレイン端子を短絡してＴＦＴをダイオード接続したときのゲートーソース間電圧Ｖｇｓの変化が記載されている。

[0079] ２個のＴＦＴに予め電圧Ｖｇｓ０を与え、３０μｓ経過後の電圧Ｖｇｓの絶対値｜Ｖｇｓ｜を比較する。｜Ｖｇｓ０｜＝５Ｖの場合、３０μｓ後に２つの値｜Ｖｇｓ｜はそれぞれの最終値（０．８Ｖと１．０Ｖ）から離れているが、両者の差は既に最終値（０．２Ｖ）にほぼ等しくなっている。これに対して、｜Ｖｇｓ０｜＝１．５Ｖの場合、３０μｓ後に２つの値｜Ｖｇｓ｜はそれぞれの最終値に接近しているが、両者の差は依然として最終値から離

れている。このように｜Ｖｇｓ０｜が大きいときほど、２つの値｜Ｖｇｓ｜の差は速く増大するので、閾値補正期間を短くすることができる。したがって、高い精度で閾値補正を行うためには、｜Ｖｇｓ０｜を大きくすることが好ましい。一方、｜Ｖｇｓ０｜を大きくすると、データ線Ｓｊとコンデンサ３７の充放電によって消費電力が増加する。

[0080] この点を考慮して、表示装置１０では、３種類の初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂが使用される。Ｒ画素回路には初期電圧Ｖｉｎｔ＿Ｒが使用され、Ｇ画素回路には初期電圧Ｖｉｎｔ＿Ｇが使用され、Ｂ画素回路には初期電圧Ｖｉｎｔ＿Ｂが使用される。これら３種類の初期電圧は、以下のようにして決定される。以下、Ｒ画素回路内の駆動用ＴＦＴ２１のゲート端子に初期電圧Ｖｉｎｔ＿Ｒを印加したときのゲートーソース間電圧（ＶＤＤ－Ｖｉｎｔ＿Ｒ）をＶｇｓ０＿Ｒという。同様に、Ｇ画素回路内の駆動用ＴＦＴ２１のゲート端子に初期電圧Ｖｉｎｔ＿Ｇを印加したときのゲートーソース間電圧をＶｇｓ０＿Ｇといい、Ｂ画素回路内の駆動用ＴＦＴ２１のゲート端子に初期電圧Ｖｉｎｔ＿Ｂを印加したときのゲートーソース間電圧をＶｇｓ０＿Ｂという。

[0081] 表示装置１０では、初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂのうち、少なくとも２つが互いに異なるように設定される。具体的には、Ｇ画素回路用の初期電圧Ｖｉｎｔ＿ＧとＢ画素回路用の初期電圧Ｖｉｎｔ＿Ｂが異なり、｜Ｖｇｓ０＿Ｇ｜＜｜Ｖｇｓ０＿Ｂ｜を満たすことが好ましい。また、初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂが互いにすべて異なり、｜Ｖｇｓ０＿Ｇ｜＜｜Ｖｇｓ０＿Ｒ｜＜｜Ｖｇｓ０＿Ｂ｜を満たすことがより好ましい。初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂは、いずれも電源電圧ＶＤＤよりも低いレベルに設定される。このように初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂを設定した場合、スイッチ用ＴＦＴ２３の導通期間にスイッチ用ＴＦＴ２３を流れる電流は、３種類の画素回路の中でＢ画素回路において最大となり、Ｇ画素回路において最小となる。

[0082] 以下、参考例に係る表示装置と対比して、本実施形態に係る表示装置１０の効果を説明する。図６は、参考例に係る表示装置の構成を示すブロック図である。図６に示す表示装置１１０は、出力回路３０を含むソースドライバ回路１３に代えて、出力回路１１５を含むソースドライバ回路１１３を備えている。図７は、出力回路１１５の回路図である。図６に示す電源１１４は、画素回路２０に対して電源電圧ＶＤＤ、ＶＳＳを供給すると共に、出力回路１１５に対して初期電圧Ｖｉｎｔと参照電圧Ｖｒｅｆを１種類ずつ供給する。表示装置１１０は、表示装置１０と同じタイミングチャート（図４）に従って動作する。なお、表示装置１１０は、本出願と出願人および発明者が共通する別の出願（国際特許出願ＰＣＴ／２００７／６９１８４）に記載されたものである。

[0083] 本実施形態に係る表示装置１０と参考例に係る表示装置１１０では、駆動用ＴＦＴ２１の閾値補正を行うときに、駆動用ＴＦＴ２１のゲート端子に初期電圧が印加される。このとき、上述したように、駆動用ＴＦＴ２１のゲートソース間電圧の初期値の絶対値｜Ｖｇｓ０｜が大きくなる初期電圧を使用すれば、閾値補正の精度が高くなり、｜Ｖｇｓ０｜が小さくなる初期電圧を使用すれば、消費電力が減少する。

[0084] 参考例に係る表示装置１１０では、装置全体で１種類の初期電圧Ｖｉｎｔが使用される。このため、緑色を基準として初期電圧Ｖｉｎｔを決定すると、｜Ｖｇｓ０｜は小さくなり、消費電力は減少するが、青色や赤色では閾値補正の精度が不十分となり、画質が低下する。一方、青色を基準として初期電圧Ｖｉｎｔを決定すると、｜Ｖｇｓ０｜は大きくなり、画質は良くなるが、青色よりも鈍感にしか判別できない緑色や赤色についても同じ初期電圧を使用するために、消費電力が必要以上に増大する。

[0085] これに対して、本実施形態に係る表示装置１０では、複数の初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂが使用され、このうち少なくとも２つ以上が異なっている。このため、例えば、Ｂ画素回路には｜Ｖｇｓ０｜が大きくなる初期電圧Ｖｉｎｔ＿Ｂを使用し、Ｇ画素回路には｜Ｖｇｓ０｜が

小さくなる初期電圧Ｖｉｎｔ＿Ｇを使用することができる。これにより、人間が色度の違いに敏感な青色については、駆動用ＴＦＴ２１のゲート端子とソース端子との間に大きな初期電位差を与え、閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な緑色については、駆動用ＴＦＴ２１のゲート端子とソース端子との間に小さな初期電位差を与え、信号線の過剰な充放電を減らし、消費電力を削減することができる。また、｜Ｖｇｓ０＿Ｇ｜＜｜Ｖｇｓ０＿Ｒ｜＜｜Ｖｇｓ０＿Ｂ｜を満たす初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂを使用すれば、上記の効果をさらに高めることができる。

[0086] このように本実施形態に係る表示装置１０によれば、駆動用ＴＦＴ２１の閾値補正を行うときに、表示色に応じた初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂを使用することにより、駆動用ＴＦＴ２１のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。

[0087] また、表示色に応じて異なる初期電圧を使用するときには、データ電圧Ｖｄａｔａのゼロ点を揃えることが好ましい。例えば、図５に示す例では、３０μｓ経過後の駆動用ＴＦＴのゲートーソース間電圧の絶対値｜Ｖｇｓ｜は、｜Ｖｇｓ０｜＝５Ｖの場合でも｜Ｖｇｓ０｜＝１．５Ｖの場合でも、最終値と異なっている。このため、表示色に応じて異なる初期電圧を使用して所定時間経過後の駆動用ＴＦＴ２１のゲート端子電圧を検出すると、検出された電圧には表示色に応じて異なるオフセットが加算される。この結果、例えば、黒表示を行うときに、Ｒ画素回路とＧ画素回路は完全な黒色になるが、Ｂ画素回路は完全な黒色にならないなどの現象が起こり得る。

[0088] そこで、本実施形態に係る表示装置１０では、複数の参照電圧Ｖｒｅｆ＿Ｒ、Ｖｒｅｆ＿Ｇ、Ｖｒｅｆ＿Ｂが使用される。式（２）に示すように、駆動用ＴＦＴ２１のドレインーソース間を流れる電流I_{EL}は、参照電圧Ｖｒｅｆ＿Ｒなどに依存する。したがって、参照電圧Ｖｒｅｆ＿Ｒ、Ｖｒｅｆ＿Ｇ、Ｖｒｅｆ＿Ｂを調整することにより、各色のデータ電圧Ｖｄａｔａのゼロ点

を揃え、データ電圧の振幅を揃えることができる。このように表示装置１０の内部でデータ電圧のゼロ点を揃えることにより、表示装置１０の外部で行われるＤ／Ａ変換を簡単化することができる。

[0089] なお、上述した表示装置１０では、駆動用ＴＦＴ２１のゲート端子とソース端子との間に表示色に応じた初期電位差を与えるために、データ線に印加する初期電圧を表示色に応じて切り替えることとしたが、これに代えて、駆動用ＴＦＴ２１のソース端子に印加される電源電圧を表示色に応じて切り替えてもよい。図８は、本発明の第１の実施形態の変形例に係る表示装置の構成を示すブロック図である。図８に示す表示装置４０は、出力回路３０を含むソースドライバ回路１３に代えて、出力回路４５を含むソースドライバ回路４３を備え、電源１４に代えて電源４４を備えている。図９は表示装置４０に含まれる画素回路２０の回路図であり、図１０は出力回路４５の回路図である。

[0090] 図８に示す電源４４は、画素回路２０に対して電源電圧ＶＤＤ＿Ｒ、ＶＤＤ＿Ｇ、ＶＤＤ＿Ｂ、ＶＳＳを供給すると共に、出力回路３０に対して初期電圧Ｖｉｎｔと参照電圧Ｖｒｅｆ＿Ｒ、Ｖｒｅｆ＿Ｇ、Ｖｒｅｆ＿Ｂを供給する。図９に示すように、Ｒ画素回路２０ｒは電源配線Ｖｐ＿Ｒに接続され、Ｇ画素回路２０ｇは電源配線Ｖｐ＿Ｇに接続され、Ｂ画素回路２０ｂは電源配線Ｖｐ＿Ｂに接続される。電源配線Ｖｐ＿Ｒには電源４４から供給された電源電圧ＶＤＤ＿Ｒが印加され、電源配線Ｖｐ＿Ｇには電源４４から供給された電源電圧ＶＤＤ＿Ｇが印加され、電源配線Ｖｐ＿Ｂには電源４４から供給された電源電圧ＶＤＤ＿Ｂが印加される。図１０に示すＲ出力回路４５ｒ、Ｇ出力回路４５ｇおよびＢ出力回路４５ｂでは、スイッチ３６の一方の端子には電源４４から供給された同じ初期電圧Ｖｉｎｔが印加される。

[0091] 表示装置４０では、電源電圧ＶＤＤ＿Ｒ、ＶＤＤ＿Ｇ、ＶＤＤ＿Ｂのうち、少なくとも２つが互いに異なるように設定される。具体的には、Ｇ画素回路用の電源電圧ＶＤＤ＿ＧとＢ画素回路用の初期電圧ＶＤＤ＿Ｂが異なり、｜Ｖｇｓ０＿Ｇ｜＜｜Ｖｇｓ０＿Ｂ｜を満たすことが好ましい。また、電源

電圧ＶＤＤ＿Ｒ、ＶＤＤ＿Ｇ、ＶＤＤ＿Ｂが互いにすべて異なり、｜Ｖｇｓ０＿Ｇ｜＜｜Ｖｇｓ０＿Ｒ｜＜｜Ｖｇｓ０＿Ｂ｜を満たす（すなわち、ＶＤＤ＿Ｇ＜ＶＤＤ＿Ｒ＜ＶＤＤ＿Ｂを満たす）ことがより好ましい。

[0092] このように構成された表示装置４０でも、表示色に応じた電源電圧ＶＤＤ＿Ｒ、ＶＤＤ＿Ｇ、ＶＤＤ＿Ｂを使用することにより、駆動用ＴＦＴ２１の閾値補正を行うときに、駆動用ＴＦＴ２１のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。また、複数の参照電圧Ｖｒｅｆ＿Ｒ、Ｖｒｅｆ＿Ｇ、Ｖｒｅｆ＿Ｂを用いることにより、表示装置４０の内部でデータ電圧のゼロ点を揃え、表示装置４０の外部で行われるＤ／Ａ変換を簡単化することができる。

[0093] なお、以上の説明では、３本のデータ線Ｓｋ＿Ｒ、Ｓｋ＿Ｇ、Ｓｋ＿Ｂに対応してアナログバッファを設けることとしたが、アナログバッファをｐ（ｐは１以上の任意の整数）本のデータ線に対応して設けてもよい。

[0094] （第２の実施形態）

図１１は、本発明の第２の実施形態に係る表示装置の構成を示すブロック図である。図１１に示す表示装置５０は、表示制御回路５１、ゲートドライバ回路５２、ソースドライバ回路５３、電源５４、および、（ｍ×ｎ）個の画素回路６０を備え、ＲＧＢ３色によるカラー表示を行う。本実施形態の構成要素のうち第１の実施形態と同一の要素については、同一の参照符号を付して説明を省略し、以下では第１の実施形態に係る表示装置１０との相違点を説明する。

[0095] 表示装置５０には、互いに平行なｎ本の走査線ＧＡｉと、これに直交する互いに平行なｍ本のデータ線Ｓｊとが設けられる。画素回路６０は、走査線ＧＡｉとデータ線Ｓｊの各交差点に対応してマトリクス状に配置されている。また、走査線ＧＡｉと平行に、互いに平行な走査線ＧＢｉと制御線Ｅｉがｎ本ずつ配置されている。走査線ＧＡｉ、ＧＢｉと制御線Ｅｉはゲートドライバ回路５２に接続され、データ線Ｓｊはソースドライバ回路５３に接続さ

れている。画素回路６０の配置領域には、電源配線Ｖｐ、共通陰極Ｖｃｏｍおよび３系統のプリチャージ線（いずれも図示せず）が配置されている。

[0096] 第１の実施形態と同様に、画素回路６０はＲ画素回路、Ｇ画素回路およびＢ画素回路に分類される。（３ｋ－２）列目にはＲ画素回路が配置され、（３ｋ－１）列目にはＧ画素回路が配置され、３ｋ列目にはＢ画素回路が配置される。

[0097] 表示制御回路５１は、第１の実施形態に係る表示制御回路１１から制御線ＳＣＡＮ１＿Ｒ、ＳＣＡＮ１＿Ｇ、ＳＣＡＮ１＿Ｂ、ＳＣＡＮ２、ＳＣＡＮ３の電位を制御する機能を削除したものである。ゲートドライバ回路５２は、第１の実施形態に係るゲートドライバ回路１２と同様の構成を有し、走査線ＧＡｉ、ＧＢｉと制御線Ｅｉの電位を制御する。ソースドライバ回路５３は、ｍビットのシフトレジスタ１５、レジスタ１６、ラッチ１７、および、ｍ個のアナログバッファ５５を含み、線順次走査を行う。アナログバッファ５５は、ボルテージホロワ回路（ユニティゲインアンプ）であり、データ線Ｓｊに対応して設けられる。

[0098] 電源５４は、表示装置５０の各部に電源電圧を供給する。より詳細には、電源５４は、画素回路６０に対して電源電圧ＶＤＤ、ＶＳＳを供給すると共に、画素回路６０に対して初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂを供給する。なお、図１１では、電源５４と画素回路６０を接続する配線は省略されている。

[0099] 図１２は、画素回路６０の回路図である。図１２には、Ｒ画素回路６０ｒ、Ｇ画素回路６０ｇおよびＢ画素回路６０ｂ（以下、総称して３個の画素回路６０ともいう）が記載されている。図１２に示すように、３個の画素回路６０は、いずれも、駆動用ＴＦＴ６１、スイッチ用ＴＦＴ６２～６６、有機ＥＬ素子６７、および、コンデンサ６８を備えている。駆動用ＴＦＴ６１はＰチャネル型のエンハンスメント型、スイッチ用ＴＦＴ６２～６６はＰチャネル型である。スイッチ用ＴＦＴ６２は書き込み用スイッチング素子として機能し、スイッチ用ＴＦＴ６３は補償用スイッチング素子として機能し、ス

イッチ用ＴＦＴ６５、６６は初期化用スイッチング素子として機能する。

[0100] Ｒ画素回路６０ｒは、電源配線Ｖｐ、共通陰極Ｖｃｏｍ、１本のプリチャージ線、走査線ＧＡｉ、ＧＢｉ、制御線Ｅｉ、および、データ線Ｓｋ＿Ｒに接続されている。電源配線Ｖｐには電源５４から供給された電源電圧ＶＤＤが印加され、共通陰極Ｖｃｏｍには電源５４から供給された電源電圧ＶＳＳが印加され、プリチャージ線には電源５４から供給された初期電圧Ｖｉｎｔ＿Ｒが印加される。共通陰極Ｖｃｏｍは、表示装置５０内のすべての有機ＥＬ素子６７に共通する陰極となる。

[0101] Ｒ画素回路６０ｒでは、電源配線Ｖｐと共通陰極Ｖｃｏｍとの間に、電源配線Ｖｐ側から順に、駆動用ＴＦＴ６１、スイッチ用ＴＦＴ６４および有機ＥＬ素子６７が直列に設けられている。駆動用ＴＦＴ６１のゲート端子とデータ線Ｓｋ＿Ｒとの間には、ゲート端子側から順に、コンデンサ６８とスイッチ用ＴＦＴ６２が直列に設けられている。以下、コンデンサ６８の一方の電極（駆動用ＴＦＴ６１側の電極）が接続される節点をＤ、他方の電極が接続される節点をＥという。駆動用ＴＦＴ６１のゲート端子とドレイン端子との間にはスイッチ用ＴＦＴ６３が設けられ、節点Ｅと初期電圧Ｖｉｎｔ＿Ｒが印加されたプリチャージ線との間にはスイッチ用ＴＦＴ６５が設けられ、駆動用ＴＦＴ６１のドレイン端子と当該プリチャージ線との間にはスイッチ用ＴＦＴ６６が設けられている。スイッチ用ＴＦＴ６２、６３のゲート端子は走査線ＧＡｉに接続され、スイッチ用ＴＦＴ６６のゲート端子は走査線ＧＢｉに接続され、スイッチ用ＴＦＴ６４、６５のゲート端子は制御線Ｅｉに接続されている。

[0102] Ｇ画素回路６０ｇとＢ画素回路６０ｂの構成は、Ｒ画素回路６０ｒと同様である。ただし、Ｇ画素回路６０ｇでは、スイッチ用ＴＦＴ６５、６６の一端は、初期電圧Ｖｉｎｔ＿Ｇが印加されたプリチャージ線に接続される。また、Ｂ画素回路６０ｂでは、スイッチ用ＴＦＴ６５、６６の一端は、初期電圧Ｖｉｎｔ＿Ｂが印加されたプリチャージ線に接続される。

[0103] 以下、Ｒ画素回路６０ｒ、Ｇ画素回路６０ｇおよびＢ画素回路６０ｂ内の

駆動用ＴＦＴ６１の閾値電圧を、それぞれ、Ｖｔｈ＿Ｒ、Ｖｔｈ＿ＧおよびＶｔｈ＿Ｂ（ただし、いずれも負の値）とする。初期電圧Ｖｉｎｔ＿Ｒは、Ｒ画素回路６０ｒ内の駆動用ＴＦＴ６１の閾値補正に使用される。同様に、初期電圧Ｖｉｎｔ＿ＧはＧ画素回路６０ｇ内の駆動用ＴＦＴ６１の閾値補正に使用され、初期電圧Ｖｉｎｔ＿ＢはＢ画素回路６０ｂ内の駆動用ＴＦＴ６１の閾値補正に使用される。

[0104] 図１３は、画素回路６０の駆動方法を示すタイミングチャートである。以下、図１３を参照して、３個のアナログバッファ５５を用いて、走査線Ｇｉとデータ線Ｓｋ＿Ｒ、Ｓｋ＿Ｇ、Ｓｋ＿Ｂに接続された３個の画素回路６０に対して、それぞれのデータ電圧Ｖｄａｔａを書き込むときの動作を説明する。図１３では、時刻ｔ０から時刻ｔ４までが３個の画素回路６０の選択期間となる。時刻ｔ２より前では、３個の画素回路６０の駆動用ＴＦＴ６１のゲート端子電位を並列に検知する処理が行われ、時刻ｔ２より後では、３個の画素回路６０に対してそれぞれのデータ電圧を並列に書き込む処理が行われる。

[0105] 時刻ｔ０より前では、走査線ＧＡｉ、ＧＢｉの電位はハイレベルに、制御線Ｅｉの電位はローレベルに制御される。このため、３個の画素回路６０では、スイッチ用ＴＦＴ６２、６３、６６は非導通状態にあり、スイッチ用ＴＦＴ６４、６５は導通状態にある。このとき駆動用ＴＦＴ６１は導通状態にあるので、電源配線Ｖｐから駆動用ＴＦＴ６１とスイッチ用ＴＦＴ６４を経由して有機ＥＬ素子６７に電流が流れ、有機ＥＬ素子６７は発光する。このように時刻ｔ０より前では、３個の画素回路６０内の有機ＥＬ素子６７はいずれも発光状態にある。

[0106] 時刻ｔ０において制御線Ｅｉの電位がハイレベルに変化すると、３個の画素回路６０ではスイッチ用ＴＦＴ６４、６５が非導通状態に変化する。このため、電源配線Ｖｐから有機ＥＬ素子６７に流れる電流は遮断され、有機ＥＬ素子６７は発光を停止する。

[0107] 次に時刻ｔ１において走査線ＧＡｉ、ＧＢｉの電位がローレベルに変化す

ると、３個の画素回路６０ではスイッチ用ＴＦＴ６２、６３、６６が導通状態に変化する。このため、節点Ｄはスイッチ用ＴＦＴ６３、６６を介してプリチャージ線に接続され、節点Ｅはスイッチ用ＴＦＴ６２を介してデータ線Ｓｊに接続される。走査線ＧＡｉの電位がローレベルである間、データ線Ｓｋ＿Ｒ、Ｓｋ＿Ｇ、Ｓｋ＿Ｂには、それぞれ、ラッチ１７から出力されたデータ電圧Ｖｄ＿Ｒ、Ｖｄ＿Ｇ、Ｖｄ＿Ｂが印加される。したがって、Ｒ画素回路６０ｒでは、節点Ｄの電位はＶｉｎｔ＿Ｒとなり、節点Ｅの電位はＶｄ＿Ｒとなる。同様に、Ｇ画素回路６０ｇでは節点Ｄの電位はＶｉｎｔ＿Ｇとなり、節点Ｅの電位はＶｄ＿Ｇとなる。また、Ｂ画素回路６０ｂでは節点Ｄの電位はＶｉｎｔ＿Ｂとなり、節点Ｅの電位はＶｄ＿Ｂとなる。

[0108] 次に時刻ｔ２において走査線ＧＢｉの電位がハイレベルに変化すると、３個の画素回路６０ではスイッチ用ＴＦＴ６６が非導通状態に変化する。時刻ｔ２以降、電源配線Ｖｐから駆動用ＴＦＴ６１とスイッチ用ＴＦＴ６３を経由して駆動用ＴＦＴ６１のゲート端子に電流が流れ込み、節点Ｄの電位は駆動用ＴＦＴ６１が導通状態である間は上昇する。

[0109] 次に時刻ｔ３において走査線ＧＡｉの電位がハイレベルに変化すると、３個の画素回路６０ではスイッチ用ＴＦＴ６２、６３が非導通状態に変化する。時刻ｔ３の直前におけるＲ画素回路６０ｒ、Ｇ画素回路６０ｇおよびＢ画素回路６０ｂ内の節点Ｄの電位を（ＶＤＤ＋Ｖｘ＿Ｒ）、（ＶＤＤ＋Ｖｘ＿Ｇ）および（ＶＤＤ＋Ｖｘ＿Ｂ）とする。ただし、電圧Ｖｘ＿Ｒ、Ｖｘ＿Ｇ、Ｖｘ＿Ｂは負の値であり、｜Ｖｘ＿Ｒ｜＞｜Ｖｔｈ＿Ｒ｜、｜Ｖｘ＿Ｇ｜＞｜Ｖｔｈ＿Ｇ｜、｜Ｖｘ＿Ｂ｜＞｜Ｖｔｈ＿Ｂ｜を満たすとする。

[0110] 時刻ｔ３においてスイッチ用ＴＦＴ６２、６３が非導通状態に変化したとき、Ｒ画素回路６０ｒ内のコンデンサ６８には電圧（ＶＤＤ＋Ｖｘ＿Ｒ－Ｖｄ＿Ｒ）が保持される。同様に、Ｇ画素回路６０ｇ内のコンデンサ６８には電圧（ＶＤＤ＋Ｖｘ＿Ｇ－Ｖｄ＿Ｇ）が保持され、Ｂ画素回路６０ｂ内のコンデンサ６８には電圧（ＶＤＤ＋Ｖｘ＿Ｂ－Ｖｄ＿Ｂ）が保持される。

[0111] 上述したように、Ｒ画素回路６０ｒ内の節点Ｄの電位は、駆動用ＴＦＴ６

１が導通状態である間は上昇する。したがって、十分な時間があれば、Ｒ画素回路６０ｒ内の節点Ｄの電位は、駆動用ＴＦＴ６１のゲートーソース間電圧が閾値電圧Ｖｔｈ＿Ｒ（負の値）になる（駆動用ＴＦＴ６１が閾値状態になる）まで上昇し、最終的に（ＶＤＤ＋Ｖｔｈ＿Ｒ）に到達する。しかし、表示装置５０では、駆動用ＴＦＴ６１が導通状態である間に、時刻ｔ３になる。このため、時刻ｔ３の直前における節点Ｄの電位（ＶＤＤ＋Ｖｘ＿Ｒ）は（ＶＤＤ＋Ｖｔｈ＿Ｒ）よりも低い。電圧Ｖｘ＿Ｒは閾値電圧Ｖｔｈ＿Ｒに応じて変化し、閾値電圧Ｖｔｈ＿Ｒの絶対値が大きいほど電圧Ｖｘ＿Ｒの絶対値は大きくなる。同様に、時刻ｔ３の直前におけるＧ画素回路６０ｇ内の節点Ｄの電位（ＶＤＤ＋Ｖｘ＿Ｇ）は（ＶＤＤ＋Ｖｔｈ＿Ｇ）よりも低く、閾値電圧Ｖｔｈ＿Ｇの絶対値が大きいほど電圧Ｖｘ＿Ｇの絶対値は大きくなる。また、時刻ｔ３の直前におけるＢ画素回路６０ｂ内の節点Ｄの電位（ＶＤＤ＋Ｖｘ＿Ｂ）は（ＶＤＤ＋Ｖｔｈ＿Ｂ）よりも低く、閾値電圧Ｖｔｈ＿Ｂの絶対値が大きいほど電圧Ｖｘ＿Ｂの絶対値は大きくなる。

[0112] 次に時刻ｔ４において制御線Ｅｉの電位がローレベルに変化すると、３個の画素回路６０ではスイッチ用ＴＦＴ６４、６５が導通状態に変化する。Ｒ画素回路６０ｒでは、コンデンサ６８が電圧（ＶＤＤ＋Ｖｘ＿Ｒ－Ｖｄ＿Ｒ）を保持している間に、節点Ｅの電位がＶｄ＿ＲからＶｉｎｔ＿Ｒに変化する。したがって、節点Ｄの電位も、同じ量（Ｖｉｎｔ＿Ｒ－Ｖｄ＿Ｒ）だけ変化して（ＶＤＤ＋Ｖｘ＿Ｒ）＋（Ｖｉｎｔ＿Ｒ－Ｖｄ＿Ｒ）＝（ＶＤＤ＋Ｖｘ＿Ｒ＋Ｖｉｎｔ＿Ｒ－Ｖｄ＿Ｒ）となる。同様に、Ｇ画素回路６０ｇ内の節点Ｄの電位は（ＶＤＤ＋Ｖｘ＿Ｇ＋Ｖｉｎｔ＿Ｇ－Ｖｄ＿Ｇ）となり、Ｂ画素回路６０ｂ内の節点Ｄの電位は（ＶＤＤ＋Ｖｘ＿Ｂ＋Ｖｉｎｔ＿Ｂ－Ｖｄ＿Ｂ）となる。

[0113] 時刻ｔ４以降、３個の画素回路６０内のコンデンサ６８に保持された電圧は変化しない。このため、Ｒ画素回路６０ｒ内の節点Ｄの電位は（ＶＤＤ＋Ｖｘ＿Ｒ＋Ｖｉｎｔ＿Ｒ－Ｖｄ＿Ｒ）のままである。同様に、Ｇ画素回路６０ｇ内の節点Ｄの電位は（ＶＤＤ＋Ｖｘ＿Ｇ＋Ｖｉｎｔ＿Ｇ－Ｖｄ＿Ｇ）の

ままであり、Ｂ画素回路６０ｂ内の節点Ｄの電位は（ＶＤＤ＋Ｖｘ＿Ｂ＋Ｖｉｎｔ＿Ｂ－Ｖｄ＿Ｂ）のままである。したがって、３個の画素回路６０では、時刻ｔ４以降、次に制御線Ｅｉの電位がハイレベルとなるまで、電源配線Ｖｐから駆動用ＴＦＴ６１とスイッチ用ＴＦＴ６４を経由して有機ＥＬ素子６７に電流が流れ、有機ＥＬ素子６７は発光する。このときに駆動用ＴＦＴ６１を流れる電流の量は節点Ｄの電位に応じて増減するが、以下に示すように、駆動用ＴＦＴ６１の閾値電圧が異なっていてもデータ電圧が同じであれば電流量を同じにすることができる。

[0114] 例として、Ｒ画素回路６０ｒについて説明する。Ｒ画素回路６０ｒでは、有機ＥＬ素子６７が発光するときに駆動用ＴＦＴ６１のゲート端子電位Ｖｇは（ＶＤＤ＋Ｖｘ＿Ｒ＋Ｖｉｎｔ＿Ｒ－Ｖｄ＿Ｒ）となる。したがって、式（１）より、駆動用ＴＦＴ６１のドレインーソース間を流れる電流I_{EL}は、次式（６）に示すようになる。

$$I_{EL}=-1/2\cdot W/L\cdot Cox\cdot\mu\cdot\{Vint_R-Vd_R+(Vx_R-Vth_R)\}^2 \quad \cdots(6)$$

式（６）において電圧Ｖｘ＿Ｒが閾値電圧Ｖｔｈ＿Ｒに一致すれば、電流I_{EL}は閾値電圧Ｖｔｈ＿Ｒには依存しない。また、電圧Ｖｘ＿Ｒが閾値電圧Ｖｔｈ＿Ｒに一致しなくても、両者の差が一定であれば、電流I_{EL}は閾値電圧Ｖｔｈ＿Ｒには依存しない。

[0115] 表示装置５０では、第１の実施形態と同様に、Ｒ画素回路内の２つのＴＦＴ間で電圧Ｖｘ＿Ｒの差が閾値電圧Ｖｔｈ＿Ｒの差とほぼ同じになるように、閾値補正期間の長さや初期電圧Ｖｉｎｔ＿Ｒのレベルが決定される。このため、式（６）に含まれる電圧差（Ｖｘ＿Ｒ－Ｖｔｈ＿Ｒ）はほぼ一定になる。したがって、Ｒ画素回路６０ｒでは、閾値電圧Ｖｔｈ＿Ｒの値にかかわらず、有機ＥＬ素子６７にはデータ電圧Ｖｄ＿Ｒに応じた量の電流が流れ、有機ＥＬ素子６７はデータ電圧Ｖｄ＿Ｒに応じた輝度で発光する。

[0116] 同様に、Ｇ画素回路６０ｇでは、閾値電圧Ｖｔｈ＿Ｇの値にかかわらず、有機ＥＬ素子６７にはデータ電圧Ｖｄ＿Ｇに応じた量の電流が流れ、有機Ｅ

Ｌ素子６７はデータ電圧Ｖｄ＿Ｇに応じた輝度で発光する。また、Ｂ画素回路６０ｂでは、閾値電圧Ｖｔｈ＿Ｂの値にかかわらず、有機ＥＬ素子２５にはデータ電圧Ｖｄ＿Ｂに応じた量の電流が流れ、有機ＥＬ素子６７はデータ電圧Ｖｄ＿Ｂに応じた輝度で発光する。表示装置５０では、第１の実施形態に係る表示装置１０と比べて画素回路６０の構成は複雑になるが、ソースドライバ回路５３の構成は簡単になる。

[0117] 表示装置５０では、初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂのうち、少なくとも２つが互いに異なるように設定される。具体的には、Ｇ画素回路用の初期電圧Ｖｉｎｔ＿ＧとＢ画素回路用の初期電圧Ｖｉｎｔ＿Ｂが異なり、｜Ｖｇｓ０＿Ｇ｜＜｜Ｖｇｓ０＿Ｂ｜を満たすことが好ましい。また、初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂが互いにすべて異なり、｜Ｖｇｓ０＿Ｇ｜＜｜Ｖｇｓ０＿Ｒ｜＜｜Ｖｇｓ０＿Ｂ｜を満たすことがより好ましい。初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂは、いずれも電源電圧ＶＤＤよりも低いレベルに設定される。

[0118] 本実施形態に係る表示装置５０は、第１の実施形態に係る表示装置１０と同様の効果を奏する。図１６に示す画素回路１３０を備えた従来の表示装置では、装置全体で１種類の初期電圧Ｖｉｎｔが使用される。このため、従来の表示装置には、緑色を基準として初期電圧Ｖｉｎｔを決定すると画質が低下し、青色を基準として初期電圧Ｖｉｎｔを決定すると消費電力が増大するという問題がある。

[0119] これに対して、本実施形態に係る表示装置５０では、複数の初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂが使用され、このうち少なくとも２つ以上が異なっている。このため、例えば、Ｂ画素回路には｜Ｖｇｓ０｜が大きくなる初期電圧Ｖｉｎｔ＿Ｂを使用し、Ｇ画素回路には｜Ｖｇｓ０｜が小さくなる初期電圧Ｖｉｎｔ＿Ｇを使用することができる。これにより、人間が色度の違いに敏感な青色については、駆動用ＴＦＴ６１のゲート端子とソース端子との間に大きな初期電位差を与え、閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な緑色につい

ては、駆動用ＴＦＴ６１のゲート端子とソース端子との間に小さな初期電位差を与え、信号線の過剰な充放電を減らして消費電力を削減することができる。また、｜Ｖｇｓ０＿Ｇ｜＜｜Ｖｇｓ０＿Ｒ｜＜｜Ｖｇｓ０＿Ｂ｜を満たす初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂを使用すれば、上記の効果をさらに高めることができる。

[0120] このように本実施形態に係る表示装置５０によれば、表示色に応じた初期電圧Ｖｉｎｔ＿Ｒ、Ｖｉｎｔ＿Ｇ、Ｖｉｎｔ＿Ｂを使用することにより、駆動用ＴＦＴ６１の閾値補正を行うときに、駆動用ＴＦＴ６１のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。

[0121] なお、本実施形態についても、第１の実施形態と同様に、３種類の画素回路を別個の電源配線に接続した変形例を構成することができる。この変形例に係る表示装置では、Ｒ画素回路６０ｒに接続された電源配線には電源電圧ＶＤＤ＿Ｒが印加され、Ｇ画素回路６０ｇに接続された電源配線には電源電圧ＶＤＤ＿Ｇが印加され、Ｂ画素回路６０ｂに接続された電源配線には電源電圧ＶＤＤ＿Ｂが印加される。

[0122] 以上に示すように、本発明の表示装置によれば、駆動素子の閾値補正を行ってカラー表示を行うときに、駆動素子の制御端子と第２の導通端子との間に表示色に応じた初期電位差を与えることにより、画質を高くし、消費電力を削減することができる。

産業上の利用可能性

[0123] 本発明の表示装置は、高画質で低消費電力であるという特徴を有するので、各種の電子機器の表示装置として利用することができる。

符号の説明

[0124] １０、４０、５０…表示装置

１１、５１…表示制御回路

１２、５２…ゲートドライバ回路

１３、４３、５３…ソースドライバ回路

１４、４４、５４…電源

１５…シフトレジスタ

１６…レジスタ

１７…ラッチ

２０、６０…画素回路

２１、６１…駆動用ＴＦＴ

２２～２４、６２～６６…スイッチ用ＴＦＴ

２５、６７…有機ＥＬ素子

２６、３７、６８…コンデンサ

３０、４５…出力回路

３１～３６…スイッチ

３８、５５…アナログバッファ

請求の範囲

[請求項1] カラー表示を行う電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第１の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第２の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも２種類の画素回路間で異なることを特徴とする、表示装置。

[請求項2] 前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、

前記３種類の画素回路の中では前記緑色用の画素回路において、前記補償用スイッチング素子の導通期間に前記補償用スイッチング素子を流れる電流が最小となるように、前記初期電位差が設定されていることを特徴とする、請求項１に記載の表示装置。

[請求項3] 前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、

前記３種類の画素回路の中では前記青色用の画素回路において、前記補償用スイッチング素子の導通期間に前記補償用スイッチング素子

を流れる電流が最大となるように、前記初期電位差が設定されていることを特徴とする、請求項１に記載の表示装置。

[請求項4] 前記画素回路は、前記データ線と前記駆動素子の制御端子との間に設けられた書き込み用スイッチング素子をさらに含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記初期電位差が与えられるように、少なくとも２種類の画素回路間で異なる初期電圧を前記データ線に印加することを特徴とする、請求項１に記載の表示装置。

[請求項5] 前記駆動回路は、前記データ線に対応した容量を含み、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を導通状態に制御したままで、前記容量の第１の電極を前記データ線に接続し、前記容量の第２の電極に印加する電圧を参照電圧から前記データ電圧に切り替えることを特徴とする、請求項４に記載の表示装置。

[請求項6] 前記参照電圧は、少なくとも２種類の画素回路間で異なることを特徴とする、請求項５に記載の表示装置。

[請求項7] 前記画素回路は、第１の電極が前記駆動素子の制御端子に接続された容量と、前記容量の第２の電極と前記データ線との間に設けられた書き込み用スイッチング素子と、前記容量の２個の電極に所定の初期電圧を印加するか否かを切り替える初期化用スイッチング素子とを含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記データ線に前記データ電圧を印加すると共に、前記容量の第１の電極に前記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を非導通状態に制御すると共に、前記容量の第２の電極に前記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、

前記初期電圧は、前記初期電位差が与えられるように、少なくとも２種類の画素回路間で異なることを特徴とする、請求項１に記載の表示装置。

[請求項8] 前記駆動素子の第２の導通端子には、前記初期電位差が与えられるように、少なくとも２種類の画素回路間で異なる電源電圧が印加されることを特徴とする、請求項１に記載の表示装置。

[請求項9] 複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第１の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路を有する表示装置の駆動方法であって、

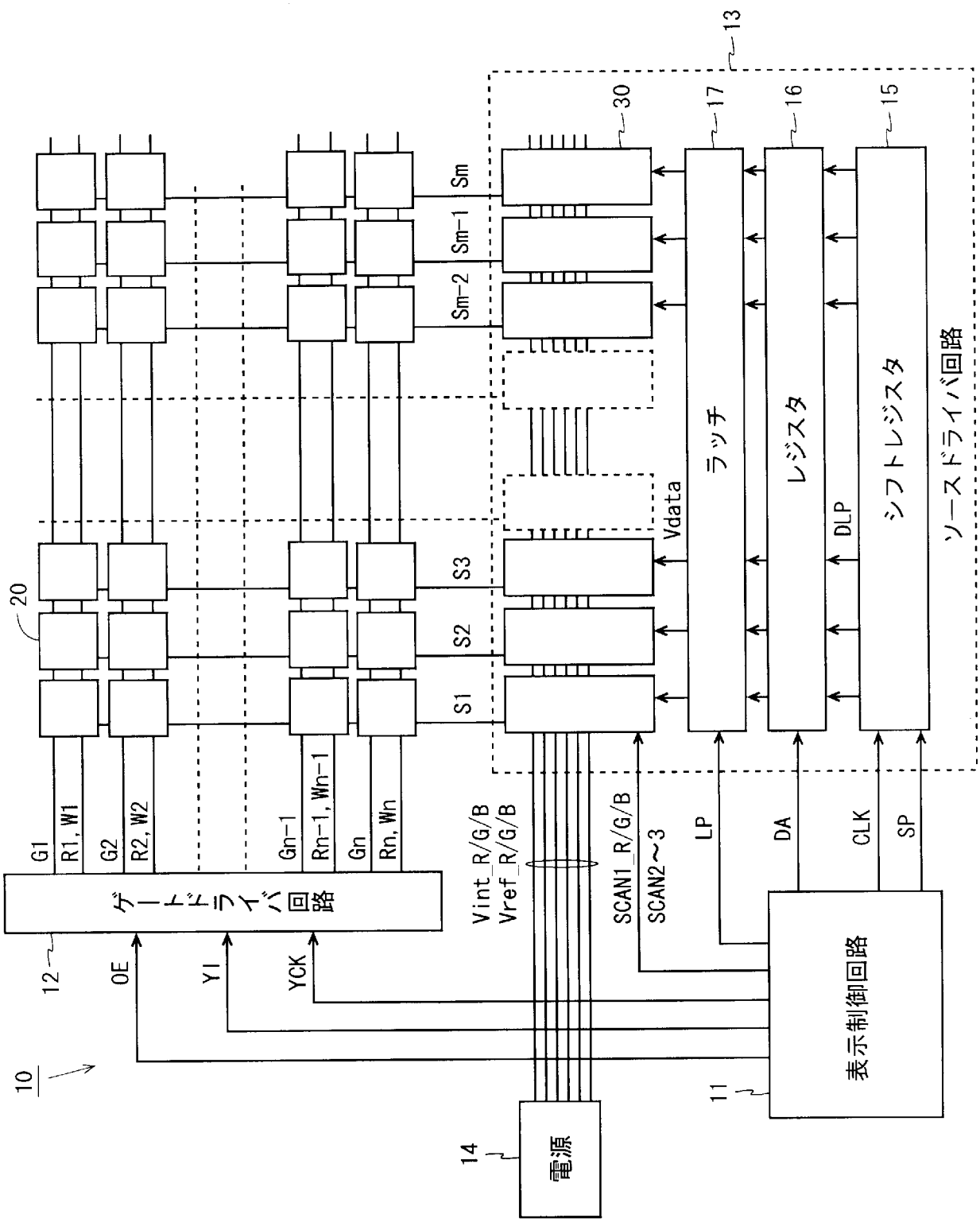
前記走査線を用いて書き込み対象の画素回路を選択するステップと、

選択した画素回路について、前記駆動素子の制御端子と第２の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御するステップと、

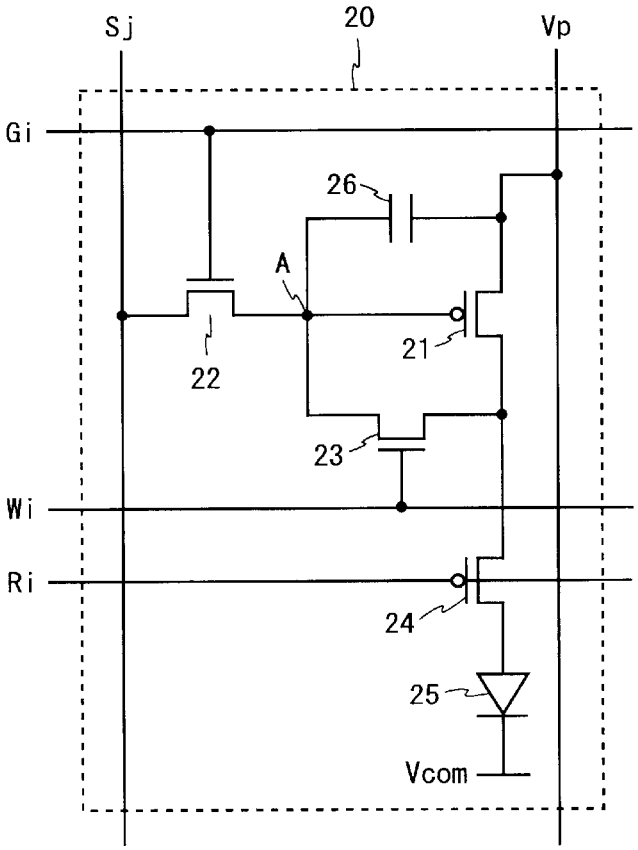
選択した画素回路について、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加するステップとを備え、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも２種類の画素回路間で異なることを特徴とする、表示装置の駆動方法。

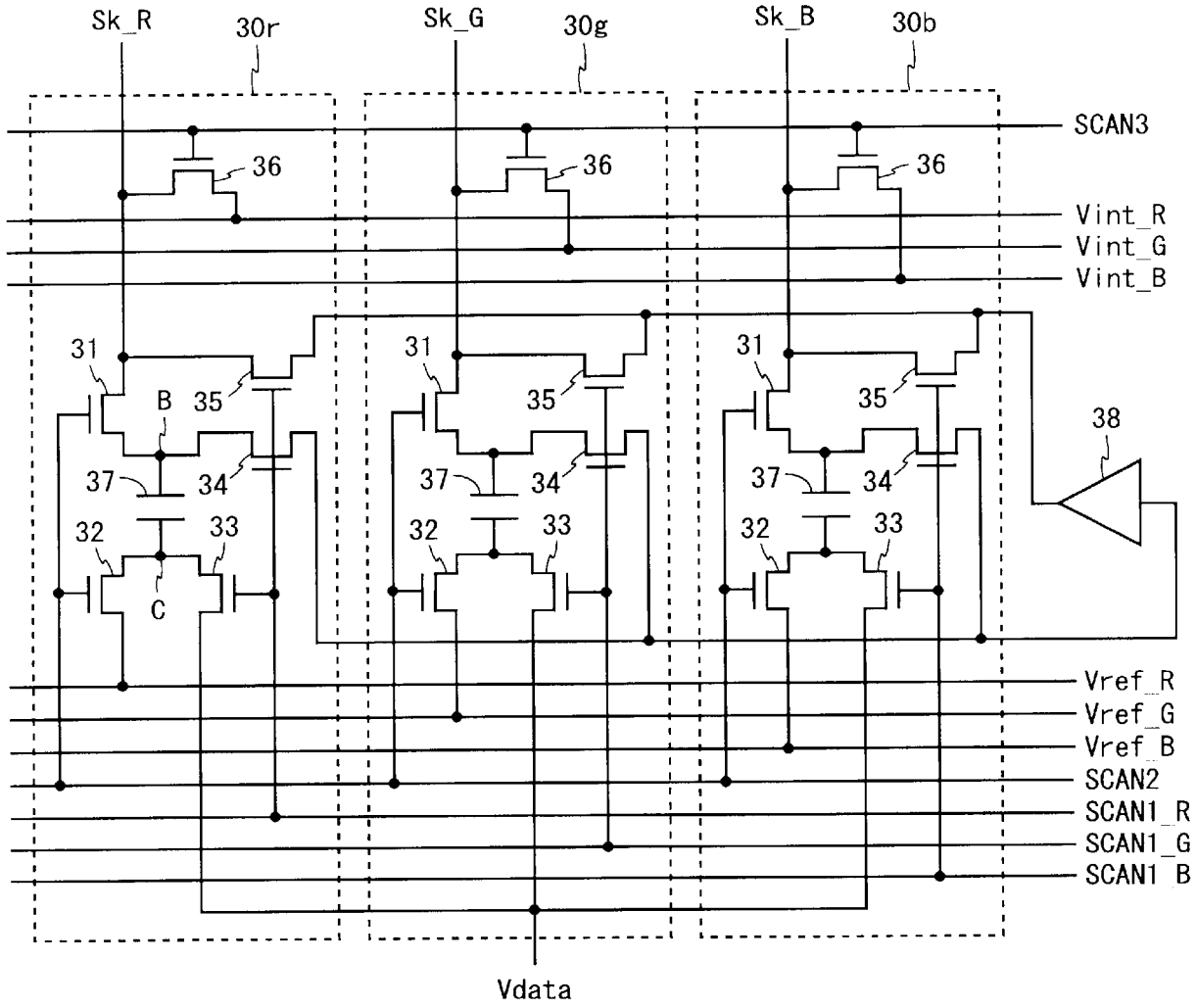
[図1]


10
11
12
13
14
15
16
17
20
30
ゲートドライバ回路
表示制御回路
電源
ラッチ
レジスタ
シフトレジスタ
ソースドライバ回路
G1
R1, W1
G2
R2, W2
Gn-1
Rn-1, Wn-1
Gn
Rn, Wn
S1
S2
S3
Sm-2
Sm-1
Sm
OE
YI
YCK
Vint_R/G/B
Vref_R/G/B
SCAN1_R/G/B
SCAN2～3
Vdata
LP
DA
DLP
CLK
SP

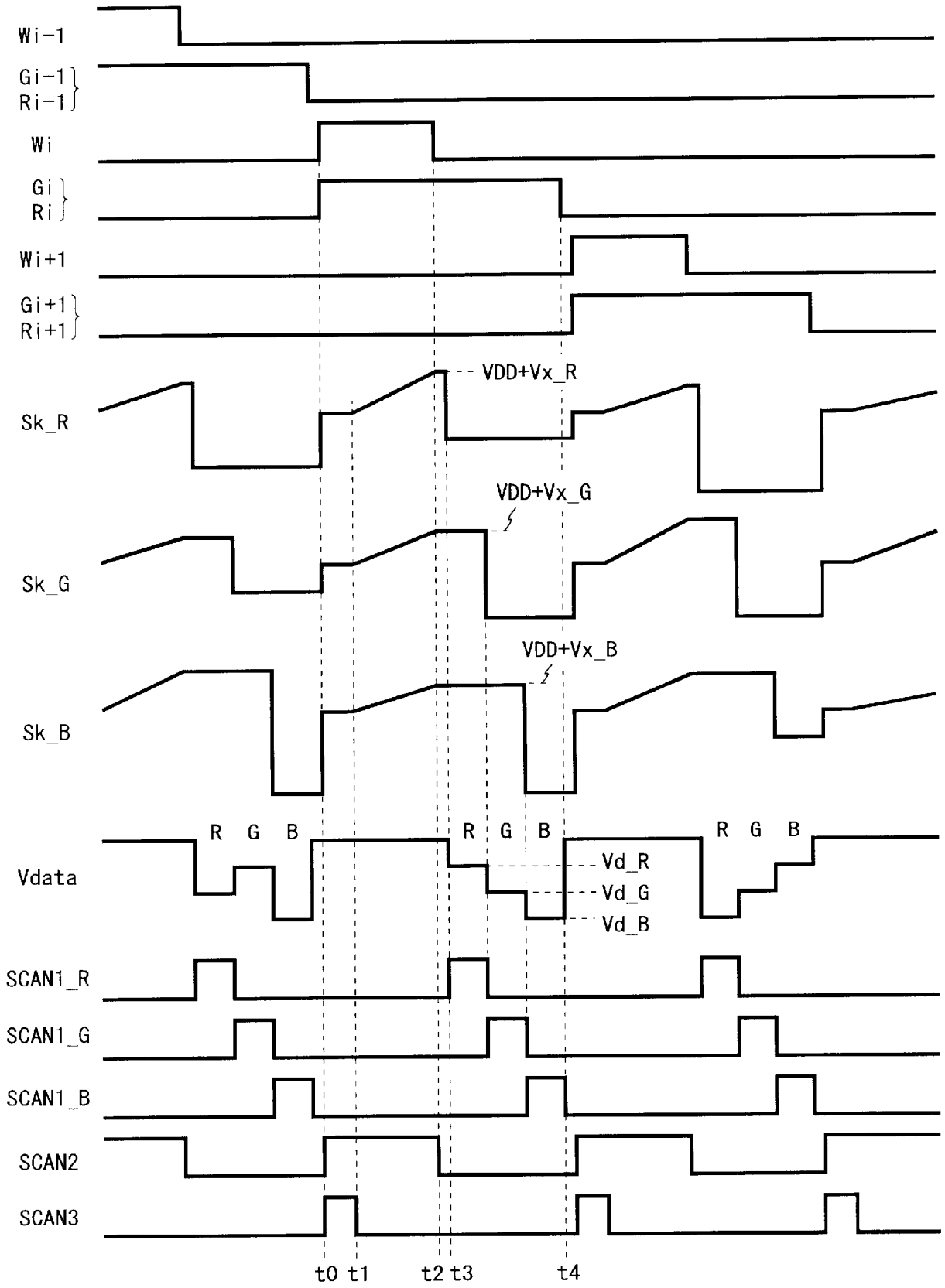
[図2]



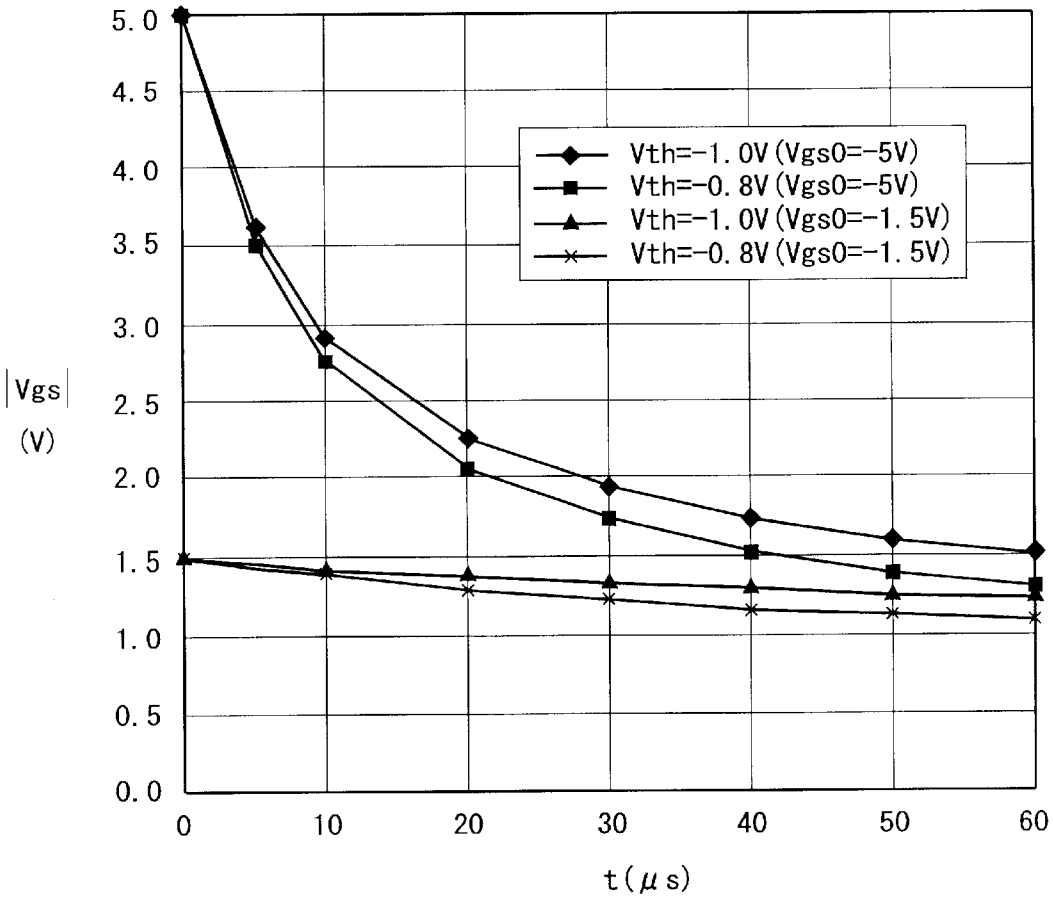
[図3]


Sk_R
30r
Sk_G
30g
Sk_B
30b
SCAN3
36
Vint_R
Vint_G
Vint_B
31
B
35
37
34
32
33
C
38
Vref_R
Vref_G
Vref_B
SCAN2
SCAN1_R
SCAN1_G
SCAN1_B
Vdata

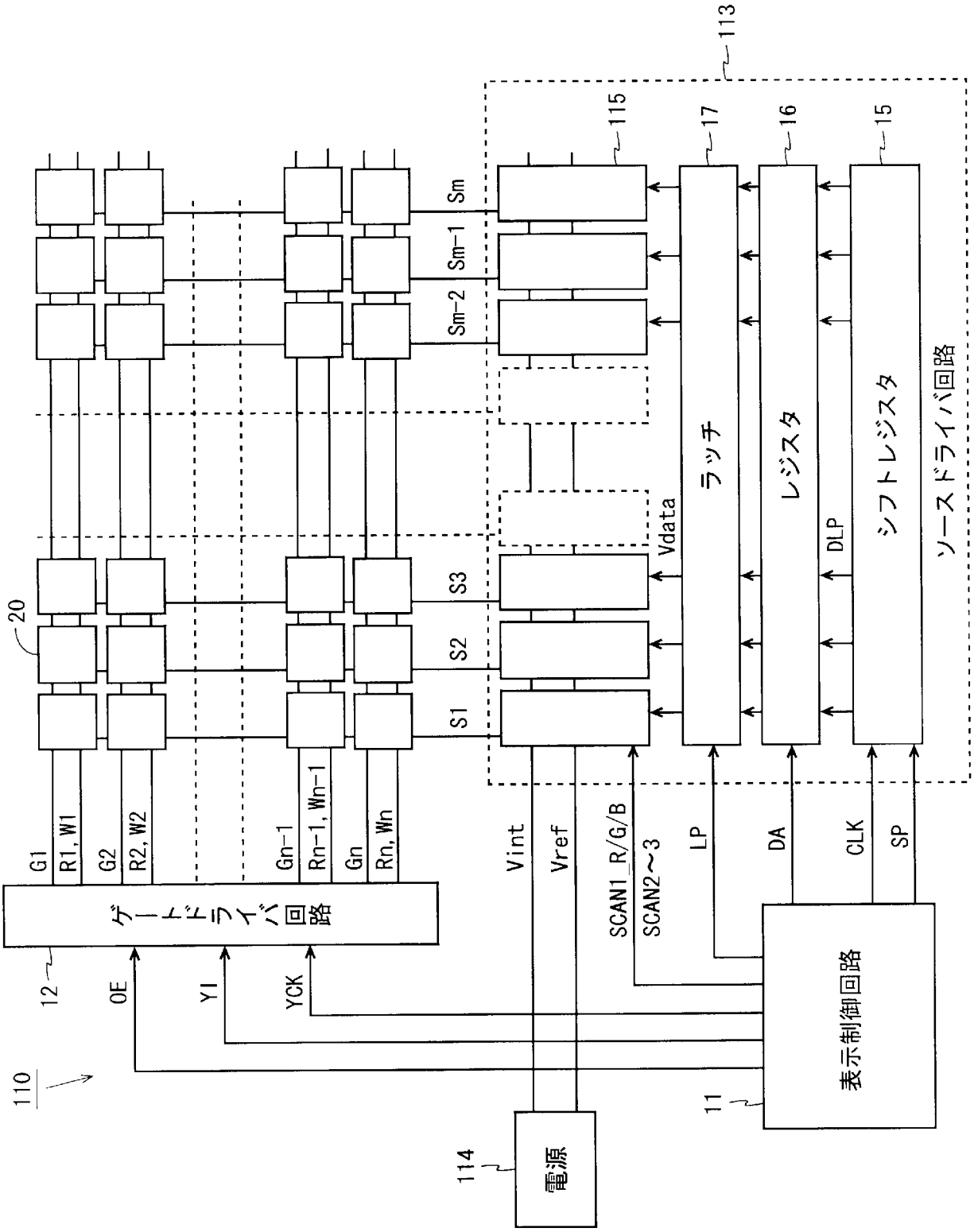
[図4]


Wi-1
Gi-1
Ri-1
Wi
Gi
Ri
Wi+1
Gi+1
Ri+1
Sk_R
VDD+Vx_R
Sk_G
VDD+Vx_G
Sk_B
VDD+Vx_B
Vdata
R G B
R G B
R G B
Vd_R
Vd_G
Vd_B
SCAN1_R
SCAN1_G
SCAN1_B
SCAN2
SCAN3
t0 t1 t2 t3 t4

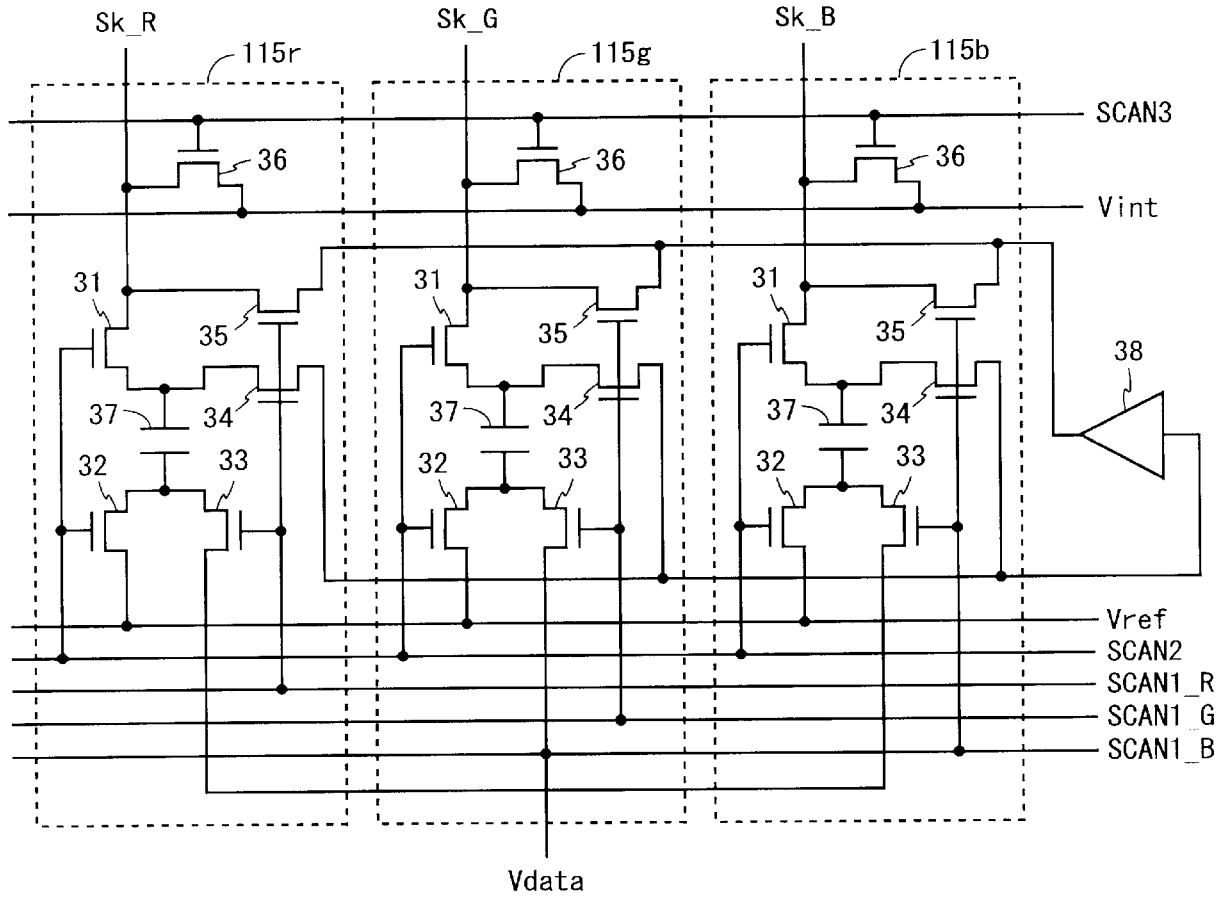
[図5]


5.0
4.5
4.0
3.5
3.0
2.5
2.0
1.5
1.0
0.5
0.0
|Vgs|
(V)
0
10
20
30
40
50
60
t(μs)
Vth=-1.0V(Vgs0=-5V)
Vth=-0.8V(Vgs0=-5V)
Vth=-1.0V(Vgs0=-1.5V)
Vth=-0.8V(Vgs0=-1.5V)

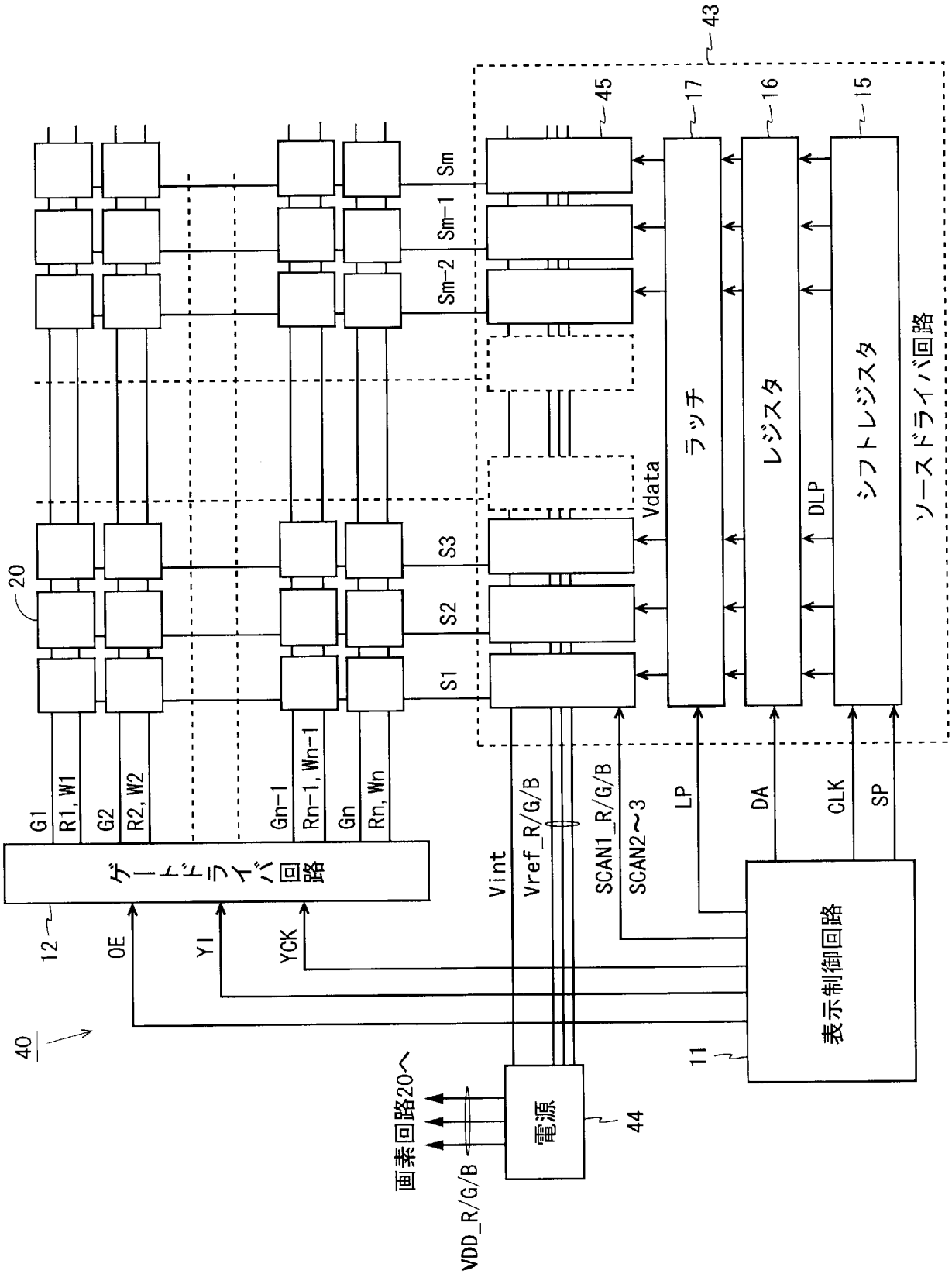
[図6]


113
115
17
16
15
Sm
Sm-1
Sm-2
S3
S2
S1
20
Vdata
ラッチ
レジスタ
DLP
シフトレジスタ
ソースドライバ回路
G1
R1, W1
G2
R2, W2
Gn-1
Rn-1, Wn-1
Gn
Rn, Wn
Vint
Vref
SCAN1 R/G/B
SCAN2～3
LP
DA
CLK
SP
ゲートドライバ回路
12
OE
YI
YCK
110
表示制御回路
11
114
電源

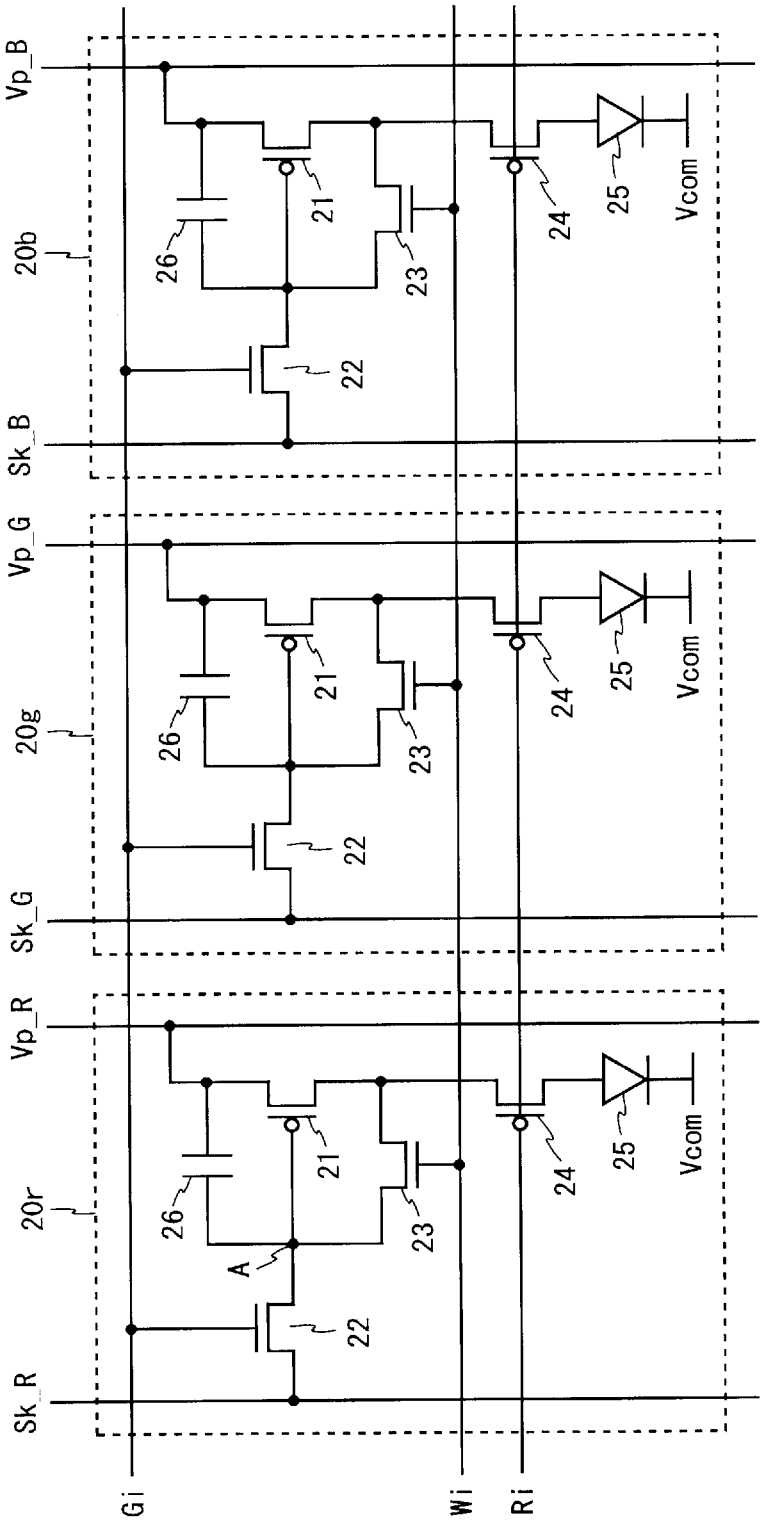
[図7]


Sk_R
Sk_G
Sk_B
115r
115g
115b
SCAN3
Vint
36
31
35
37
34
32
33
38
Vref
SCAN2
SCAN1_R
SCAN1_G
SCAN1_B
Vdata

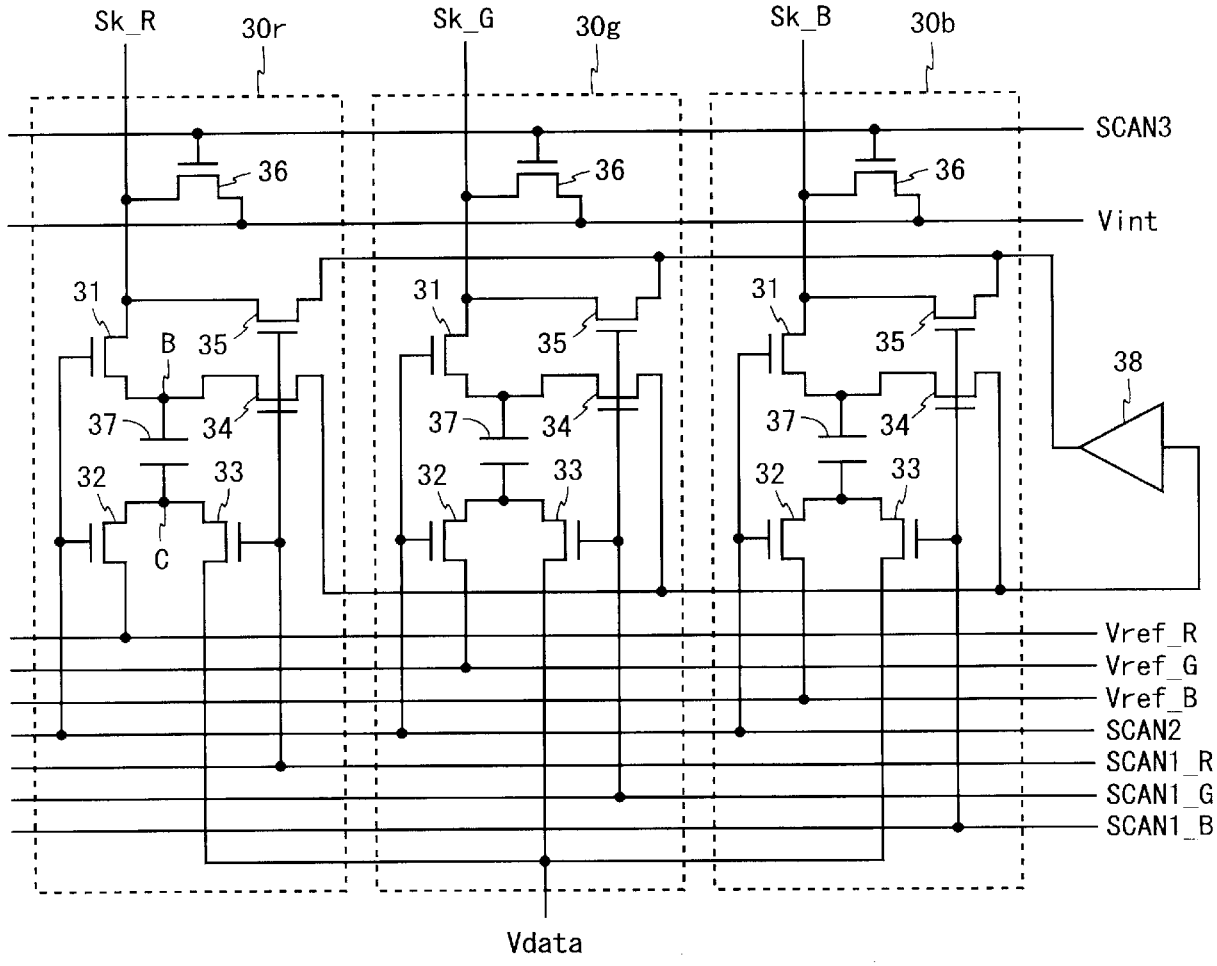
[図8]


40
20
12
11
43
45
17
16
15
Sm
Sm-1
Sm-2
S3
S2
S1
G1
R1, W1
G2
R2, W2
Gn-1
Rn-1, Wn-1
Gn
Rn, Wn
ゲートドライバ回路
OE
YI
YCK
Vint
Vref_R/G/B
SCAN1_R/G/B
SCAN2～3
LP
DA
CLK
SP
Vdata
DLP
ラッチ
レジスタ
シフトレジスタ
ソースドライバ回路
表示制御回路
電源
44
画素回路20へ
VDD_R/G/B

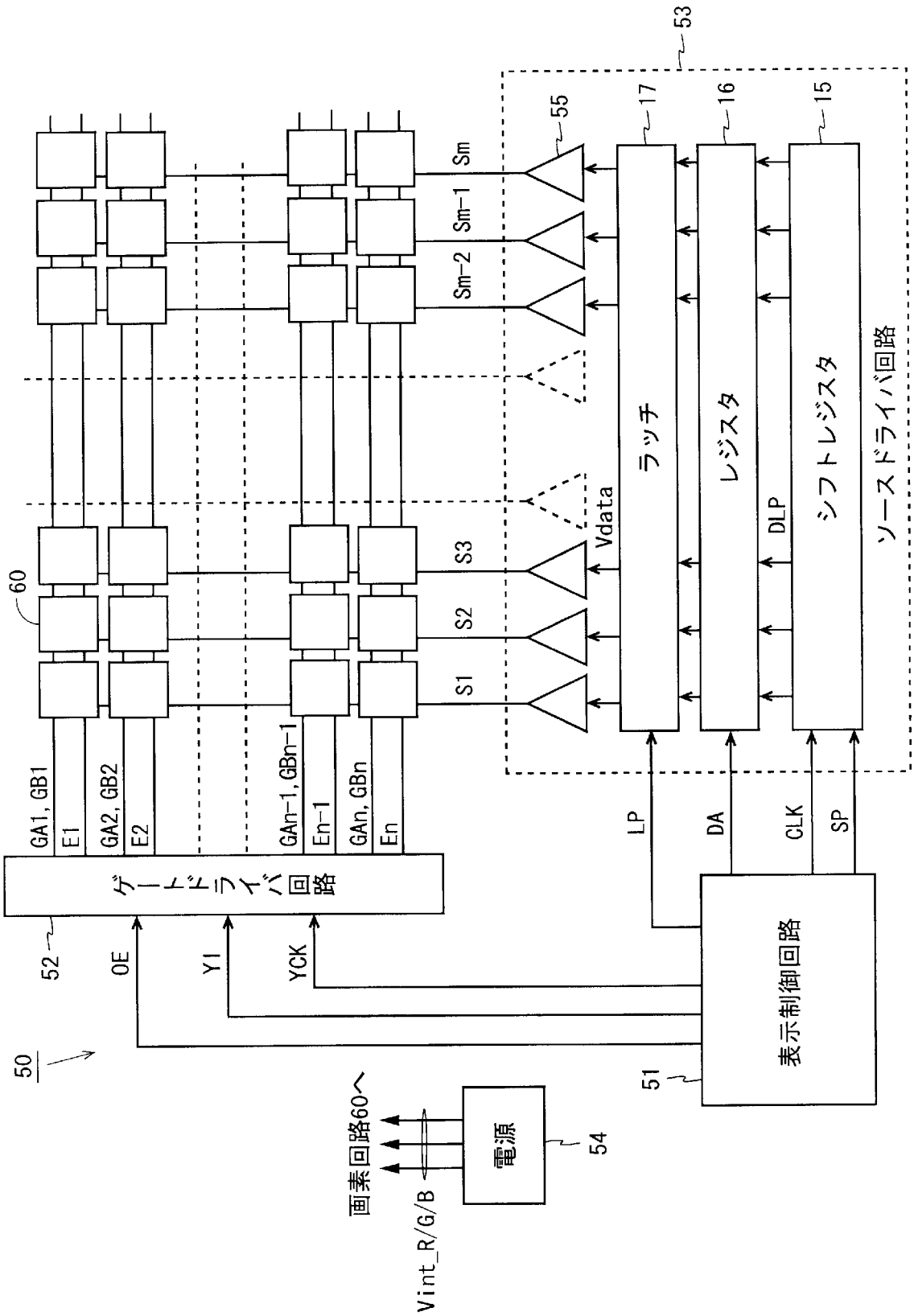
[図9]


Vp_B
20b
Sk_B
Vp_G
20g
Sk_G
Vp_R
20r
Sk_R
Gi
Wi
Ri
21
22
23
24
25
26
A
Vcom

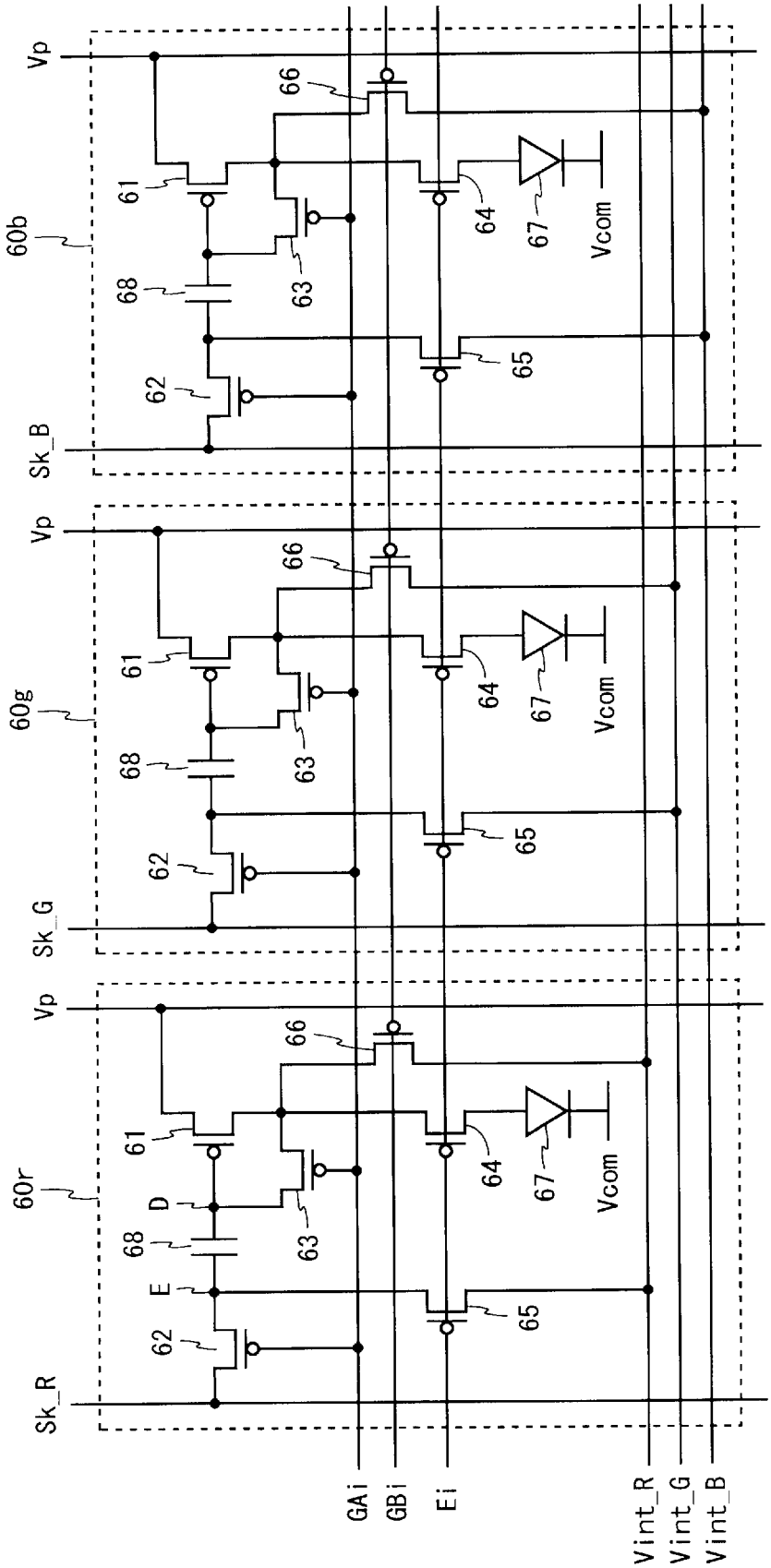
[図10]


Sk_R
30r
Sk_G
30g
Sk_B
30b
SCAN3
36
Vint
31
B
35
38
37
34
32
33
C
Vref_R
Vref_G
Vref_B
SCAN2
SCAN1_R
SCAN1_G
SCAN1_B
Vdata

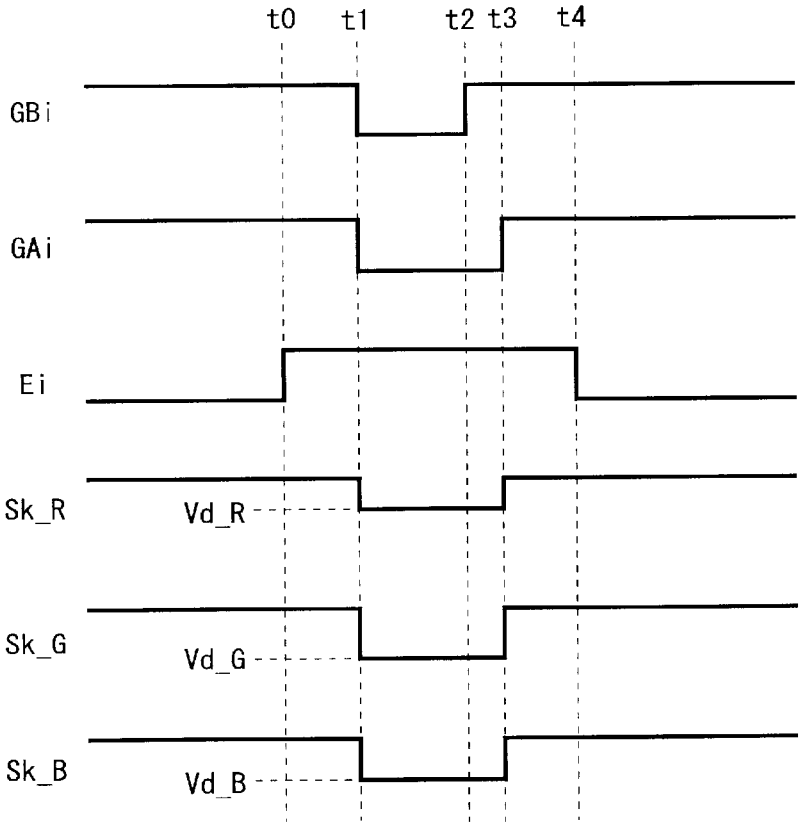
[図11]


50
51
52
53
54
55
60
15
16
17
ソースドライバ回路
シフトレジスタ
レジスタ
ラッチ
DLP
Vdata
Sm
Sm-1
Sm-2
S3
S2
S1
GA1, GB1
E1
GA2, GB2
E2
GAn-1, GBn-1
En-1
GAn, GBn
En
ゲートドライバ回路
OE
Y1
YCK
LP
DA
CLK
SP
表示制御回路
電源
画素回路60へ
Vint_R/G/B

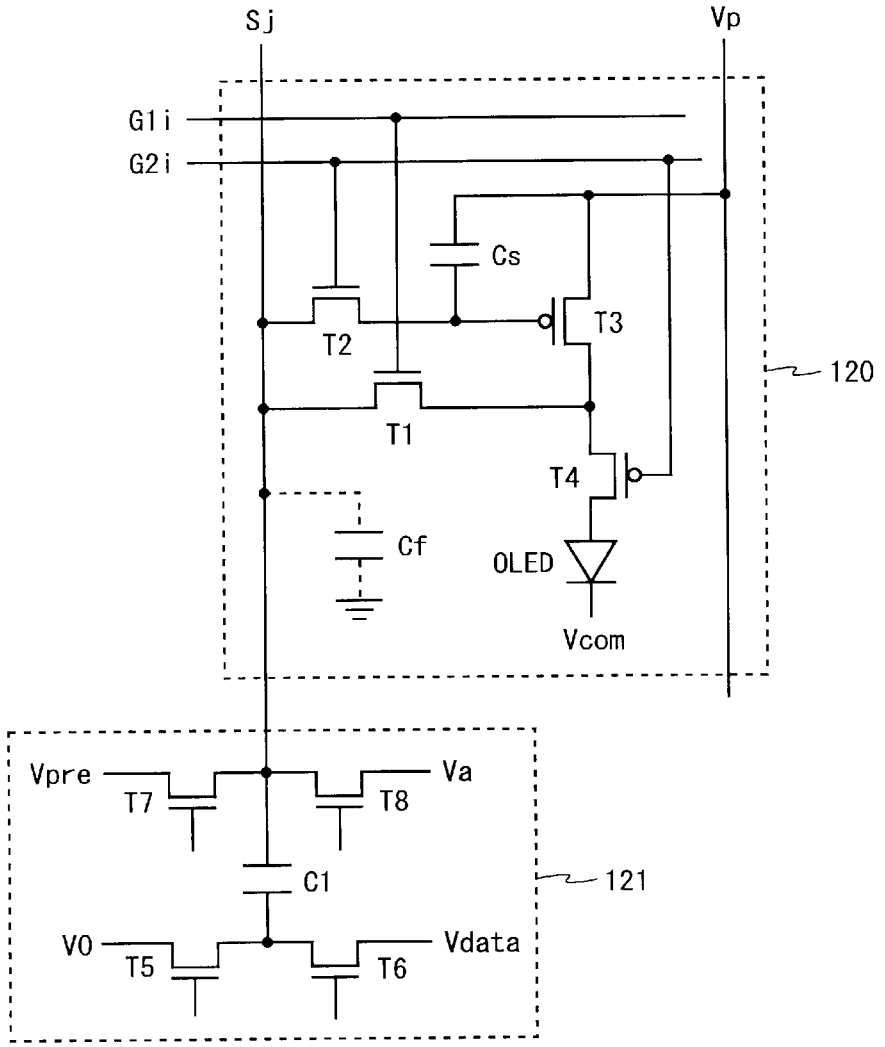
[図12]


Vp
66
61
64
67
Vcom
60b
63
68
65
62
Sk_B
Vp
66
61
64
67
Vcom
60g
63
68
65
62
Sk_G
Vp
66
61
64
67
Vcom
60r
D
63
68
E
65
62
Sk_R
GAi
GBi
Ei
Vint_R
Vint_G
Vint_B

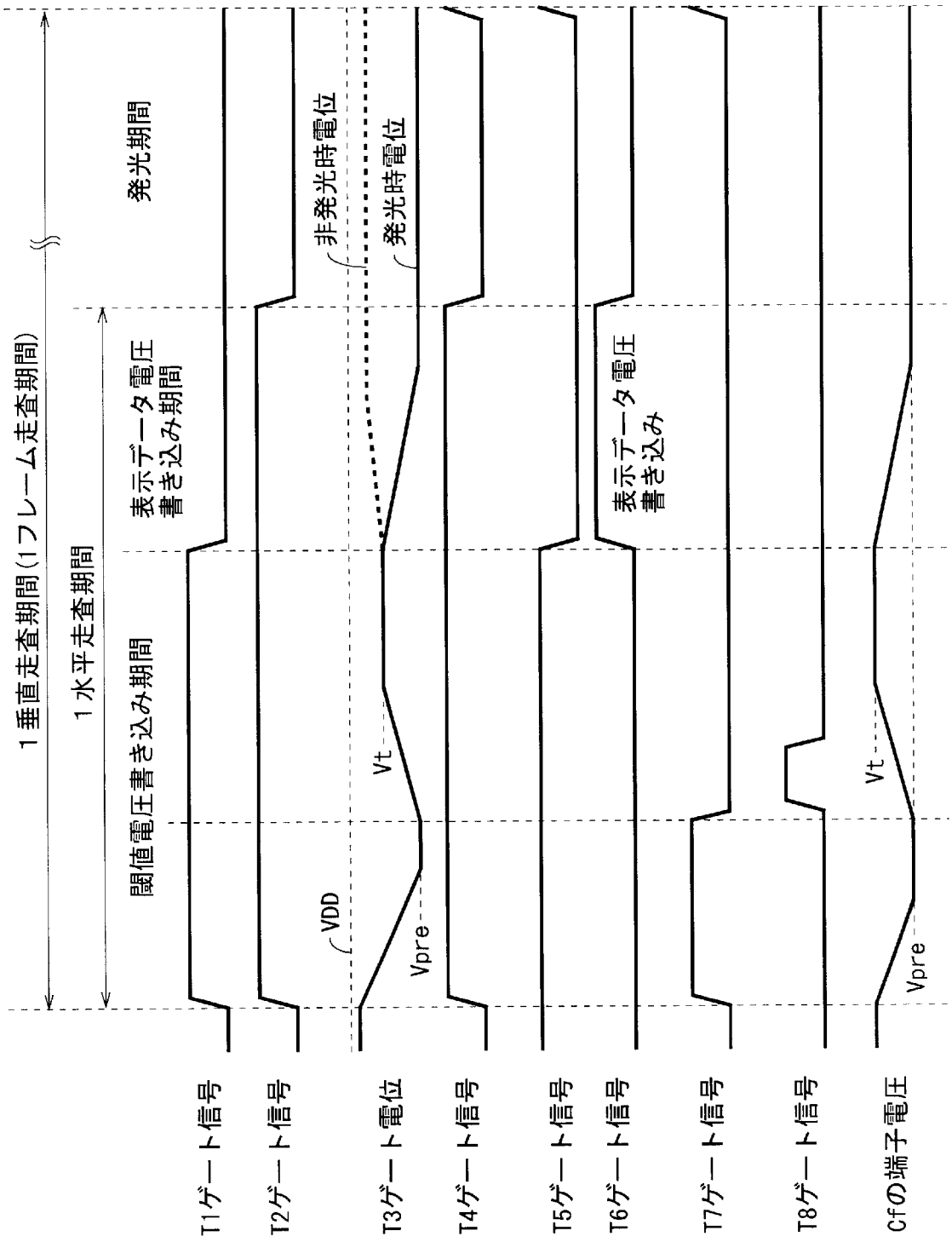
[図13]



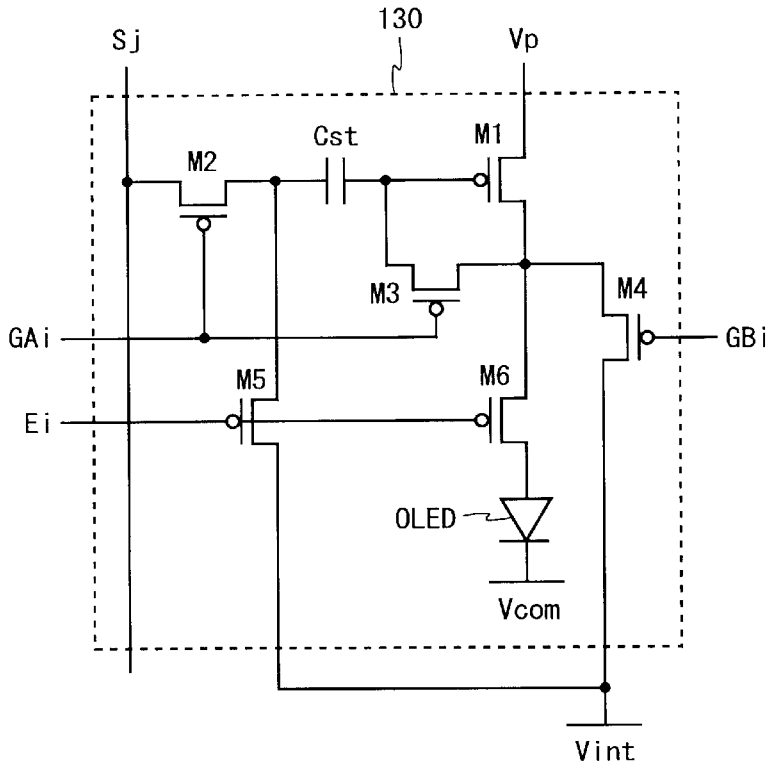
[図14]


Sj
Vp
G1i
G2i
Cs
T2
T3
T1
T4
Cf
OLED
Vcom
120
Vpre
T7
T8
Va
C1
121
V0
T5
T6
Vdata

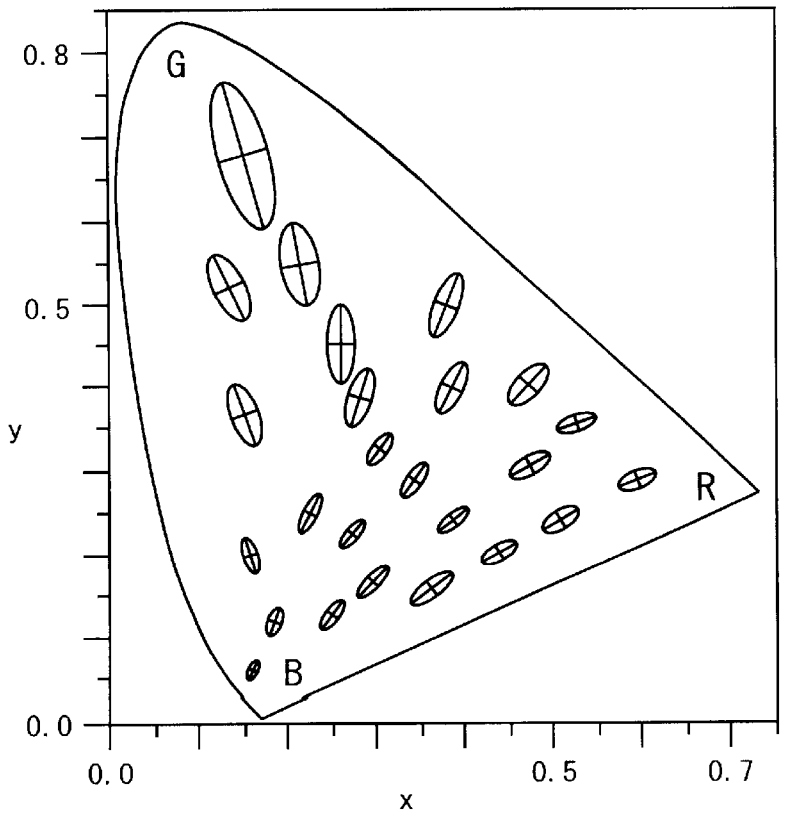
[図15]


1垂直走査期間(1フレーム走査期間)
1水平走査期間
閾値電圧書き込み期間
表示データ電圧書き込み期間
発光期間
非発光時電位
発光時電位
VDD
Vt
Vpre
表示データ電圧書き込み
T1ゲート信号
T2ゲート信号
T3ゲート電位
T4ゲート信号
T5ゲート信号
T6ゲート信号
T7ゲート信号
T8ゲート信号
Cfの端子電圧

[図16]


130
Sj
Vp
Cst
M1
M2
M3
M4
GAi
GBi
M5
M6
Ei
OLED
Vcom
Vint

[図17]


0.8
G
0.5
y
R
B
0.0
0.0
0.5
0.7
x

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/060034

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/30(2006.01)i, *G09G3/20*(2006.01)i, *H01L51/50*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009
Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-199347 A (Seiko Epson Corp.), 09 August, 2007 (09.08.07), Par. Nos. [0016] to [0048], [0052] to [0053]; Figs. 1 to 8, 11 (Family: none)	1,9
A	JP 2004-170787 A (Toshiba Corp.), 17 June, 2004 (17.06.04), Full text; all drawings & US 2004/0104870 A1 & TW 252707 B & KR 10-2004-0045348 A	1-9
A	JP 2005-309150 A (Seiko Epson Corp.), 04 November, 2005 (04.11.05), Full text; all drawings & US 2005/0237273 A1	1,8-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 July, 2009 (31.07.09)	11 August, 2009 (11.08.09)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/060034

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-309151 A (Seiko Epson Corp.), 04 November, 2005 (04.11.05), Full text; all drawings & US 2005/0237283 A1 & KR 10-2006-0043679 A & CN 1691116 A	1,8-9
A	JP 2005-352411 A (Sharp Corp.), 22 December, 2005 (22.12.05), Full text; all drawings (Family: none)	1,4-6,9
A	JP 2007-133354 A (Samsung SDI Co., Ltd.), 31 May, 2007 (31.05.07), Full text; all drawings & US 2007/0124633 A1 & KR 10-2007-0049905 A & KR 10-2007-0049906 A & CN 1963905 A	1,7,9
P,A	WO 2008/108024 A1 (Sharp Corp.), 12 September, 2008 (12.09.08), Full text; all drawings (Family: none)	1,4-6,9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/060034

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1 (JP 2007-199347 A) discloses a display device including all the configurations of the invention of claim 1. Accordingly, the invention of claim 1 has no novelty or special technical feature when compared to the invention disclosed in Document 1. Accordingly, the inventions of claims 1-9 have no common special technical feature and the inventions of claims 1-9 do not satisfy the requirement of unity of invention.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

the

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０６００３４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2007-199347 A (セイコーエプソン株式会社) 2007.08.09, 段落【0016】-【0048】, 【0052】-【0053】, 【図1】-【図8】, 【図11】(ファミリーなし)	1,9
A	JP 2004-170787 A (株式会社東芝) 2004.06.17, 全文全図 & US 2004/0104870 A1 & TW 252707 B & KR 10-2004-0045348 A	1-9
A	JP 2005-309150 A (セイコーエプソン株式会社) 2005.11.04, 全文全図 & US 2005/0237273 A1	1,8-9

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
３１．０７．２００９	１１．０８．２００９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｇ　３８０５
長井　真一
電話番号　０３－３５８１－１１０１　内線　３２２６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	JP 2005-309151 A (セイコーエプソン株式会社) 2005.11.04, 全文全図 & US 2005/0237283 A1 & KR 10-2006-0043679 A & CN 1691116 A	1,8-9
Ａ	JP 2005-352411 A (シャープ株式会社) 2005.12.22, 全文全図 (ファミリーなし)	1,4-6,9
Ａ	JP 2007-133354 A (三星エスディアイ株式会社) 2007.05.31, 全文全図 & US 2007/0124633 A1 & KR 10-2007-0049905 A & KR 10-2007-0049906 A & CN 1963905 A	1,7,9
Ｐ，Ａ	WO 2008/108024 A1 (シャープ株式会社) 2008.09.12, 全文全図 (ファミリーなし)	1,4-6,9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０６００３４

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項＿＿＿＿＿＿＿＿は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項＿＿＿＿＿＿＿＿は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項＿＿＿＿＿＿＿＿は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

文献１（JP 2007-199347 A）には、請求項１に係る発明の構成をすべて含む表示装置が記載されており、請求項１に係る発明は、文献１に記載された発明に対して新規性が認められず、特別な技術的特徴を有さない。よって、請求項１－９に係る発明に共通する特別な技術的特徴はないため、請求項１－９に係る発明は発明の単一性の要件を満たしていない。

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。