

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月14日(14.05.2020)



(10) 国際公開番号

WO 2020/095544 A1

(51) 国際特許分類:

H04N 5/355 (2011.01) H04N 5/3745 (2011.01)
H04N 5/347 (2011.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2019/036339

(22) 国際出願日: 2019年9月17日(17.09.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-209461 2018年11月7日(07.11.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 朝倉 ルオンフォン (ASAKURA Luonghung); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

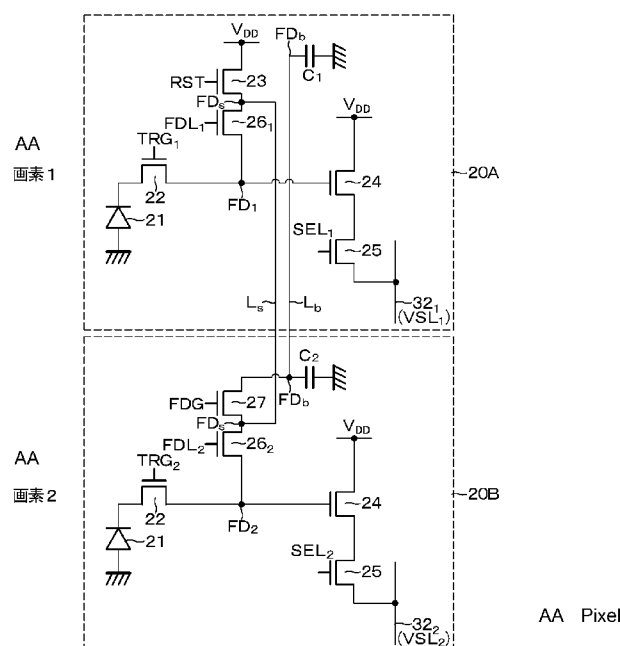
(74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: IMAGING DEVICE AND ELECTRONIC APPLIANCE

(54) 発明の名称: 撮像装置及び電子機器

図13



(57) Abstract: The present invention is provided with first and second pixel parts for performing FD addition. The first pixel part has a first switch transistor having one source/drain electrode connected to a FD and a reset transistor connected between a power supply node and the other source/drain electrode of the first switch transistor. The second pixel part has a second switch transistor having one source/drain electrode connected to the FD, a third switch transistor having one source/drain electrode connected to the other source/drain electrode of the second switch transistor, and a capacitance

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

element connected between the other source/drain electrode of the third switch transistor and a reference electric potential node. In addition, the respective other source/drain electrodes of the first switch transistor and the second switch transistor are electrically connected to each other.

(57) 要約：F D 加算を行う第 1、第 2 の画素部を備える。第 1 の画素部は、一方のソース／ドレイン電極が F D に接続された第 1 のスイッチトランジスタ、及び、第 1 のスイッチトランジスタの他方のソース／ドレイン電極と電源ノードとの間に接続されたりセットトランジスタを有する。第 2 の画素部は、一方のソース／ドレイン電極が F D に接続された第 2 のスイッチトランジスタ、第 2 のスイッチトランジスタの他方のソース／ドレイン電極に一方のソース／ドレイン電極が接続された第 3 のスイッチトランジスタ、及び、第 3 のスイッチトランジスタの他方のソース／ドレイン電極と基準電位ノードとの間に接続された容量素子を有する。そして、第 1 のスイッチトランジスタ及び第 2 のスイッチトランジスタの各他方のソース／ドレイン電極が電氣的に接続されている。

明 細 書

発明の名称：撮像装置及び電子機器

技術分野

[0001] 本開示は、撮像装置及び電子機器に関する。

背景技術

[0002] 撮像装置を搭載するカメラ等の電子機器では、撮像装置の全画素のフル画角で画素信号を読み出す静止画モード、及び、HD (High Definition) / 4 K といったより小さい画角で画素信号を読み出す動画モードの両モードへの対応が求められる。

[0003] 動画モードでは、画素信号の間引き読み出しや加算読み出しなどが行われるが、単純な間引き読み出しの場合、空間解像度やコントラスト感度が低下してしまうため、間引き読み出しよりも、複数の画素間で画素信号を加算して読み出す加算読み出しが望ましい。加算読み出しの方式の一つとして、画素のフローティングディフュージョンFD (Floating Diffusion) 間で加算を行うFD加算方式がある（例えば、特許文献1 参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-103958号公報

発明の概要

発明が解決しようとする課題

[0005] 上記の特許文献1に記載の従来技術は、2つの画素のFDノード間を、変換効率（電荷を電圧に変換する効率）を切り替えるためのスイッチを介して選択的に接続する構成となっている。従って、この従来技術では、スイッチが非導通状態のときは、2つの画素のFDノード間をショートするための配線の寄生容量が余計な容量としてFDノードに付くことがないため、静止画モードにおいて変換効率が低下することはない。しかしながら、当該従来技術では、低変換効率の状態でしかFD加算による加算読み出しを行うことが

できないという問題点がある。

[0006] そこで、本開示は、低変換効率の状態以外の状態においてもFD加算による加算読み出しを行うことが可能な撮像装置、及び、当該撮像装置を有する電子機器を提供することを目的とする。

課題を解決するための手段

[0007] 上記の目的を達成するための本開示の撮像装置は、

受光部から転送される電荷を電圧に変換するフローティングディフュージョンを有し、画素間でフローティングディフュージョンを電氣的に接続することによって画素信号を加算する画素加算を選択的に行う第1の画素部及び第2の画素部を備え、

第1の画素部は、一方のソース／ドレイン電極がフローティングディフュージョンに接続された第1のスイッチトランジスタ、及び、第1のスイッチトランジスタの他方のソース／ドレイン電極と電源ノードとの間に接続されたりセットトランジスタを有し、

第2の画素部は、一方のソース／ドレイン電極がフローティングディフュージョンに接続された第2のスイッチトランジスタ、第2のスイッチトランジスタの他方のソース／ドレイン電極に一方のソース／ドレイン電極が接続された第3のスイッチトランジスタ、及び、第3のスイッチトランジスタの他方のソース／ドレイン電極と基準電位ノードとの間に接続された容量素子を有し、

第1のスイッチトランジスタ及び第2のスイッチトランジスタの各他方のソース／ドレイン電極が電氣的に接続されている。

また、上記の目的を達成するための本開示の電子機器は、上記の構成の撮像装置を有する。

図面の簡単な説明

[0008] [図1]図1は、本開示の撮像装置の一例であるCMOSイメージセンサの基本的な構成の概略を示すブロック図である。

[図2]図2は、画素の回路構成の一例を示す回路図である。

[図3]図3は、CMOSイメージセンサに搭載される列並列アナログーデジタル変換部の構成の一例を示すブロック図である。

[図4]図4は、平置型のチップ構造の概略を示す平面図である。

[図5]図5は、積層型のチップ構造の概略を示す分解斜視図である。

[図6]図6は、ロジック加算方式の加算読み出しの概略についての説明図である。

[図7]図7は、AD（アナログーデジタル）加算方式の加算読み出しの概略についての説明図である。

[図8]図8は、SF（ソースフォロワ）加算方式の加算読み出しの概略についての説明図である。

[図9]図9は、FD（フローティングディフュージョン）加算方式の加算読み出しの概略についての説明図である。

[図10]図10は、ロジック加算方式、AD加算方式、SF加算方式、及び、FD加算方式の消費電力、及び、加算後の信号のリニアリティについて比較して説明する図である。

[図11]図11は、SF加算方式のリニアリティの問題について説明する図である。

[図12]図12は、FD加算方式の入力換算の回路ノイズ電子数の悪化について説明する図である。

[図13]図13は、実施例1に係る画素回路の回路構成を示す回路図である。

[図14]図14は、画素加算なしの静止画モード時の高変換効率の場合の動作説明のためのタイミングチャートである。

[図15]図15は、画素加算なしの静止画モード時の中変換効率の場合の動作説明のためのタイミングチャートである。

[図16]図16は、画素加算なしの静止画モード時の低変換効率の場合の動作説明のためのタイミングチャートである。

[図17]図17Aは、中変換効率での加算読み出しの場合の動作説明のためのタイミングチャートであり、図17Bは、低変換効率での加算読み出しの場

合の動作説明のためのタイミングチャートである。

[図18]図18は、実施例1に係る画素回路のレイアウトを示す平面図である。

[図19]図19は、図18のX-X線に沿った矢視断面図である。

[図20]図20は、実施例2に係る画素回路の回路構成を示す回路図である。

[図21]図21は、ベイヤー画素配列における画素加算について説明する図である。

[図22]図22は、画素加算なしの静止画モード時の高変換効率の場合の動作説明のためのタイミングチャートである。

[図23]図23は、画素加算なしの静止画モード時の中変換効率の場合の動作説明のためのタイミングチャートである。

[図24]図24は、画素加算なしの静止画モード時の低変換効率の場合の動作説明のためのタイミングチャートである。

[図25]図25Aは、中変換効率での画素1及び画素3の加算読み出しの場合の動作説明のためのタイミングチャートであり、図25Bは、中変換効率での画素2及び画素4の加算読み出しの場合の動作説明のためのタイミングチャートである。

[図26]図26Aは、低変換効率での画素1及び画素3の加算読み出しの場合の動作説明のためのタイミングチャートであり、図26Bは、低変換効率での画素2及び画素4の加算読み出しの場合の動作説明のためのタイミングチャートである。

[図27]図27は、実施例2に係る画素回路のレイアウトを示す平面図である。

[図28]図28は、図27のY-Y線に沿った矢視断面図である。

[図29]図29は、本開示に係る技術の適用例を示す図である。

[図30]図30は、本開示の電子機器の一例である撮像システムの構成の概略を示すブロック図である。

発明を実施するための形態

[0009] 以下、本開示に係る技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示の技術は実施形態に限定されるものではない。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

1. 本開示の撮像装置及び電子機器、全般に関する説明

2. 本開示の撮像装置

2-1. CMOSイメージセンサの構成例

2-2. 画素の回路構成例

2-3. アナログーデジタル変換部の構成例

2-4. チップ構造

2-4-1. 平置型のチップ構造（所謂、平置構造）

2-4-2. 積層型のチップ構造（所謂、積層構造）

2-5. 画素信号の加算読み出しについて

2-5-1. ロジック加算方式

2-5-2. AD加算方式

2-5-3. SF加算方式

2-5-4. FD加算方式

2-5-5. 各加算方式の消費電力及びリニアリティについての比較

2-5-6. SF加算方式のリニアリティの問題について

2-5-7. FD加算方式の入力換算の回路ノイズ電子数の悪化について

3. 本開示の実施形態

3-1. 実施例1（第1、第2の画素部がそれぞれ単一の画素から成る例）

3-2. 実施例2（第1、第2の画素部がそれぞれ複数の画素から成り、複数の画素間でFDを共有する例）

4. 変形例

5. 応用例

6. 本開示の電子機器（撮像装置の例）

7. 本開示がとることができる構成

[0010] <本開示の撮像装置及び電子機器、全般に関する説明>

本開示の撮像装置及び電子機器にあつては、第1の画素部又は第2の画素部について、画素加算なしの場合において、第1のスイッチトランジスタ又は第2のスイッチトランジスタが非導通状態のとき、フローティングディフュージョンの変換効率に関して高変換効率を実現する構成とすることができる。

[0011] 上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、第1の画素部及び第2の画素部について、画素加算なしの場合において、第1のスイッチトランジスタ及び第2のスイッチトランジスタがそれぞれ非導通状態のとき、フローティングディフュージョンの変換効率に関して高変換効率を実現する構成とすることができる。また、第1の画素部及び第2の画素部について、画素加算なしの場合において、第1のスイッチトランジスタ、第2のスイッチトランジスタ、及び、第3のスイッチトランジスタが共に導通状態のとき、フローティングディフュージョンの変換効率に関して低変換効率を実現する構成とすることができる。

[0012] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、第1の画素部及び第2の画素部について、第1のスイッチトランジスタ及び第2のスイッチトランジスタが共に導通状態のとき、画素加算を行うとともに、フローティングディフュージョンの変換効率に関して中変換効率を実現する構成とすることができる。更に、第1の画素部及び第2の画素部について、第3のスイッチトランジスタが導通状態のとき、フローティングディフュージョンの変換効率に関して低変換効率を実現する構成とすることができる。

[0013] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、容量素子について、第1の画素部及び第2の画素部の各画素に分割し

て配置されている構成とすることができる。更に、容量素子について、メタル配線間のカップリング容量によって実現される構成とすることができる。

[0014] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、第1の画素部及び第2の画素部がそれぞれ複数の画素から成り、複数の画素間でフローティングディフュージョンを共有する構成とすることができる。また、第1の画素部及び第2の画素部について、同色の画素間で画素加算を行う構成とすることができる。

[0015] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、第1の画素部の構成素子、及び、第2の画素部の構成素子について、第1の画素部と第2の画素部との間の中心線に関して対称性を確保した画素レイアウトとなっている構成とすることができる。また、第1の画素部及び第2の画素部の各フローティングディフュージョンについて、第1の画素部及び第2の画素部の各中心部よりも、第1の画素部と第2の画素部との間の中心線に近い位置に配置されている構成とすることができる。

[0016] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、第1の画素部及び第2の画素部について、裏面照射型の画素構造を有する構成とすることができる。

[0017] <本開示の撮像装置>

本開示に係る技術が適用される撮像装置（即ち、本開示の撮像装置）の基本的な構成について説明する。ここでは、撮像装置として、X-Yアドレス方式の撮像装置の一種であるCMOS（Complementary Metal Oxide Semiconductor）イメージセンサを例に挙げて説明する。CMOSイメージセンサは、CMOSプロセスを応用して、又は、部分的に使用して作製されたイメージセンサである。

[0018] [CMOSイメージセンサの構成例]

図1は、本開示の撮像装置の一例であるCMOSイメージセンサの基本的な構成の概略を示すブロック図である。

[0019] 本例に係るCMOSイメージセンサ1は、画素アレイ部11及び当該画素

アレイ部 1 1 の周辺回路部を有する構成となっている。画素アレイ部 1 1 は、受光部（光電変換部）を含む画素 2 が行方向及び列方向に、即ち、行列状に 2 次元配置されて成る。ここで、行方向とは、画素行の画素 2 の配列方向（所謂、水平方向）を言い、列方向とは、画素列の画素 2 の配列方向（所謂、垂直方向）を言う。画素 2 は、光電変換を行うことにより、受光した光量に応じた光電荷を生成し、蓄積する。

[0020] 画素アレイ部 1 1 の周辺回路部は、例えば、行選択部 1 2、定電流源部 1 3、アナログーデジタル変換部 1 4、水平転送走査部 1 5、信号処理部 1 6、及び、タイミング制御部 1 7 等によって構成されている。

[0021] 画素アレイ部 1 1 において、行列状の画素配列に対し、画素行毎に画素制御線 3 1₁～3 1_n（以下、総称して「画素制御線 3 1」と記述する場合がある）が行方向に沿って配線されている。また、画素列毎に垂直信号線 3 2₁～3 2_n（以下、総称して「垂直信号線 3 2」と記述する場合がある）が列方向に沿って配線されている。画素制御線 3 1 は、画素 2 から信号を読み出す際の駆動を行うための駆動信号を伝送する。図 1 では、画素制御線 3 1 について 1 本の配線として図示しているが、1 本に限られるものではない。画素制御線 3 1 の一端は、行選択部 1 2 の各行に対応した出力端に接続されている。

[0022] 以下に、画素アレイ部 1 1 の周辺回路部の各回路部分、即ち、行選択部 1 2、定電流源部 1 3、アナログーデジタル変換部 1 4、水平転送走査部 1 5、信号処理部 1 6、及び、タイミング制御部 1 7 について説明する。

[0023] 行選択部 1 2 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 1 1 の各画素 2 の選択に際して、画素行の走査や画素行のアドレスを制御する。この行選択部 1 2 は、その具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の 2 つの走査系を有する構成となっている。

[0024] 読出し走査系は、画素 2 から画素信号を読み出すために、画素アレイ部 1 1 の画素 2 を行単位で順に選択走査する。画素 2 から読み出される画素信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査

が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。

[0025] この掃出し走査系による掃出し走査により、読出し行の画素 2 の光電変換部から不要な電荷が掃き出されることによって当該光電変換部がリセットされる。そして、この掃出し走査系による不要電荷の掃き出す（リセットすることにより、所謂、電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換部の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

[0026] 定電流源部 1 3 は、画素列毎に垂直信号線 3 2₁～3 2_nの各々に接続された、例えば MOS トランジスタから成る複数の電流源 1 を備えており、行選択部 1 2 によって選択走査された画素行の各画素 2 に対し、垂直信号線 3 2₁～3 2_nの各々を通してバイアス電流を供給する。

[0027] アナログーデジタル変換部 1 4 は、画素アレイ部 1 1 の画素列に対応して設けられた、例えば、画素列毎に設けられた複数のアナログーデジタル変換器の集合から成る。アナログーデジタル変換部 1 4 は、画素列毎に垂直信号線 3 2₁～3 2_nの各々を通して出力されるアナログの画素信号を、N ビットのデジタル信号に変換する列並列型のアナログーデジタル変換部である。

[0028] 列並列アナログーデジタル変換部 1 4 におけるアナログーデジタル変換器としては、例えば、参照信号比較型のアナログーデジタル変換器の一例であるシングルスロープ型アナログーデジタル変換器を用いることができる。但し、アナログーデジタル変換器としては、シングルスロープ型アナログーデジタル変換器に限られるものではなく、逐次比較型アナログーデジタル変換器やデルターシグマ変調型（ $\Delta\Sigma$ 変調型）アナログーデジタル変換器などを用いることができる。

[0029] 水平転送走査部 1 5 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 1 1 の各画素 2 の信号の読出しに際して、画素列の走査や画素列のアドレスを制御する。この水平転送走査部 1 5 による制御の下に、アナログーデジタル変換部 1 4 でデジタル信号に変換された画素信号

が画素列単位で、 $2N$ ビット幅の水平転送線18に読み出される。

[0030] 信号処理部16は、水平転送線18を通して供給されるデジタルの画素信号に対して、所定の信号処理を行い、2次元の画像データを生成する。例えば、信号処理部16は、縦線欠陥、点欠陥の補正、又は、信号のクランプを行ったり、パラレルーシリアル変換、圧縮、符号化、加算、平均、及び、間欠動作などデジタル信号処理を行ったりする。信号処理部16は、生成した画像データを、本CMOSイメージセンサ1の出力信号として後段の装置に出力する。

[0031] タイミング制御部17は、各種のタイミング信号、クロック信号、及び、制御信号等を生成し、これら生成した信号を基に、行選択部12、定電流源部13、アナログーデジタル変換部14、水平転送走査部15、及び、信号処理部16等の駆動制御を行う。

[0032] [画素の回路構成例]

図2は、画素2の回路構成の一例を示す回路図である。画素2は、受光部である光電変換部として、例えば、フォトダイオード21を有している。画素2は、フォトダイオード21に加えて、転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25を有する画素構成となっている。

[0033] 転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25の4つのトランジスタとしては、例えばNチャネルのMOS型電界効果トランジスタ (Field effect transistor : FET) を用いている。画素2をNチャネルトランジスタのみで構成することで、面積効率や工程削減視点の最適化を図ることができる。但し、ここで例示した4つのトランジスタ22～25の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

[0034] この画素2に対して、先述した画素制御線31として、複数の制御線が同一画素行の各画素2に対して共通に配線されている。これら複数の制御線は、行選択部12の各画素行に対応した出力端に画素行単位で接続されている

。行選択部 12 は、複数の制御線に対して転送信号 TRG、リセット信号 RST、及び、選択信号 SEL を適宜出力する。

[0035] フォトダイオード 21 は、アノード電極が低電位側電源(例えば、グランド)に接続されており、受光した光をその光量に応じた電荷量の光電荷(ここでは、光電子)に光電変換してその光電荷を蓄積する。フォトダイオード 21 のカソード電極は、転送トランジスタ 22 を介して増幅トランジスタ 24 のゲート電極と電氣的に接続されている。ここで、増幅トランジスタ 24 のゲート電極が電氣的に繋がった領域は、フローティングディフュージョン(浮遊拡散領域／不純物拡散領域)FDである。フローティングディフュージョンFDは、電荷を電圧に変換する電荷電圧変換部である。

[0036] 転送トランジスタ 22 のゲート電極には、高レベル(例えば、 V_{DD} レベル)がアクティブとなる転送信号 TRGが行選択部 12 から与えられる。転送トランジスタ 22 は、転送信号 TRG に応答して導通状態となることで、フォトダイオード 21 で光電変換され、当該フォトダイオード 21 に蓄積された光電荷をフローティングディフュージョンFDに転送する。

[0037] リセットトランジスタ 23 は、高電位側電源電圧 V_{DD} のノードとフローティングディフュージョンFDとの間に接続されている。リセットトランジスタ 23 のゲート電極には、高レベルがアクティブとなるリセット信号 RSTが行選択部 12 から与えられる。リセットトランジスタ 23 は、リセット信号 RST に応答して導通状態となり、フローティングディフュージョンFDの電荷を電圧 V_{DD} のノードに捨てることによってフローティングディフュージョンFDをリセットする。

[0038] 増幅トランジスタ 24 は、ゲート電極がフローティングディフュージョンFDに、ドレイン電極が高電位側電源電圧 V_{DD} のノードにそれぞれ接続されている。増幅トランジスタ 24 は、フォトダイオード 21 での光電変換によって得られる信号を読み出すソースフォロワの入力部となる。すなわち、増幅トランジスタ 24 は、ソース電極が選択トランジスタ 25 を介して垂直信号線 32 に接続される。そして、増幅トランジスタ 24 と、垂直信号線 32 の

一端に接続された電流源 1 とは、フローティングディフュージョン F D の電圧を垂直信号線 3 2 の電位に変換するソースフォロワを構成している。

[0039] 選択トランジスタ 2 5 は、ドレイン電極が増幅トランジスタ 2 4 のソース電極に接続され、ソース電極が垂直信号線 3 2 に接続されている。選択トランジスタ 2 5 のゲート電極には、高レベルがアクティブとなる選択信号 S E L が行選択部 1 2 から与えられる。選択トランジスタ 2 5 は、選択信号 S E L に応答して導通状態となることで、画素 2 を選択状態として増幅トランジスタ 2 4 から出力される信号を垂直信号線 3 2 に伝達する。

[0040] 尚、選択トランジスタ 2 5 については、高電位側電源電圧 V_{DD} のノードと増幅トランジスタ 2 4 のドレイン電極との間に接続する回路構成を採ることもできる。また、本例では、画素 2 の画素回路として、転送トランジスタ 2 2 、リセットトランジスタ 2 3 、増幅トランジスタ 2 4 、及び、選択トランジスタ 2 5 から成る、即ち 4 つのトランジスタ (T r) から成る 4 T r 構成を例に挙げたが、これに限られるものではない。例えば、選択トランジスタ 2 5 を省略し、増幅トランジスタ 2 4 に選択トランジスタ 2 5 の機能を持たせる 3 T r 構成とすることもできるし、必要に応じて、トランジスタの数を増やした 5 T r 以上の構成とすることもできる。

[0041] [アナログーデジタル変換部の構成例]

次に、列並列アナログーデジタル変換部 1 4 の構成例について説明する。図 3 は、列並列アナログーデジタル変換部 1 4 の構成の一例を示すブロック図である。本開示の C M O S イメージセンサ 1 におけるアナログーデジタル変換部 1 4 は、垂直信号線 3 2₁ ~ 3 2_n の各々に対応して設けられた複数のシングルスロープ型アナログーデジタル変換器の集合から成る。ここでは、n 列目のシングルスロープ型アナログーデジタル変換器 1 4 0 を例に挙げて説明する。

[0042] シングルスロープ型アナログーデジタル変換器 1 4 0 は、比較器 1 4 1 、カウンタ回路 1 4 2 、及び、ラッチ回路 1 4 3 を有する回路構成となっている。シングルスロープ型アナログーデジタル変換器 1 4 0 では、時間が経過

するにつれて電圧値が線形に変化する、所謂、RAMP波形（スロープ波形）の参照信号が用いられる。ランプ波形の参照信号は、参照信号生成部19で生成される。参照信号生成部19については、例えば、DAC（デジタル－アナログ変換）回路を用いて構成することができる。

[0043] 比較器141は、画素2から読み出されるアナログの画素信号を比較入力とし、参照信号生成部19で生成されるランプ波形の参照信号を基準入力とし、両信号を比較する。そして、比較器141は、例えば、参照信号が画素信号よりも大きいときに出力が第1の状態（例えば、高レベル）になり、参照信号が画素信号以下のときに出力が第2の状態（例えば、低レベル）になる。これにより、比較器141は、画素信号の信号レベルに応じた、具体的には、信号レベルの大きさに対応したパルス幅を持つパルス信号を比較結果として出力する。

[0044] カウンタ回路142には、比較器141に対する参照信号の供給開始タイミングと同じタイミングで、タイミング制御部17からクロック信号CLKが与えられる。そして、カウンタ回路142は、クロック信号CLKに同期してカウント動作を行うことによって、比較器141の出力パルスのパルス幅の期間、即ち、比較動作の開始から比較動作の終了までの期間を計測する。このカウンタ回路142のカウント結果（カウント値）が、アナログの画素信号をデジタル化したデジタル値となる。

[0045] ラッチ回路143は、カウンタ回路142のカウント結果であるデジタル値を保持（ラッチ）する。また、ラッチ回路143は、信号レベルの画素信号に対応するD相のカウント値と、リセットレベルの画素信号に対応するP相のカウント値との差分をとることにより、ノイズ除去処理の一例である、CDS（Correlated Double Sampling; 相関二重サンプリング）を行う。そして、水平転送走査部15による駆動の下に、ラッチしたデジタル値を水平転送線18に出力する。

[0046] 上述したように、シングルスロープ型アナログ－デジタル変換器140の集合から成る列並列アナログ－デジタル変換部14では、参照信号生成部1

9で生成される、線形に変化するアナログ値の参照信号と、画素2から出力されるアナログの画素信号との大小関係が変化するまでの時間情報からデジタル値を得る。尚、上記の例では、画素列に対して1対1の関係でアナログーデジタル変換器140が配置されて成るアナログーデジタル変換部14を例示したが、複数の画素列を単位としてアナログーデジタル変換器140が配置されて成るアナログーデジタル変換部14とすることも可能である。

[0047] [チップ構造]

上記の構成のCMOSイメージセンサ1のチップ（半導体集積回路）構造としては、平置型のチップ構造及び積層型のチップ構造を例示することができる。以下に、平置型のチップ構造及び積層型のチップ構造について具体的に説明する。

[0048] ・平置型のチップ構造

図4は、CMOSイメージセンサ1の平置型のチップ構造の概略を示す平面図である。図4に示すように、平置型のチップ構造、所謂、平置構造は、画素2が行列状に配置されて成る画素アレイ部11と同じ半導体基板41上に、画素アレイ部11の周辺の回路部分を形成した構造となっている。具体的には、画素アレイ部11と同じ半導体基板41上に、行選択部12、定電流源部13、アナログーデジタル変換部14、水平転送走査部15、信号処理部16、及び、タイミング制御部17等が形成されている。

[0049] ・積層型のチップ構造

図5は、CMOSイメージセンサ1の積層型のチップ構造の概略を示す分解斜視図である。図5に示すように、積層型のチップ構造、所謂、積層構造は、第1半導体基板42及び第2半導体基板（所謂、ロジックチップ）43の少なくとも2つの半導体基板が積層された構造となっている。第1半導体基板42は、所謂、画素チップであり、第2半導体基板43は、所謂、ロジックチップである。

[0050] この積層構造において、画素アレイ部11は、1層目の第1半導体基板42に形成される。また、行選択部12、定電流源部13、アナログーデジタ

ル変換部 14、水平転送走査部 15、信号処理部 16、及び、タイミング制御部 17 等の回路部分は、2 層目の第 2 半導体基板 43 に形成される。そして、1 層目の第 1 半導体基板 42 と 2 層目の第 2 半導体基板 43 とは、 bumps、ビア (VIA)、Cu-Cu 接続などの接続部 44 を通して電氣的に接続される。

[0051] この積層構造の CMOS イメージセンサ 1 によれば、第 1 半導体基板 42 として画素アレイ部 11 を形成できるだけの大きさ (面積) のもので済むため、1 層目の第 1 半導体基板 42 のサイズ (面積)、ひいては、チップ全体のサイズを小さくできる。更に、1 層目の第 1 半導体基板 42 には画素 2 の作製に適したプロセスを適用でき、2 層目の第 2 半導体基板 43 には回路部分の作製に適したプロセスを適用できるため、CMOS イメージセンサ 1 の製造に当たって、プロセスの最適化を図ることができるメリットもある。特に、回路部分の作製に当たっては、先端プロセスの適用が可能になる。

[0052] 尚、ここでは、第 1 半導体基板 42 及び第 2 半導体基板 43 が積層されて成る 2 層構造の積層構造を例示したが、積層構造としては、2 層構造に限られるものではなく、3 層以上の構造とすることもできる。そして、3 層以上の積層構造の場合、行選択部 12、定電流源部 13、アナログーデジタル変換部 14、水平転送走査部 15、信号処理部 16、及び、タイミング制御部 17 等の回路部分については、2 層目以降の半導体基板に分散して形成することができる。

[0053] [画素信号の加算読み出しについて]

上述した CMOS イメージセンサ 1 に代表される撮像装置を搭載するカメラ等の電子機器では、静止画モード及び動画モードの両モードへの対応が求められる。静止画モードでは、全画素読み出しが行われる。動画モードでは、画素信号の間引き読み出しや加算読み出しなどが行われるが、空間解像度やコントラスト感度の点で、間引き読み出しよりも加算読み出しの方が望ましいといえることができる。

[0054] 加算読み出しの方式には、アナログーデジタル変換部 14 の後段で加算を

行うロジック加算方式、アナログーデジタル変換部 14 で加算を行う A D (アナログーデジタル) 加算方式、垂直信号線 32 上で加算を行う S F (ソースフォロワ) 加算方式、及び、画素 2 のフローティングディフュージョン F D 間で加算を行う F D 加算方式がある。

[0055] 以下に、ロジック加算方式、A D 加算方式、S F 加算方式、及び、F D 加算方式の各加算読み出しの概略について説明する。ここでは、第 1 列目の画素列において上下に隣接する画素 1 と画素 2 との間で画素信号の加算を行う画素加算を例に挙げて説明する。

・ロジック加算方式

ロジック加算方式の加算読み出しの概略についての説明図を図 6 に示す。垂直信号線 32₁, 32₂の各出力端は、アナログーデジタル変換器 (A D C) 140₁, 140₂の各入力端に接続されている。

[0056] 画素 1 の画素信号は、垂直信号線 32₁を通してアナログーデジタル変換器 140₁に供給され、デジタル信号に変換される。画素 2 の画素信号は、垂直信号線 32₂を通してアナログーデジタル変換器 140₂に供給され、デジタル信号に変換される。そして、アナログーデジタル変換器 140₁, 140₂の後段のロジック回路 30 において、アナログーデジタル変換器 140₁, 140₂でデジタル信号に変換された画素 1, 2 の各画素信号の加算処理が行われる。

[0057] ・A D 加算方式

A D 加算方式の加算読み出しの概略についての説明図を図 7 に示す。垂直信号線 32₁, 32₂の各出力端は、スイッチ S W₁, S W₂の各一端に接続されている。スイッチ S W₁, S W₂の各他端とグラウンドとの間には、サンプルホールド容量 S H₁, S H₂が接続されている。また、スイッチ S W₁, S W₂の各他端間には、スイッチ S W₃が接続されている。

[0058] そして、垂直信号線 32₁, 32₂を通して読み出された画素 1, 2 の各画素信号は、サンプルホールド容量 S H₁, S H₂にサンプルホールドされた後アナログーデジタル変換器 140₁に供給され、当該アナログーデジタル変換器 1

4 O_1 において加算され、アナログーデジタル変換処理が行われる。

[0059] ・ S F 加算方式

S F 加算方式の加算読み出しの概略についての説明図を図 8 に示す。先述したように、各画素の増幅トランジスタ 2 4 と、垂直信号線 3 2 (3 2₁~3 2_n) の一端に接続された電流源 1 とはソースフォロワを構成している。そして、画素 1, 2 の各画素信号は共に、同一の垂直信号線 3 2₁に読み出され、当該ソースフォロワにおいて加算処理が行われる。

[0060] ・ F D 加算方式

F D 加算方式の加算読み出しの概略についての説明図を図 9 に示す。画素 1, 2 の各フローティングディフュージョン F D 間には、当該 F D ノード間を選択的に接続するスイッチトランジスタ 2 6 が接続されている。そして、スイッチトランジスタ 2 6 が導通状態になることで、画素 1, 2 の各画素信号について、画素 1, 2 の各フローティングディフュージョン F D 間において加算処理が行われる。

[0061] ここで、ロジック加算方式、A D 加算方式、S F 加算方式、及び、F D 加算方式の消費電力、及び、加算後の信号のリニアリティについて、図 1 0 を用いて説明する。図 1 0 に記載の数値は、垂直信号線 3 2 の一端に接続された電流源 1、及び、アナログーデジタル変換器 1 4 0 の消費電流の相対値である。

[0062] ロジック加算方式及び A D 加算方式の場合、2 本の垂直信号線 3 2₁, 3 2₂ を通して画素 1, 2 の各画素信号を読み出し、しかも、ロジック加算方式の場合、2 つのアナログーデジタル変換器 1 4 0₁, 1 4 0₂を用いて加算処理を行う。従って、1 本の垂直信号線 3 2₁を通して画素 1, 2 の各画素信号を読み出しを行う S F 加算方式及び F D 加算方式の方が、ロジック加算方式及び A D 加算方式よりも消費電力が小さい。

[0063] S F 加算方式では、加算後の信号のリニアリティの点で問題がある。この S F 加算方式のリニアリティの問題について図 1 1 を用いて説明する。

[0064] 2 つの画素の増幅トランジスタ 2 4 に入力される画素信号 V_1 , V_2 の電位差

が小さいと（領域 a）、加算後の信号 V_o が、画素信号 V_1 、 V_2 の平均値に追従できる。しかし、画素信号 V_1 、 V_2 の電位差が大きくなると（領域 b）、加算後の信号 V_o が、画素信号 V_1 、 V_2 の電位の高い方にクリップされてしまい、理想的に、画素信号 V_1 、 V_2 の平均値に追従できなくなる。

[0065] FD 加算方式の場合、SF 加算方式の場合のようなリニアリティの問題は生じない。従って、消費電力、及び、加算後の信号のリニアリティに関して、ロジック加算方式、AD 加算方式、SF 加算方式、及び、FD 加算方式のうち、FD 加算方式が、加算読み出しの方式として最も優れているとすることができる。

[0066] しかし、FD 加算を実現するに当たり、図 12 に示すように、単純に、2 つの画素の FD ノード間（ FD_1 — FD_2 ）を選択的に接続する配線 L_1 、 L_2 やスイッチトランジスタ 26 を設けると、FD ノードに余計な寄生容量が付いてしまう。FD ノードに付く余計な寄生容量は、配線 L_1 、 L_2 の寄生容量 c_{11} 、 c_{12} 、スイッチトランジスタ 26 のゲート電極とドレイン／ソース領域とのカップリング容量 c_{21} 、 c_{22} 、及び、ドレイン／ソース領域の拡散容量 c_{31} 、 c_{32} 等である。

[0067] そして、FD 加算方式の場合、FD ノードに余計な寄生容量が付くと、スイッチトランジスタ 26 が非導通状態で、画素加算を行わない静止画モードでの変換効率が、スイッチトランジスタ 26 が導通状態で、画素加算を行う場合に比べて低下し、入力換算の回路ノイズ電子数が悪化してしまう。ここで、「変換効率」とは、フローティングディフュージョン FD において、電荷を電圧に変換する効率である。この変換効率は、フローティングディフュージョン FD の容量（寄生容量も含む）で決まる。

[0068] 因みに、特許文献 1 に記載の従来技術では、2 つの画素の FD ノード間を、変換効率を切り替えるためのスイッチを介して選択的に接続する構成となっており、当該スイッチが非導通状態のときは、2 つの画素の FD ノード間をショートするための配線の寄生容量が余計な容量として FD ノードに付くことがない。従って、当該従来技術では、静止画モードにおいて変換効率が

低下することはないものの、低変換効率の状態ではF D加算による画素加算を行うことができない。

[0069] <本開示の実施形態>

本開示の実施形態では、低変換効率の状態以外の状態においてもF D加算による加算読み出し（画素加算）を行うことを可能にするために、F D加算による画素加算なしの読み出しモード（静止画モード）、及び、画素加算ありの読み出しモード（動画モード）のいずれの場合にも、変換効率を複数段切り替え可能な構成とする。具体的には、画素加算なしの読み出しモードの変換効率を、低／中／高の3段階の切り替え可能とする。これにより、ISO感度に応じてノイズ特性／最大電荷量 Q_s の最適設定の自由度が高くなる。また、画素加算ありの読み出しモードでは、低変換効率に加えて、中変換効率も実現できるため、高ISO感度の設定でのノイズ特性の向上を図ることができる。このようにして、フローティングディフュージョンF Dの変換効率の多段切り替えの機能、及び、画素間のF D加算の機能の両立を図ることができる。

[0070] 以下に、低変換効率の状態以外の状態においてもF D加算による加算読み出し（画素加算）を行うことを可能にする本実施形態の具体的な実施例について説明する。

[0071] [実施例1]

実施例1は、F D加算による画素加算を行う実施形態に係る画素回路の基本形であり、第1、第2の画素部がそれぞれ単一の画素から成る例である。実施例1に係る画素回路の回路構成を図13に示す。ここでは、ある画素列において上下に隣接する第1の画素部20Aと第2の画素部20Bとの間で画素加算を選択的に行う場合を例に挙げて説明する。実施例1では、第1の画素部20Aが単一の画素1から成り、第2の画素部20Bが単一の画素2から成る。

[0072] 画素1及び画素2は共に、受光部の一例であるフォトダイオード21、転送トランジスタ22、フローティングディフュージョンF D（F D₁／F D₂）

、増幅トランジスタ24、及び、選択トランジスタ25を有している。

[0073] 画素1は、上記の回路素子に加えて、第1のスイッチトランジスタ26₁、リセットトランジスタ23、及び、容量素子C₁を有している。第1のスイッチトランジスタ26₁の一方のソース／ドレイン電極は、フローティングディフュージョンFD₁に接続されている。リセットトランジスタ23は、第1のスイッチトランジスタ26₁の他方のソース／ドレイン電極と電源電圧V_{DD}の電源ノードとの間に接続されている。ここで、第1のスイッチトランジスタ26₁の他方のソース／ドレイン電極とリセットトランジスタ23の一方のソース／ドレイン電極との共通接続ノードをノードFD_sとする。

[0074] 画素2は、上記の回路素子に加えて、第2のスイッチトランジスタ26₂、第3のスイッチトランジスタ27、及び、容量素子C₂を有している。第2のスイッチトランジスタ26₂の一方のソース／ドレイン電極は、フローティングディフュージョンFD₂に接続されている。第3のスイッチトランジスタ27の一方のソース／ドレイン電極は、第2のスイッチトランジスタ26₂の他方のソース／ドレイン電極に接続されている。ここで、第2のスイッチトランジスタ26₂の他方のソース／ドレイン電極と第3のスイッチトランジスタ27の一方のソース／ドレイン電極との共通接続ノードをノードFD_sとする。

[0075] 容量素子C₁、C₂は、画素1及び画素2に分割して配置されている。具体的には、画素1に配置される容量素子C₁は、一端が配線L_bを介して第3のスイッチトランジスタ27の他方のソース／ドレイン電極に接続され、他端が基準電位ノードであるGNDノードに接続されている。容量素子C₁の一端と配線L_bとの共通接続ノードをノードFD_bとする。画素2に配置される容量素子C₂は、一端が第3のスイッチトランジスタ27の他方のソース／ドレイン電極に接続され、他端がGNDノードに接続されている。容量素子C₂の一端と第3のスイッチトランジスタ27の他方のソース／ドレイン電極との共通接続ノードをノードFD_bとする。

[0076] 画素1及び画素2において、第2のスイッチトランジスタ26₁の他方のソ

ース／ドレイン電極、第2のスイッチトランジスタ26₂の他方のソース／ドレイン電極の各接続ノードであるノードFD_s間は、配線L_sによって電氣的に接続されている。また、容量素子C₁、C₂の各一端の接続ノードであるノードFD_b間は配線L_bによって電氣的に接続されている。

[0077] 上記の構成の実施例1に係る画素回路では、画素加算なしの読み出しモード（静止画モード）の変換効率について、低／中／高の3段階の切り替えが可能となる。

[0078] 具体的には、画素1／画素2において、画素信号の読み出し時に、第1のスイッチトランジスタ26₁／第2のスイッチトランジスタ26₂が非導通状態となる。これにより、フローティングディフュージョンFD₁、FD₂の各変換効率は、FD₁ノード及びFD₂ノードの各容量で決まり、高変換効率となる。

[0079] 画素1／画素2において、画素信号の読み出し時に、第1のスイッチトランジスタ26₁／第2のスイッチトランジスタ26₂が共に導通状態となる。これにより、FD₁ノード及びFD₂ノードの各容量には、第1、第2のスイッチトランジスタ26₁、26₂の各ゲート容量、及び、画素1、2のノードFD_sを繋ぐ配線L_sの寄生容量が加わる。その結果、フローティングディフュージョンFD₁、FD₂の各変換効率は中変換効率となる。

[0080] 画素1／画素2において、画素信号の読み出し時に、第1のスイッチトランジスタ26₁／第2のスイッチトランジスタ26₂／第3のスイッチトランジスタ27が共に導通状態となる。これにより、FD₁ノード及びFD₂ノードの各容量には、第1、第2のスイッチトランジスタ26₁、26₂の各ゲート容量、及び、配線L_sの寄生容量の他に、容量素子C₁、C₂の各容量、及び、ノードFD_bを繋ぐ配線L_bの寄生容量が加わる。その結果、フローティングディフュージョンFD₁、FD₂の各変換効率は低変換効率となる。

[0081] また、画素加算ありの読み出しモード（動画モード）の変換効率について、低／中の2段階の切り替えが可能となる。

[0082] 具体的には、加算読み出し時に、第1のスイッチトランジスタ26₁及び第2のスイッチトランジスタ26₂が共に導通状態となることで、変換効率は、

F D₁ノード及びF D₂ノードの各容量、第1, 第2のスイッチトランジスタ26₁, 26₂の各ゲート容量、及び、配線L_sの寄生容量で決まり、中変換効率となる。

[0083] また、加算読み出し時に、第1のスイッチトランジスタ26₁、第2のスイッチトランジスタ26₂、及び、第3のスイッチトランジスタ27が共に導通状態となることで、変換効率は、F D₁ノード及びF D₂ノードの各容量、第1, 第2のスイッチトランジスタ26₁, 26₂の各ゲート容量、配線L_sの寄生容量、及び、配線L_bの寄生容量で決まり、低変換効率となる。

[0084] 続いて、実施例1に係る画素回路における画素加算なしの静止画モード時、及び、画素加算ありの動画モード時の回路動作について説明する。

[0085] (画素加算なしの静止画モード)

(1)高変換効率の場合

図14は、画素加算なしの静止画モード時の高変換効率の場合の動作説明のためのタイミングチャートである。図14のタイミングチャートには、水平同期信号XHS、リセット信号RST、第1のスイッチ信号FDL₁、第2のスイッチ信号FDL₂、第3のスイッチ信号FDG、及び、転送信号TRG₁, TRG₂のタイミング関係を示している。後述する各タイミングチャートにおいても同様である。

[0086] ・画素1の読み出し

画素1の画素信号の読み出しでは、時刻t₁₁でリセット信号RST及び第1のスイッチ信号FDL₁が低レベルから高レベルに遷移することで、リセットトランジスタ23及び第1のスイッチトランジスタ26₁が導通状態なる。これにより、画素1のフローティングディフュージョンFD₁のリセットが行われる。この場合、第2のスイッチ信号FDL₂のレベルについては不問である。

[0087] 次に、時刻t₁₂で第1のスイッチ信号FDL₁が高レベルから低レベルに遷移した後、時刻t₁₃で転送信号TRG₁が低レベルから高レベルに遷移することで、画素1の転送トランジスタ22が導通状態となり、画素1での画素信号の

読み出しが行われる。そして、時刻 t_{14} で転送信号 TRG_1 が高レベルから低レベルに遷移した後、時刻 t_{15} でリセット信号 RST が高レベルから低レベルに遷移する。

[0088] ・画素2の読み出し

画素2の画素信号の読み出しでは、時刻 t_{11} でリセット信号 RST 及び第2のスイッチ信号 FDL_2 が低レベルから高レベルに遷移することで、リセットトランジスタ23及び第2のスイッチトランジスタ26₂が導通状態なる。これにより、画素2のフローティングディフュージョン FD_2 のリセットが行われる。この場合、第1のスイッチ信号 FDL_1 のレベルについては不問である。

[0089] 次に、時刻 t_{12} で第2のスイッチ信号 FDL_2 が高レベルから低レベルに遷移した後、時刻 t_{13} で転送信号 TRG_2 が低レベルから高レベルに遷移することで、画素2の転送トランジスタ22が導通状態となり、画素2での画素信号の読み出しが行われる。そして、時刻 t_{14} で転送信号 TRG_2 が高レベルから低レベルに遷移した後、時刻 t_{15} でリセット信号 RST が高レベルから低レベルに遷移する。

[0090] (2)中変換効率の場合

図15は、画素加算なしの静止画モード時の中変換効率の場合の動作説明のためのタイミングチャートである。

[0091] ・画素1の読み出し

画素1の画素信号の読み出しでは、時刻 t_{21} でリセット信号 RST 、第1のスイッチ信号 FDL_1 及び第2のスイッチ信号 FDL_2 が低レベルから高レベルに遷移することで、リセットトランジスタ23、第1のスイッチトランジスタ26₁及び第2のスイッチトランジスタ26₂が導通状態なる。これにより、画素1のフローティングディフュージョン FD_1 及び画素2のフローティングディフュージョン FD_2 のリセットが行われる。

[0092] 次に、時刻 t_{22} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{23} で転送信号 TRG_1 が低レベルから高レベルに遷移することで、画素

1の転送トランジスタ22が導通状態となり、画素1での画素信号の読み出しが行われる。そして、時刻 t_{24} で転送信号 TRG_1 が高レベルから低レベルに遷移した後、時刻 t_{25} で第1のスイッチ信号 FDL_1 及び第2のスイッチ信号 FDL_2 が高レベルから低レベルに遷移する。

[0093] ・画素2の読み出し

画素2の画素信号の読み出しでは、時刻 t_{21} でリセット信号 RST 、第1のスイッチ信号 FDL_1 及び第2のスイッチ信号 FDL_2 が低レベルから高レベルに遷移することで、リセットトランジスタ23、第1のスイッチトランジスタ26₁及び第2のスイッチトランジスタ26₂が導通状態なる。これにより、画素1のフローティングディフュージョン FD_1 及び画素2のフローティングディフュージョン FD_2 のリセットが行われる。

[0094] 次に、時刻 t_{22} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{23} で転送信号 TRG_2 が低レベルから高レベルに遷移することで、画素2の転送トランジスタ22が導通状態となり、画素2での画素信号の読み出しが行われる。そして、時刻 t_{24} で転送信号 TRG_2 が高レベルから低レベルに遷移した後、時刻 t_{25} で第1のスイッチ信号 FDL_1 及び第2のスイッチ信号 FDL_2 が高レベルから低レベルに遷移する。

[0095] (3)低変換効率の場合

図16は、画素加算なしの静止画モード時の低変換効率の場合の動作説明のためのタイミングチャートである。

[0096] ・画素1の読み出し

画素1の画素信号の読み出しでは、時刻 t_{31} でリセット信号 RST 、第1のスイッチ信号 FDL_1 、第2のスイッチ信号 FDL_2 、及び、第3のスイッチ信号 FDG が低レベルから高レベルに遷移することで、リセットトランジスタ23、第1のスイッチトランジスタ26₁、第2のスイッチトランジスタ26₂、及び、第3のスイッチトランジスタ27が導通状態なる。これにより、画素1のフローティングディフュージョン FD_1 及び画素2のフローティングディフュージョン FD_2 のリセットが行われるとともに、ノード FD_s に容量素子

C_1 , C_2 が接続される。

[0097] 次に、時刻 t_{32} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{33} で転送信号 TRG_1 が低レベルから高レベルに遷移することで、画素 1 の転送トランジスタ 22 が導通状態となり、画素 1 での画素信号の読み出しが行われる。そして、時刻 t_{34} で転送信号 TRG_1 が高レベルから低レベルに遷移した後、時刻 t_{35} で第 1 のスイッチ信号 FDL_1 、第 2 のスイッチ信号 FDL_2 、及び、第 3 のスイッチ信号 FDG が高レベルから低レベルに遷移する。

[0098] ・画素 2 の読み出し

画素 2 の画素信号の読み出しでは、時刻 t_{31} でリセット信号 RST 、第 1 のスイッチ信号 FDL_1 、第 2 のスイッチ信号 FDL_2 、及び、第 3 のスイッチ信号 FDG が低レベルから高レベルに遷移することで、リセットトランジスタ 23、第 1 のスイッチトランジスタ 26₁、第 2 のスイッチトランジスタ 26₂、及び、第 3 のスイッチトランジスタ 27 が導通状態なる。これにより、画素 1 のフローティングディフュージョン FD_1 及び画素 2 のフローティングディフュージョン FD_2 のリセットが行われるとともに、ノード FD_s に容量素子 C_1 , C_2 が接続される。

[0099] 次に、時刻 t_{32} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{33} で転送信号 TRG_2 が低レベルから高レベルに遷移することで、画素 2 の転送トランジスタ 22 が導通状態となり、画素 2 での画素信号の読み出しが行われる。そして、時刻 t_{34} で転送信号 TRG_2 が高レベルから低レベルに遷移した後、時刻 t_{35} で第 1 のスイッチ信号 FDL_1 、第 2 のスイッチ信号 FDL_2 、及び、第 3 のスイッチ信号 FDG が高レベルから低レベルに遷移する。

[0100] (画素加算ありの動画モード)

続いて、画素加算ありの動画モード時の回路動作について説明する。画素加算ありの動画モードでは、中変換効率での加算読み出し、及び、低変換効率での加算読み出しが行われる。

[0101] ・中変換効率での加算読み出し

図 17A は、中変換効率での加算読み出しの場合の動作説明のためのタイ

ミングチャートである。

[0102] 時刻 t_{41} でリセット信号 RST 、第1のスイッチ信号 FDL_1 及び第2のスイッチ信号 FDL_2 が低レベルから高レベルに遷移することで、リセットトランジスタ23、第1のスイッチトランジスタ26₁ 及び第2のスイッチトランジスタ26₂ が導通状態なる。これにより、画素1のフローティングディフュージョン FD_1 及び画素2のフローティングディフュージョン FD_2 のリセットが行われる。

[0103] 次に、時刻 t_{42} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{43} で画素1の転送信号 TRG_1 及び画素2の転送信号 TRG_2 が共に低レベルから高レベルに遷移することで、画素1及び画素2の転送トランジスタ22が共に導通状態となる。これにより、画素1及び画素2の間で画素信号の加算読み出しが行われる。そして、時刻 t_{44} で転送信号 TRG_1 、 TRG_2 が高レベルから低レベルに遷移した後、時刻 t_{45} で第1のスイッチ信号 FDL_1 及び第2のスイッチ信号 FDL_2 が高レベルから低レベルに遷移する。

[0104] ・低変換効率での加算読み出し

図17Bは、低変換効率での加算読み出しの場合の動作説明のためのタイミングチャートである。

[0105] 時刻 t_{41} でリセット信号 RST 、第1のスイッチ信号 FDL_1 、第2のスイッチ信号 FDL_2 、及び、第3のスイッチ信号 FDG が低レベルから高レベルに遷移することで、リセットトランジスタ23、第1のスイッチトランジスタ26₁、第2のスイッチトランジスタ26₂、及び、第3のスイッチトランジスタ27が導通状態なる。これにより、画素1のフローティングディフュージョン FD_1 及び画素2のフローティングディフュージョン FD_2 のリセットが行われるとともに、ノード FD_s に容量素子 C_1 、 C_2 が接続される。

[0106] 次に、時刻 t_{42} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{43} で画素1の転送信号 TRG_1 及び画素2の転送信号 TRG_2 が共に低レベルから高レベルに遷移することで、画素1及び画素2の転送トランジスタ22が共に導通状態となる。これにより、画素1及び画素2の間で画素信

号の加算読み出しが行われる。そして、時刻 t_{44} で転送信号 TRG_1 , TRG_2 が高レベルから低レベルに遷移した後、時刻 t_{45} で第1のスイッチ信号 FDL_1 、第2のスイッチ信号 FDL_2 、及び、第3のスイッチ信号 FDG が高レベルから低レベルに遷移する。

[0107] (画素回路のレイアウト)

実施例1に係る画素回路のレイアウト図(平面図)を図18に示し、図18のX-X線に沿った矢視断面図を図19に示す。図18において、理解を容易にするために、各トランジスタのゲート電極については斜線を付して図示している。

[0108] 第1の画素部20Aである画素1の構成素子と、第2の画素部20Bである画素2の構成素子とは、画素1と画素2との間の中心線Oに関して対称性を確保した画素レイアウトとなっている。具体的には、画素1の構成素子については、中心線O側から、第1のスイッチトランジスタ26₁、フローティングディフュージョン FD_1 、増幅トランジスタ24、選択トランジスタ25、リセットトランジスタ23の順に配置されている。画素2の構成素子については、中心線O側から、第2のスイッチトランジスタ26₂、フローティングディフュージョン FD_1 、増幅トランジスタ24、選択トランジスタ25、第3のスイッチトランジスタ27の順に配置されている。

[0109] 上記の画素1及び画素2のレイアウトでは、フローティングディフュージョン FD_1 及びフローティングディフュージョン FD_2 が、画素1及び画素2の中心部よりも中心線Oに近い位置に配置されている。これにより、フローティングディフュージョン FD_1 とフローティングディフュージョン FD_2 とは近い配置関係となっている。この配置関係によれば、画素1及び画素2の各ノード FD_b の配線 L_s が短くて済み、当該配線 L_s の寄生容量を小さくできるため、画素加算時の中変換効率を高くすることができる。

[0110] 低変換効率を決める画素1の容量素子 C_1 及び画素2の容量素子 C_2 については、画素1及び画素2に共通の一つの容量素子として構成することができる。但し、画素1及び画素2に分割して配置した方が、画素レイアウトの対称

性を向上し、画素特性の均一性を確保できるため好ましい。

[0111] 図19に示すように、画素1の容量素子 C_1 及び画素2の容量素子 C_2 については、メタル配線 M_{11} とメタル配線 M_{12} とのカップリング容量で実現することができる。但し、メタル配線 M_{11} 、 M_{12} 間のカップリング容量による実現に限られるものではなく、例えば、酸化膜を用いた容量素子で実現するようにしてもよい。

[0112] ところで、第1の画素部20A及び第2の画素部20B画素構造については、配線層が配される側の基板面を表面（正面）とするとき、その反対側の裏面側から照射される光を取り込む裏面照射型の画素構造とすることもできるし、表面側から照射される光を取り込む表面照射型の画素構造とすることもできる。

[0113] 表面照射型の画素構造の場合は、容量素子 C_1 及び容量素子 C_2 を構成するメタル配線 M_{11} 、 M_{12} については、フォトダイオード21（ PD_1 、 PD_2 ）の領域に食み出さないように配置することが重要である。メタル配線 M_{11} 、 M_{12} がフォトダイオード21の領域に食み出した場合には、フォトダイオード21の開口面積が減ることになる。

[0114] これに対し、裏面照射型の画素構造の場合には、配線層が配される側と反対側から光を取り込む構造であるために、メタル配線 M_{11} 、 M_{12} の配置に関して、表面照射型の画素構造の場合のような制約はない。これにより、裏面照射型の画素構造の場合には、容量素子 C_1 、 C_2 を構成するメタル配線 M_{11} 、 M_{12} を、フォトダイオード21の領域まで広げて配置することができるため、より大きな容量値の容量素子 C_1 、 C_2 を実現することができる。

[0115] [実施例2]

実施例2は、第1、第2の画素部がそれぞれ複数の画素から成り、複数の画素間でフローティングディフュージョンFDを共有する例である。実施例2に係る画素回路の回路構成を図20に示す。ここでは、第1、第2の画素部20A、20Bがそれぞれ2つの画素から成り、フローティングディフュージョンFDを、2つの画素のフォトダイオード（PD）21間で共有する

回路構成を例示する。

- [0116] FD共有なしの実施例1に係る画素回路では、各々のフォトダイオード21 (PD_1/PD_2) に、リセットトランジスタ23/第3のスイッチトランジスタ27、増幅トランジスタ24、選択トランジスタ25、及び、第1のスイッチトランジスタ26₁/第2のスイッチトランジスタ26₂のセットが専用に割り当てられる。そのため、画素の開口面積が小さくなる。
- [0117] これに対し、FD共有ありの実施例2に係る画素回路では、2つの画素のフォトダイオード(PD_{11} , PD_{12}/PD_{21} , PD_2) 間でフローティングディフュージョンFD、及び、それ以降の回路素子を共有することで、個々の画素の開口率の向上を図ることができる。フローティングディフュージョンFD以降の回路素子は、第1の画素部20Aでは、リセットトランジスタ23、増幅トランジスタ24、選択トランジスタ25、及び、第1のスイッチトランジスタ26₁であり、第2の画素部20Bでは、第3のスイッチトランジスタ27、増幅トランジスタ24、選択トランジスタ25、及び、第2のスイッチトランジスタ26₂である。
- [0118] FD共有ありの実施例2に係る画素回路に対しても、実施例1に係る画素回路の技術を適用することができる。これにより、実施例1に係る画素回路の場合と同様に、画素加算なしの読み出しモード（静止画モード）の変換効率について、低/中/高の3段階に切り替えを行うことができ、画素加算ありの動画モードでは、中変換効率での加算読み出し、及び、低変換効率での加算読み出しを行うことができる。
- [0119] ここで、FD共有ありの実施例2に係る画素回路における画素加算について説明する。図21に示すベイヤー画素配列（カラーフィルタの配列）において、縦2画素がフローティングディフュージョンFDを共有する組を成す（図中、破線で囲んだ画素の組）。具体的には、赤の画素Rと緑の画素Gb、及び、緑の画素Grと青の画素BがそれぞれフローティングディフュージョンFDを共有する組になる。
- [0120] 静止画モードでは、組内のそれぞれの画素のフォトダイオード(PD) 2

1で光電変換された電荷を読み出すが、動画モードでは、隣接の同色縦2画素間で画素信号の加算を行う。具体的には、画素 R_1 と画素 R_2 、画素 G_{b1} と画素 G_{b2} 、画素 G_{r1} と画素 G_{r2} 、及び、画素 B_1 と画素 B_2 を加算する。

[0121] 同色の画素加算の単位回路を、図21に一点鎖線で囲って図示している。

図20の画素回路との対応において、フォトダイオード PD_{11} を含む画素1が画素 R_1 、フォトダイオード PD_{12} を含む画素2が画素 G_{b1} 、フォトダイオード PD_{21} を含む画素3が画素 R_2 、フォトダイオード PD_{22} を含む画素4が画素 G_{b2} にそれぞれ相当する。

[0122] 続いて、実施例2に係る画素回路における画素加算なしの静止画モード時、及び、画素加算ありの動画モード時の回路動作について説明する。実施例2に係る画素回路では、第1の画素部20Aの2つの画素を画素1及び画素2とし、第2の画素部20Bの2つの画素を画素3及び画素4とする。

[0123] (画素加算なしの静止画モード)

(1)高変換効率の場合

図22は、画素加算なしの静止画モード時の高変換効率の場合の動作説明のためのタイミングチャートである。図22のタイミングチャートには、水平同期信号 XHS 、リセット信号 RST 、第1のスイッチ信号 FDL_1 、第2のスイッチ信号 FDL_2 、第3のスイッチ信号 FDG 、及び、転送信号 TRG_{11} 、 TRG_{12} 、 TRG_{21} 、 TRG_{22} のタイミング関係を示している。後述する各タイミングチャートにおいても同様である。

[0124] ・画素1の読み出し

画素1の読み出しでは、時刻 t_{51} でリセット信号 RST 及び第1のスイッチ信号 FDL_1 が低レベルから高レベルに遷移することで、リセットトランジスタ23及び第1のスイッチトランジスタ26₁が導通状態なる。これにより、第1の画素部20Aの画素共有のフローティングディフュージョン FD_1 のリセットが行われる。この場合、第2のスイッチ信号 FDL_2 のレベルについては不問である。

[0125] 次に、時刻 t_{52} で第1のスイッチ信号 FDL_1 が高レベルから低レベルに遷移

した後、時刻 t_{53} で転送信号 $T R G_{11}$ が低レベルから高レベルに遷移することで、画素 1 の転送トランジスタ 22 が導通状態となり、フォトダイオード $P D_{11}$ で光電変換された電荷の読み出しが行われる。そして、時刻 t_{54} で転送信号 $T R G_{11}$ が高レベルから低レベルに遷移した後、時刻 t_{55} でリセット信号 $R S T$ が高レベルから低レベルに遷移する。

[0126] ・画素 2 の読み出し

画素 2 の読み出しでは、時刻 t_{51} でリセット信号 $R S T$ 及び第 1 のスイッチ信号 $F D L_1$ が低レベルから高レベルに遷移することで、リセットトランジスタ 23 及び第 1 のスイッチトランジスタ 26₁ が導通状態なる。これにより、第 1 の画素部 20A の画素共有のフローティングディフュージョン $F D_1$ のリセットが行われる。この場合、第 2 のスイッチ信号 $F D L_2$ のレベルについては不問である。

[0127] 次に、時刻 t_{52} で第 2 のスイッチ信号 $F D L_2$ が高レベルから低レベルに遷移した後、時刻 t_{53} で転送信号 $T R G_{12}$ が低レベルから高レベルに遷移することで、画素 2 の転送トランジスタ 22 が導通状態となり、フォトダイオード $P D_{12}$ で光電変換された電荷の読み出しが行われる。そして、時刻 t_{54} で転送信号 $T R G_{12}$ が高レベルから低レベルに遷移した後、時刻 t_{55} でリセット信号 $R S T$ が高レベルから低レベルに遷移する。

[0128] ・画素 3 の読み出し

画素 3 の読み出しでは、時刻 t_{51} でリセット信号 $R S T$ 及び第 2 のスイッチ信号 $F D L_1$ が低レベルから高レベルに遷移することで、リセットトランジスタ 23 及び第 2 のスイッチトランジスタ 26₂ が導通状態なる。これにより、第 2 の画素部 20B の画素共有のフローティングディフュージョン $F D_2$ のリセットが行われる。この場合、第 1 のスイッチ信号 $F D L_1$ のレベルについては不問である。

[0129] 次に、時刻 t_{52} で第 2 のスイッチ信号 $F D L_2$ が高レベルから低レベルに遷移した後、時刻 t_{53} で転送信号 $T R G_{21}$ が低レベルから高レベルに遷移することで、画素 2 の転送トランジスタ 22 が導通状態となり、フォトダイオード P

D_{21} で光電変換された電荷の読み出しが行われる。そして、時刻 t_{54} で転送信号 TRG_{21} が高レベルから低レベルに遷移した後、時刻 t_{55} でリセット信号 RST が高レベルから低レベルに遷移する。

[0130] ・画素4の読み出し

画素4の読み出しでは、時刻 t_{51} でリセット信号 RST 及び第2のスイッチ信号 FDL_1 が低レベルから高レベルに遷移することで、リセットトランジスタ23及び第2のスイッチトランジスタ26₂が導通状態なる。これにより、第2の画素部20Bの画素共有のフローティングディフュージョン FD_2 のリセットが行われる。この場合、第1のスイッチ信号 FDL_1 のレベルについては不問である。

[0131] 次に、時刻 t_{52} で第2のスイッチ信号 FDL_2 が高レベルから低レベルに遷移した後、時刻 t_{53} で転送信号 TRG_{22} が低レベルから高レベルに遷移することで、画素2の転送トランジスタ22が導通状態となり、フォトダイオード PD_{22} で光電変換された電荷の読み出しが行われる。そして、時刻 t_{54} で転送信号 TRG_{22} が高レベルから低レベルに遷移した後、時刻 t_{55} でリセット信号 RST が高レベルから低レベルに遷移する。

[0132] (2)中変換効率の場合

図23は、画素加算なしの静止画モード時の高変換効率の場合の動作説明のためのタイミングチャートである。

[0133] ・画素1の読み出し

画素1の読み出しでは、時刻 t_{51} でリセット信号 RST 、第1のスイッチ信号 FDL_1 及び第2のスイッチ信号 FDL_2 が低レベルから高レベルに遷移することで、リセットトランジスタ23、第1のスイッチトランジスタ26₁及び第2のスイッチトランジスタ26₂が導通状態なる。これにより、第1の画素部20Aの画素共有のフローティングディフュージョン FD_1 、及び、第2の画素部20Bの画素共有のフローティングディフュージョン FD_2 のリセットが行われる。

[0134] 次に、時刻 t_{52} でリセット信号 RST が高レベルから低レベルに遷移した後

、時刻 t_{53} で転送信号 TRG_{11} が低レベルから高レベルに遷移することで、画素 1 の転送トランジスタ 22 が導通状態となり、フォトダイオード PD_{11} で光電変換された電荷の読み出しが行われる。そして、時刻 t_{54} で転送信号 TRG_{11} が高レベルから低レベルに遷移した後、時刻 t_{55} でリセット信号 RST が高レベルから低レベルに遷移する。

[0135] ・画素 2 の読み出し

画素 2 の読み出しでは、時刻 t_{51} でリセット信号 RST 、第 1 のスイッチ信号 FDL_1 及び第 2 のスイッチ信号 FDL_2 が低レベルから高レベルに遷移することで、リセットトランジスタ 23、第 1 のスイッチトランジスタ 26₁ 及び第 2 のスイッチトランジスタ 26₂ が導通状態なる。これにより、第 1 の画素部 20A の画素共有のフローティングディフュージョン FD_1 、及び、第 2 の画素部 20B の画素共有のフローティングディフュージョン FD_2 のリセットが行われる。

[0136] 次に、時刻 t_{52} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{53} で転送信号 TRG_{12} が低レベルから高レベルに遷移することで、画素 2 の転送トランジスタ 22 が導通状態となり、フォトダイオード PD_{12} で光電変換された電荷の読み出しが行われる。そして、時刻 t_{54} で転送信号 TRG_{12} が高レベルから低レベルに遷移した後、時刻 t_{55} でリセット信号 RST が高レベルから低レベルに遷移する。

[0137] ・画素 3 の読み出し

画素 3 の読み出しでは、時刻 t_{51} でリセット信号 RST 、第 1 のスイッチ信号 FDL_1 及び第 2 のスイッチ信号 FDL_2 が低レベルから高レベルに遷移することで、リセットトランジスタ 23、第 1 のスイッチトランジスタ 26₁ 及び第 2 のスイッチトランジスタ 26₂ が導通状態なる。これにより、第 1 の画素部 20A の画素共有のフローティングディフュージョン FD_1 、及び、第 2 の画素部 20B の画素共有のフローティングディフュージョン FD_2 のリセットが行われる。

[0138] 次に、時刻 t_{52} でリセット信号 RST が高レベルから低レベルに遷移した後

、時刻 t_{53} で転送信号 TRG_{21} が低レベルから高レベルに遷移することで、画素 2 の転送トランジスタ 22 が導通状態となり、フォトダイオード PD_{21} で光電変換された電荷の読み出しが行われる。そして、時刻 t_{54} で転送信号 TRG_{21} が高レベルから低レベルに遷移した後、時刻 t_{55} でリセット信号 RST が高レベルから低レベルに遷移する。

[0139] ・画素 4 の読み出し

画素 4 の読み出しでは、時刻 t_{51} でリセット信号 RST 、第 1 のスイッチ信号 FDL_1 及び第 2 のスイッチ信号 FDL_2 が低レベルから高レベルに遷移することで、リセットトランジスタ 23、第 1 のスイッチトランジスタ 26₁ 及び第 2 のスイッチトランジスタ 26₂ が導通状態なる。これにより、第 1 の画素部 20A の画素共有のフローティングディフュージョン FD_1 、及び、第 2 の画素部 20B の画素共有のフローティングディフュージョン FD_2 のリセットが行われる。

[0140] 次に、時刻 t_{52} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{53} で転送信号 TRG_{22} が低レベルから高レベルに遷移することで、画素 2 の転送トランジスタ 22 が導通状態となり、フォトダイオード PD_{22} で光電変換された電荷の読み出しが行われる。そして、時刻 t_{54} で転送信号 TRG_{22} が高レベルから低レベルに遷移した後、時刻 t_{55} でリセット信号 RST が高レベルから低レベルに遷移する。

[0141] (3) 低変換効率の場合

図 24 は、画素加算なしの静止画モード時の低変換効率の場合の動作説明のためのタイミングチャートである。

[0142] ・画素 1 の読み出し

画素 1 の読み出しでは、時刻 t_{51} でリセット信号 RST 、第 1 のスイッチ信号 FDL_1 、第 2 のスイッチ信号 FDL_2 、及び、第 3 のスイッチ信号 FDG が低レベルから高レベルに遷移することで、リセットトランジスタ 23、第 1 のスイッチトランジスタ 26₁、第 2 のスイッチトランジスタ 26₂、及び、第 3 のスイッチトランジスタ 27 が導通状態なる。

[0143] これにより、第1の画素部20Aの画素共有のフローティングディフュージョンFD₁、及び、第2の画素部20Bの画素共有のフローティングディフュージョンFD₂のリセットが行われる。更に、ノードFD_sに、画素1の容量素子C₁₁、画素2の容量素子C₁₂、画素3の容量素子C₂₁、及び、画素4の容量素子C₂₂が接続される。

[0144] 次に、時刻t₅₂でリセット信号RSTが高レベルから低レベルに遷移した後、時刻t₅₃で転送信号TRG₁₁が低レベルから高レベルに遷移することで、画素1の転送トランジスタ22が導通状態となり、フォトダイオードPD₁₁で光電変換された電荷の読み出しが行われる。そして、時刻t₅₄で転送信号TRG₁₁が高レベルから低レベルに遷移した後、時刻t₅₅でリセット信号RSTが高レベルから低レベルに遷移する。

[0145] ・画素2の読み出し

画素2の読み出しでは、時刻t₅₁でリセット信号RST、第1のスイッチ信号FDL₁、第2のスイッチ信号FDL₂、及び、第3のスイッチ信号FDGが低レベルから高レベルに遷移することで、リセットトランジスタ23、第1のスイッチトランジスタ26₁、第2のスイッチトランジスタ26₂、及び、第3のスイッチトランジスタ27が導通状態なる。

[0146] これにより、第1の画素部20Aの画素共有のフローティングディフュージョンFD₁、及び、第2の画素部20Bの画素共有のフローティングディフュージョンFD₂のリセットが行われる。更に、ノードFD_sに、画素1の容量素子C₁₁、画素2の容量素子C₁₂、画素3の容量素子C₂₁、及び、画素4の容量素子C₂₂が接続される。

[0147] 次に、時刻t₅₂でリセット信号RSTが高レベルから低レベルに遷移した後、時刻t₅₃で転送信号TRG₁₂が低レベルから高レベルに遷移することで、画素2の転送トランジスタ22が導通状態となり、フォトダイオードPD₁₂で光電変換された電荷の読み出しが行われる。そして、時刻t₅₄で転送信号TRG₁₂が高レベルから低レベルに遷移した後、時刻t₅₅でリセット信号RSTが高レベルから低レベルに遷移する。

[0148] ・画素3の読み出し

画素3の読み出しでは、時刻 t_{51} でリセット信号 RST、第1のスイッチ信号 FDL_1 、第2のスイッチ信号 FDL_2 、及び、第3のスイッチ信号 FDG が低レベルから高レベルに遷移することで、リセットトランジスタ 23、第1のスイッチトランジスタ 26_1 、第2のスイッチトランジスタ 26_2 、及び、第3のスイッチトランジスタ 27 が導通状態なる。

[0149] これにより、第1の画素部 20A の画素共有のフローティングディフュージョン FD_1 、及び、第2の画素部 20B の画素共有のフローティングディフュージョン FD_2 のリセットが行われる。更に、ノード FD_s に、画素1の容量素子 C_{11} 、画素2の容量素子 C_{12} 、画素3の容量素子 C_{21} 、及び、画素4の容量素子 C_{22} が接続される。

[0150] 次に、時刻 t_{52} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{53} で転送信号 TRG_{21} が低レベルから高レベルに遷移することで、画素2の転送トランジスタ 22 が導通状態となり、フォトダイオード PD_{21} で光電変換された電荷の読み出しが行われる。そして、時刻 t_{54} で転送信号 TRG_{21} が高レベルから低レベルに遷移した後、時刻 t_{55} でリセット信号 RST が高レベルから低レベルに遷移する。

[0151] ・画素4の読み出し

画素4の読み出しでは、時刻 t_{51} でリセット信号 RST、第1のスイッチ信号 FDL_1 、第2のスイッチ信号 FDL_2 、及び、第3のスイッチ信号 FDG が低レベルから高レベルに遷移することで、リセットトランジスタ 23、第1のスイッチトランジスタ 26_1 、第2のスイッチトランジスタ 26_2 、及び、第3のスイッチトランジスタ 27 が導通状態なる。

[0152] これにより、第1の画素部 20A の画素共有のフローティングディフュージョン FD_1 、及び、第2の画素部 20B の画素共有のフローティングディフュージョン FD_2 のリセットが行われる。更に、ノード FD_s に、画素1の容量素子 C_{11} 、画素2の容量素子 C_{12} 、画素3の容量素子 C_{21} 、及び、画素4の容量素子 C_{22} が接続される。

[0153] 次に、時刻 t_{52} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{53} で転送信号 TRG₂₂ が低レベルから高レベルに遷移することで、画素 2 の転送トランジスタ 22 が導通状態となり、フォトダイオード PD₂₂ で光電変換された電荷の読み出しが行われる。そして、時刻 t_{54} で転送信号 TRG₂ が高レベルから低レベルに遷移した後、時刻 t_{55} でリセット信号 RST が高レベルから低レベルに遷移する。

[0154] 上述したように、実施例 2 に係る画素回路においても、実施例 1 に係る画素回路の場合と同様に、画素加算なしの読み出しモード（静止画モード）では、画素共有のフローティングディフュージョン FD₁、FD₂ の変換効率について、高／中／低の 3 段階の切り替えが行われることになる。

[0155] （画素加算ありの動画モード）

続いて、画素加算ありの動画モード時の回路動作について説明する。画素加算ありの動画モードでは、中変換効率での画素 1 及び画素 3 の加算、及び、画素 2 及び画素 4 の加算読み出し、並びに、低変換効率での画素 1 及び画素 3 の加算、及び、画素 2 及び画素 4 の加算読み出しが行われる。

[0156] 画素加算ありの動画モードにおいて、画素 1 及び画素 3 の加算読み出しは、フォトダイオード PD₁₁ 及びフォトダイオード PD₂₁ の各電荷の加算読み出しであり、画素 2 及び画素 4 の加算読み出しは、フォトダイオード PD₁₂ 及びフォトダイオード PD₂₂ の各電荷の加算読み出しである。

[0157] ・中変換効率での画素 1 及び画素 3 の加算読み出し

図 25A は、中変換効率での画素 1 及び画素 3 の加算読み出しの場合の動作説明のためのタイミングチャートである。

[0158] 時刻 t_{61} でリセット信号 RST、第 1 のスイッチ信号 FDL₁ 及び第 2 のスイッチ信号 FDL₂ が低レベルから高レベルに遷移することで、リセットトランジスタ 23、第 1 のスイッチトランジスタ 26₁ 及び第 2 のスイッチトランジスタ 26₂ が導通状態なる。これにより、第 1 の画素部 20A の画素共有のフローティングディフュージョン FD₁、及び、第 2 の画素部 20B の画素共有のフローティングディフュージョン FD₂ のリセットが行われる。

[0159] 次に、時刻 t_{62} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{63} で画素 1 の転送信号 TRG₁₁ 及び画素 3 の転送信号 TRG₂₁ が共に低レベルから高レベルに遷移することで、画素 1 の転送トランジスタ 22 及び画素 3 の転送トランジスタ 22 が共に導通状態となる。これにより、画素 1 のフォトダイオード PD₁₁ と画素 3 のフォトダイオード PD₂₁ との間で電荷の加算読み出しが行われる。すなわち、図 21 では、同色の画素 R₁ と画素 R₂ との間で画素信号の加算読み出しが行われる。そして、時刻 t_{64} で転送信号 TRG₁₁, TRG₂₁ が高レベルから低レベルに遷移した後、時刻 t_{65} で第 1 のスイッチ信号 FDL₁ 及び第 2 のスイッチ信号 FDL₂ が高レベルから低レベルに遷移する。

[0160] ・中変換効率での画素 2 及び画素 4 の加算読み出し

図 25B は、中変換効率での画素 2 及び画素 4 の加算読み出しの場合の動作説明のためのタイミングチャートである。

[0161] 時刻 t_{61} でリセット信号 RST、第 1 のスイッチ信号 FDL₁ 及び第 2 のスイッチ信号 FDL₂ が低レベルから高レベルに遷移することで、リセットトランジスタ 23、第 1 のスイッチトランジスタ 26₁ 及び第 2 のスイッチトランジスタ 26₂ が導通状態なる。これにより、第 1 の画素部 20A の画素共有のフローティングディフュージョン FD₁、及び、第 2 の画素部 20B の画素共有のフローティングディフュージョン FD₂ のリセットが行われる。

[0162] 次に、時刻 t_{62} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{63} で画素 2 の転送信号 TRG₁₂ 及び画素 4 の転送信号 TRG₂₂ が共に低レベルから高レベルに遷移することで、画素 1 の転送トランジスタ 22 及び画素 3 の転送トランジスタ 22 が共に導通状態となる。これにより、画素 2 のフォトダイオード PD₁₂ と画素 4 のフォトダイオード PD₂₂ との間で電荷の加算読み出しが行われる。すなわち、図 21 では、同色の画素 Gb₁ と画素 Gb₂ との間で画素信号の加算読み出しが行われる。そして、時刻 t_{64} で転送信号 TRG₁₁, TRG₂₁ が高レベルから低レベルに遷移した後、時刻 t_{65} で第 1 のスイッチ信号 FDL₁ 及び第 2 のスイッチ信号 FDL₂ が高レベルから低レベルに

遷移する。

[0163] ・低変換効率での画素 1 及び画素 3 の加算読み出し

図 2 6 A は、低変換効率での画素 1 及び画素 3 の加算読み出しの場合の動作説明のためのタイミングチャートである。

[0164] 時刻 t_{61} でリセット信号 RST、第 1 のスイッチ信号 FDL₁、第 2 のスイッチ信号 FDL₂、及び、第 3 のスイッチ信号 FDG が低レベルから高レベルに遷移することで、リセットトランジスタ 23、第 1 のスイッチトランジスタ 26₁、第 2 のスイッチトランジスタ 26₂、及び、第 3 のスイッチトランジスタ 27 が導通状態なる。これにより、第 1 の画素部 20A の画素共有のフローティングディフュージョン FD₁、及び、第 2 の画素部 20B の画素共有のフローティングディフュージョン FD₂ のリセットが行われる。更に、ノード FD_s に、画素 1 の容量素子 C₁₁、画素 2 の容量素子 C₁₂、画素 3 の容量素子 C₂₁、及び、画素 4 の容量素子 C₂₂ が接続される。

[0165] 次に、時刻 t_{62} でリセット信号 RST が高レベルから低レベルに遷移した後、時刻 t_{63} で画素 1 の転送信号 TRG₁₁ 及び画素 3 の転送信号 TRG₂₁ が共に低レベルから高レベルに遷移することで、画素 1 の転送トランジスタ 22 及び画素 3 の転送トランジスタ 22 が共に導通状態となる。これにより、画素 1 のフォトダイオード PD₁₁ と画素 3 のフォトダイオード PD₂₁ との間で、即ち、同色の画素 R₁ と画素 R₂ との間で画素信号の加算読み出しが行われる。そして、時刻 t_{64} で転送信号 TRG₁₁、TRG₂₁ が高レベルから低レベルに遷移した後、時刻 t_{65} で第 1 のスイッチ信号 FDL₁ 及び第 2 のスイッチ信号 FDL₂ が高レベルから低レベルに遷移する。

[0166] ・低変換効率での画素 2 及び画素 4 の加算読み出し

図 2 6 B は、低変換効率での画素 2 及び画素 4 の加算読み出しの場合の動作説明のためのタイミングチャートである。

[0167] 時刻 t_{61} でリセット信号 RST、第 1 のスイッチ信号 FDL₁、第 2 のスイッチ信号 FDL₂、及び、第 3 のスイッチ信号 FDG が低レベルから高レベルに遷移することで、リセットトランジスタ 23、第 1 のスイッチトランジスタ

26₁、第2のスイッチトランジスタ26₂、及び、第3のスイッチトランジスタ27が導通状態なる。これにより、第1の画素部20Aの画素共有のフローティングディフュージョンFD₁、及び、第2の画素部20Bの画素共有のフローティングディフュージョンFD₂のリセットが行われる。更に、ノードFD_sに、画素1の容量素子C₁₁、画素2の容量素子C₁₂、画素3の容量素子C₂₁、及び、画素4の容量素子C₂₂が接続される。

[0168] 次に、時刻t₆₂でリセット信号RSTが高レベルから低レベルに遷移した後、時刻t₆₃で画素2の転送信号TRG₁₂及び画素4の転送信号TRG₂₂が共に低レベルから高レベルに遷移することで、画素2の転送トランジスタ22及び画素4の転送トランジスタ22が共に導通状態となる。これにより、画素2のフォトダイオードPD₁₂と画素4のフォトダイオードPD₂₂との間で、即ち、同色の画素Gb₁と画素Gb₂との間で画素信号の加算読み出しが行われる。そして、時刻t₆₄で転送信号TRG₁₂、TRG₂₂が高レベルから低レベルに遷移した後、時刻t₆₅で第1のスイッチ信号FDL₁及び第2のスイッチ信号FDL₂が高レベルから低レベルに遷移する。

[0169] 上述したように、実施例2に係る画素回路においても、実施例1に係る画素回路の場合と同様に、画素加算ありの読み出しモード（動画モード）では、画素共有のフローティングディフュージョンFD₁、FD₂の変換効率について、中／低の2段階の切り替えが行われることになる。

[0170] （画素回路のレイアウト）

実施例2に係る画素回路のレイアウト図（平面図）を図27に示し、図27のY-Y線に沿った矢視断面図を図28に示す。図27において、理解を容易にするために、各トランジスタのゲート電極については斜線を付して図示している。

[0171] 第1の画素部20Aである画素1及び画素2の構成素子と、第2の画素部20Bである画素3及び画素4の構成素子とは、第1の画素部20Aと第2の画素部20Bとの間の中心線Oに関して対称性を確保した画素レイアウトとなっている。

[0172] 低変換効率を決める第1の画素部20Aの容量素子 C_{11} 、 C_{12} 、及び、第2の画素部20Bの容量素子 C_{21} 、 C_{22} については、第1の画素部20A及び第2の画素部20Bに共通の一つの容量素子として構成することができる。但し、画素1、画素2、画素3、及び、画素4に分割して配置した方が、画素レイアウトの対称性を向上し、画素特性の均一性を確保できるため好ましい。

[0173] 図27に示すように、画素1の容量素子 C_{11} 、画素2の容量素子 C_{12} 、画素3の容量素子 C_{21} 、及び、画素4の容量素子 C_{22} については、メタル配線 M_{11} とメタル配線 M_{12} とのカップリング容量で実現することができる。但し、メタル配線 M_{11} 、 M_{12} 間のカップリング容量による実現に限られるものではなく、例えば、酸化膜を用いた容量素子で実現するようにしてもよい。

[0174] また、実施例1に係る画素回路の場合と同様の理由により、第1の画素部20A及び第2の画素部20Bの画素構造については、メタル配線 M_{11} 、 M_{12} の配置に関して、表面照射型の画素構造の場合のような制約はない裏面照射型の画素構造とすることが好ましい。これにより、容量素子 C_{11} 、 C_{12} 、 C_{21} 、 C_{22} を構成するメタル配線 M_{11} 、 M_{12} を、フォトダイオード21の領域まで広げて配置することができるため、より大きな容量値の容量素子 C_{11} 、 C_{12} 、 C_{21} 、 C_{22} を実現することができる。

[0175] <変形例>

以上、本開示に係る技術について、好ましい実施形態に基づき説明したが、本開示に係る技術は当該実施形態に限定されるものではない。上記の実施形態において説明した撮像装置の構成、構造は例示であり、適宜、変更することができる。

[0176] 例えば、上記の実施形態では、画素2が行列状に配置されて成るCMOSイメージセンサに適用した場合を例に挙げて説明したが、本開示に係る技術は、CMOSイメージセンサへの適用に限られるものではない。すなわち、本開示に係る技術は、画素2が行列状に2次元配置されて成るX-Yアドレス方式の撮像装置全般に対して適用可能である。

[0177] <応用例>

以上説明した本実施形態に係る撮像装置は、例えば図29に示すように、可視光、赤外光、紫外光、X線等の光をセンシングする様々な装置に使用することができる。様々な装置の具体例について以下に列挙する。

[0178] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供され装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0179] <適用例>

本開示に係る技術は、様々な製品に適用することができる。より具体的には、デジタルスチルカメラやビデオカメラ等の撮像システムや、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に撮像装置を用いる複写機などの電子機器に適用することができる。以下に、デジタルスチルカメラやビデオカメラ等の撮像システムに適用する場合について説明する。

[0180] [撮像システム]

図30は、電子機器の一例である撮像システムの構成を示すブロック図である。図30に示すように、本例に係る撮像システム100は、レンズ群等を含む撮像光学系101、撮像部102、DSP(Digital Signal Processor)回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108等を有している。そして、DSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108がバスライン109を介して相互に接続された構成となっている。

- [0181] 撮像光学系101は、被写体からの入射光(像光)を取り込んで撮像部102の撮像面上に結像する。撮像部102は、光学系101によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。DSP回路103は、一般的なカメラ信号処理、例えば、ホワイトバランス処理、デモザイク処理、ガンマ補正処理などを行う。
- [0182] フレームメモリ104は、DSP回路103での信号処理の過程で適宜データの格納に用いられる。表示装置105は、液晶表示装置や有機EL(electro luminescence)表示装置等のパネル型表示装置から成り、撮像部102で撮像された動画または静止画を表示する。記録装置106は、撮像部102で撮像された動画または静止画を、可搬型の半導体メモリや、光ディスク、HDD(Hard Disk Drive)等の記録媒体に記録する。
- [0183] 操作系107は、ユーザによる操作の下に、本撮像システム100が持つ様々な機能について操作指令を発する。電源系108は、DSP回路103、フレームメモリ104、表示装置105、記録装置106、及び、操作系107の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。
- [0184] 上記の構成の撮像システム100において、撮像部102として、先述した実施形態に係る撮像装置を用いることができる。そして、当該撮像装置を撮像部102として用いることで、低変換効率の状態以外の状態においてもFD加算による加算読み出しを行うことができる。

[0185] <本開示がとることができる構成>

尚、本開示は、以下のような構成をとることもできる。

[0186] ≪A. 撮像装置≫

[A-1] 受光部から転送される電荷を電圧に変換するフローティングディフュージョンを有し、画素間でフローティングディフュージョンを電氣的に接続することによって画素信号を加算する画素加算を選択的に行う第1の画素部及び第2の画素部を備え、

第1の画素部は、一方のソース／ドレイン電極がフローティングディフュージョンに接続された第1のスイッチトランジスタ、及び、第1のスイッチトランジスタの他方のソース／ドレイン電極と電源ノードとの間に接続されたりセットトランジスタを有し、

第2の画素部は、一方のソース／ドレイン電極がフローティングディフュージョンに接続された第2のスイッチトランジスタ、第2のスイッチトランジスタの他方のソース／ドレイン電極に一方のソース／ドレイン電極が接続された第3のスイッチトランジスタ、及び、第3のスイッチトランジスタの他方のソース／ドレイン電極と基準電位ノードとの間に接続された容量素子を有し、

第1のスイッチトランジスタ及び第2のスイッチトランジスタの各他方のソース／ドレイン電極が電氣的に接続されている、

撮像装置。

[A-2] 第1の画素部又は第2の画素部は、画素加算なしの場合において、第1のスイッチトランジスタ又は第2のスイッチトランジスタが非導通状態のとき、フローティングディフュージョンの変換効率に関して高変換効率を実現する、

上記[A-1]に記載の撮像装置。

[A-3] 第1の画素部及び第2の画素部は、画素加算なしの場合において、第1のスイッチトランジスタ及び第2のスイッチトランジスタが共に非導通状態のとき、フローティングディフュージョンの変換効率に関して中変換

効率を実現する、

上記〔A－１〕に記載の撮像装置。

〔A－４〕第１の画素部及び第２の画素部は、画素加算なしの場合において、第１のスイッチトランジスタ、第２のスイッチトランジスタ、及び、第３のスイッチトランジスタが共に導通状態のとき、フローティングディフュージョンの変換効率に関して低変換効率を実現する、

上記〔A－１〕に記載の撮像装置。

〔A－５〕第１の画素部及び第２の画素部は、第１のスイッチトランジスタ及び第２のスイッチトランジスタが共に導通状態のとき、画素加算を行うとともに、フローティングディフュージョンの変換効率に関して中変換効率を実現する、

上記〔A－１〕に記載の撮像装置。

〔A－６〕第１の画素部及び第２の画素部は、第１のスイッチトランジスタ、第２のスイッチトランジスタ、及び、第３のスイッチトランジスタが共に導通状態のとき、画素加算を行うとともに、フローティングディフュージョンの変換効率に関して低変換効率を実現する、

上記〔A－１〕に記載の撮像装置。

〔A－７〕容量素子は、第１の画素部及び第２の画素部の各画素に分割して配置されている、

上記〔A－１〕乃至上記〔A－６〕のいずれかに記載の撮像装置。

〔A－８〕容量素子は、メタル配線間のカップリング容量によって実現される、

上記〔A－７〕に記載の撮像装置。

〔A－９〕第１の画素部及び第２の画素部はそれぞれ複数の画素から成り、複数の画素間でフローティングディフュージョンを共有する、

上記〔A－１〕乃至上記〔A－８〕のいずれかに記載の撮像装置。

〔A－１０〕第１の画素部及び第２の画素部は、同色の画素間で画素加算を行う、

上記〔A－9〕に記載の撮像装置。

〔A－11〕第1の画素部の構成素子、及び、第2の画素部の構成素子は、第1の画素部と第2の画素部との間の中心線に関して対称性を確保した画素レイアウトとなっている、

上記〔A－1〕乃至上記〔A－10〕のいずれかに記載の撮像装置。

〔A－12〕第1の画素部及び第2の画素部の各フローティングディフュージョンは、第1の画素部及び第2の画素部の各中心部よりも、第1の画素部と第2の画素部との間の中心線に近い位置に配置されている、

上記〔A－11〕に記載の撮像装置。

〔A－13〕第1の画素部及び第2の画素部は、裏面照射型の画素構造を有する、

上記〔A－1〕乃至上記〔A－12〕のいずれかに記載の撮像装置。

[0187] ≪B. 電子機器≫

〔B－1〕受光部から転送される電荷を電圧に変換するフローティングディフュージョンを有し、画素間でフローティングディフュージョンを電気的に接続することによって画素信号を加算する画素加算を選択的に行う第1の画素部及び第2の画素部を備え、

第1の画素部は、一方のソース／ドレイン電極がフローティングディフュージョンに接続された第1のスイッチトランジスタ、及び、第1のスイッチトランジスタの他方のソース／ドレイン電極と電源ノードとの間に接続されたりセットトランジスタを有し、

第2の画素部は、一方のソース／ドレイン電極がフローティングディフュージョンに接続された第2のスイッチトランジスタ、第2のスイッチトランジスタの他方のソース／ドレイン電極に一方のソース／ドレイン電極が接続された第3のスイッチトランジスタ、及び、第3のスイッチトランジスタの他方のソース／ドレイン電極と基準電位ノードとの間に接続された容量素子を有し、

第1のスイッチトランジスタ及び第2のスイッチトランジスタの各他方の

ソース／ドレイン電極が電氣的に接続されている、

撮像装置を有する電子機器。

〔B－2〕第1の画素部又は第2の画素部は、画素加算なしの場合において、第1のスイッチトランジスタ又は第2のスイッチトランジスタが非導通状態のとき、フローティングディフュージョンの変換効率に関して高変換効率を実現する、

上記〔B－1〕に記載の電子機器。

〔B－3〕第1の画素部及び第2の画素部は、画素加算なしの場合において、第1のスイッチトランジスタ及び第2のスイッチトランジスタが共に非導通状態のとき、フローティングディフュージョンの変換効率に関して中変換効率を実現する、

上記〔B－1〕に記載の電子機器。

〔B－4〕第1の画素部及び第2の画素部は、画素加算なしの場合において、画素加算なしの場合において、第1のスイッチトランジスタ、第2のスイッチトランジスタ、及び、第3のスイッチトランジスタが共に導通状態のとき、フローティングディフュージョンの変換効率に関して低変換効率を実現する、

上記〔B－1〕に記載の電子機器。

〔B－5〕第1の画素部及び第2の画素部は、第1のスイッチトランジスタ及び第2のスイッチトランジスタが共に導通状態のとき、画素加算を行うとともに、フローティングディフュージョンの変換効率に関して中変換効率を実現する、

上記〔B－1〕に記載の電子機器。

〔B－6〕第1の画素部及び第2の画素部は、第1のスイッチトランジスタ、第2のスイッチトランジスタ、及び、第3のスイッチトランジスタが共に導通状態のとき、画素加算を行うとともに、フローティングディフュージョンの変換効率に関して低変換効率を実現する、

上記〔B－1〕に記載の電子機器。

〔B－7〕容量素子は、第１の画素部及び第２の画素部の各画素に分割して配置されている、

上記〔B－１〕乃至上記〔B－６〕のいずれかに記載の電子機器。

〔B－８〕容量素子は、メタル配線間のカップリング容量によって実現される、

上記〔B－７〕に記載の電子機器。

〔B－９〕第１の画素部及び第２の画素部はそれぞれ複数の画素から成り、複数の画素間でフローティングディフュージョンを共有する、

上記〔B－１〕乃至上記〔B－８〕のいずれかに記載の電子機器。

〔B－１０〕第１の画素部及び第２の画素部は、同色の画素間で画素加算を行う、

上記〔B－９〕に記載の電子機器。

〔B－１１〕第１の画素部の構成素子、及び、第２の画素部の構成素子は、第１の画素部と第２の画素部との間の中心線に関して対称性を確保した画素レイアウトとなっている、

上記〔B－１〕乃至上記〔B－１０〕のいずれかに記載の電子機器。

〔B－１２〕第１の画素部及び第２の画素部の各フローティングディフュージョンは、第１の画素部及び第２の画素部の各中心部よりも、第１の画素部と第２の画素部との間の中心線に近い位置に配置されている、

上記〔B－１１〕に記載の電子機器。

〔B－１３〕第１の画素部及び第２の画素部は、裏面照射型の画素構造を有する、

上記〔B－１〕乃至上記〔B－１２〕のいずれかに記載の電子機器。

符号の説明

[0188] １・・・ＣＭＯＳイメージセンサ、２・・・画素、１１・・・画素アレイ部、１２・・・行選択部、１３・・・定電流源部、１４・・・アナログデジタル変換部、１５・・・水平転送走査部、１６・・・信号処理部、１７・・・タイミング制御部、１８・・・水平転送線、１９・・・参照信号生成部

、 $20A$ ・・・第1の画素部、 $20B$ ・・・第2の画素部、 21 ・・・フォトダイオード（光電変換部）、 22 ・・・転送トランジスタ、 23 ・・・リセットトランジスタ、 24 ・・・増幅トランジスタ、 25 ・・・選択トランジスタ、 26_1 ・・・第1のスイッチトランジスタ、 26_2 ・・・第2のスイッチトランジスタ、 27 ・・・第3のスイッチトランジスタ、 31 （ $31_1 \sim 31_m$ ）・・・画素駆動線、 32 （ $32_1 \sim 32_n$ ）・・・垂直信号線、 C_1 、 C_2 、 C_{11} 、 C_{12} 、 C_{21} 、 C_{22} ・・・容量素子、 FD （ FD_1 、 FD_2 ）・・・フローティングディフュージョン

請求の範囲

[請求項1] 受光部から転送される電荷を電圧に変換するフローティングディフュージョンを有し、画素間でフローティングディフュージョンを電氣的に接続することによって画素信号を加算する画素加算を選択的に行う第1の画素部及び第2の画素部を備え、

第1の画素部は、一方のソース／ドレイン電極がフローティングディフュージョンに接続された第1のスイッチトランジスタ、及び、第1のスイッチトランジスタの他方のソース／ドレイン電極と電源ノードとの間に接続されたリセットトランジスタを有し、

第2の画素部は、一方のソース／ドレイン電極がフローティングディフュージョンに接続された第2のスイッチトランジスタ、第2のスイッチトランジスタの他方のソース／ドレイン電極に一方のソース／ドレイン電極が接続された第3のスイッチトランジスタ、及び、第3のスイッチトランジスタの他方のソース／ドレイン電極と基準電位ノードとの間に接続された容量素子を有し、

第1のスイッチトランジスタ及び第2のスイッチトランジスタの各他方のソース／ドレイン電極が電氣的に接続されている、

撮像装置。

[請求項2] 第1の画素部又は第2の画素部は、画素加算なしの場合において、第1のスイッチトランジスタ又は第2のスイッチトランジスタが非導通状態のとき、フローティングディフュージョンの変換効率に関して高変換効率を実現する、

請求項1に記載の撮像装置。

[請求項3] 第1の画素部及び第2の画素部は、画素加算なしの場合において、第1のスイッチトランジスタ及び第2のスイッチトランジスタが共に非導通状態のとき、フローティングディフュージョンの変換効率に関して中変換効率を実現する、

請求項1に記載の撮像装置。

- [請求項4] 第1の画素部及び第2の画素部は、画素加算なしの場合において、第1のスイッチトランジスタ、第2のスイッチトランジスタ、及び、第3のスイッチトランジスタが導通状態のとき、フローティングディフュージョンの変換効率に関して低変換効率を実現する、
請求項1に記載の撮像装置。
- [請求項5] 第1の画素部及び第2の画素部は、第1のスイッチトランジスタ及び第2のスイッチトランジスタが共に導通状態のとき、画素加算を行うとともに、フローティングディフュージョンの変換効率に関して中変換効率を実現する、
請求項1に記載の撮像装置。
- [請求項6] 第1の画素部及び第2の画素部は、第1のスイッチトランジスタ、第2のスイッチトランジスタ、及び、第3のスイッチトランジスタが共に導通状態のとき、画素加算を行うとともに、フローティングディフュージョンの変換効率に関して低変換効率を実現する、
請求項1に記載の撮像装置。
- [請求項7] 容量素子は、第1の画素部及び第2の画素部の各画素に分割して配置されている、
請求項1に記載の撮像装置。
- [請求項8] 容量素子は、メタル配線間のカップリング容量によって実現される、
請求項7に記載の撮像装置。
- [請求項9] 第1の画素部及び第2の画素部はそれぞれ複数の画素から成り、複数の画素間でフローティングディフュージョンを共有する、
請求項1に記載の撮像装置。
- [請求項10] 第1の画素部及び第2の画素部は、同色の画素間で画素加算を行う、
請求項9に記載の撮像装置。
- [請求項11] 第1の画素部の構成素子、及び、第2の画素部の構成素子は、第1

の画素部と第2の画素部との間の中心線に関して対称性を確保した画素レイアウトとなっている、

請求項1に記載の撮像装置。

[請求項12] 第1の画素部及び第2の画素部の各フローティングディフュージョンは、第1の画素部及び第2の画素部の各中心部よりも、第1の画素部と第2の画素部との間の中心線に近い位置に配置されている、

請求項11に記載の撮像装置。

[請求項13] 第1の画素部及び第2の画素部は、裏面照射型の画素構造を有する、

請求項1に記載の撮像装置。

[請求項14] 受光部から転送される電荷を電圧に変換するフローティングディフュージョンを有し、画素間でフローティングディフュージョンを電氣的に接続することによって画素信号を加算する画素加算を選択的に行う第1の画素部及び第2の画素部を備え、

第1の画素部は、一方のソース／ドレイン電極がフローティングディフュージョンに接続された第1のスイッチトランジスタ、及び、第1のスイッチトランジスタの他方のソース／ドレイン電極と電源ノードとの間に接続されたりセットトランジスタを有し、

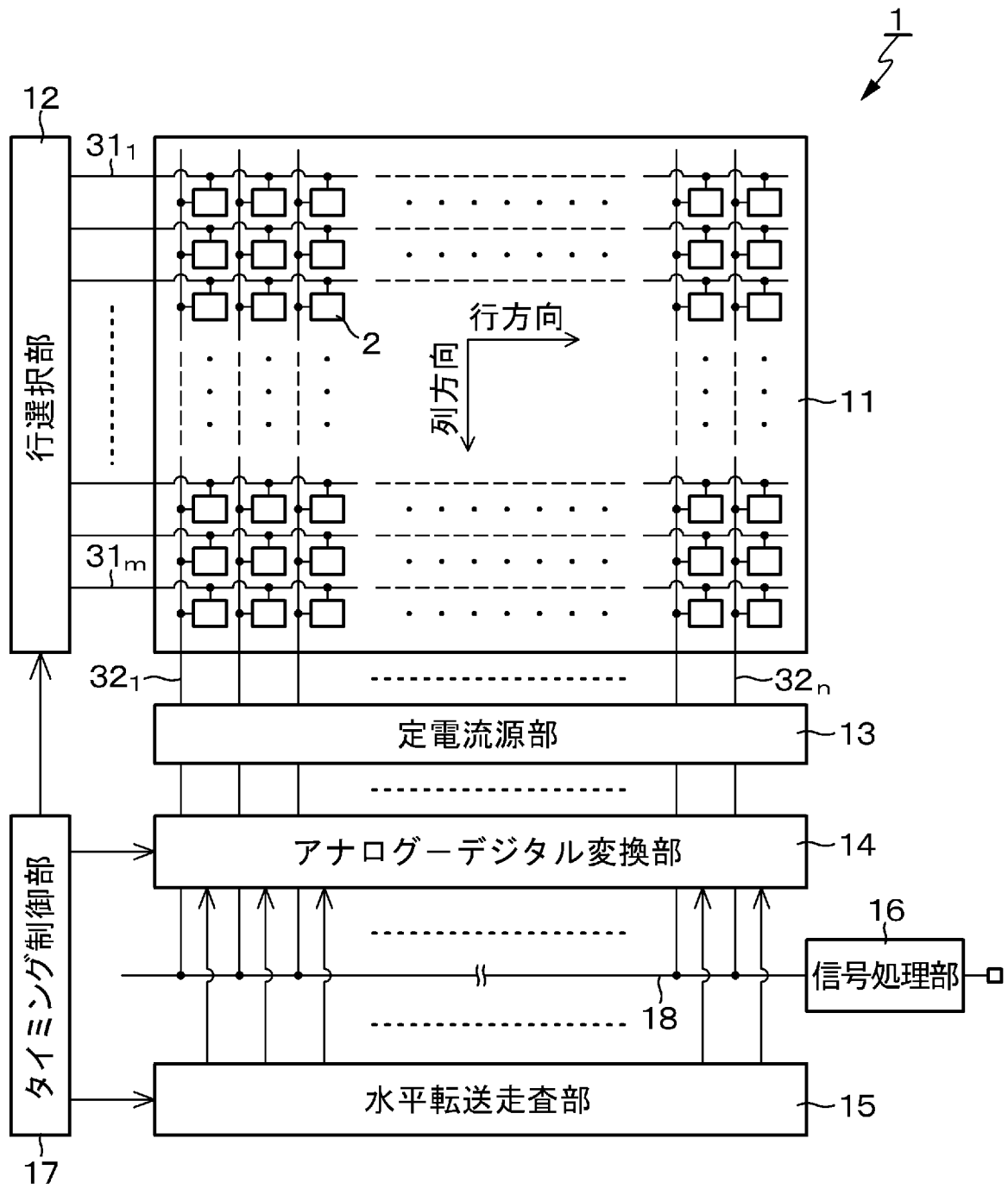
第2の画素部は、一方のソース／ドレイン電極がフローティングディフュージョンに接続された第2のスイッチトランジスタ、第2のスイッチトランジスタの他方のソース／ドレイン電極に一方のソース／ドレイン電極が接続された第3のスイッチトランジスタ、及び、第3のスイッチトランジスタの他方のソース／ドレイン電極と基準電位ノードとの間に接続された容量素子を有し、

第1のスイッチトランジスタ及び第2のスイッチトランジスタの各他方のソース／ドレイン電極が電氣的に接続されている、

撮像装置を有する電子機器。

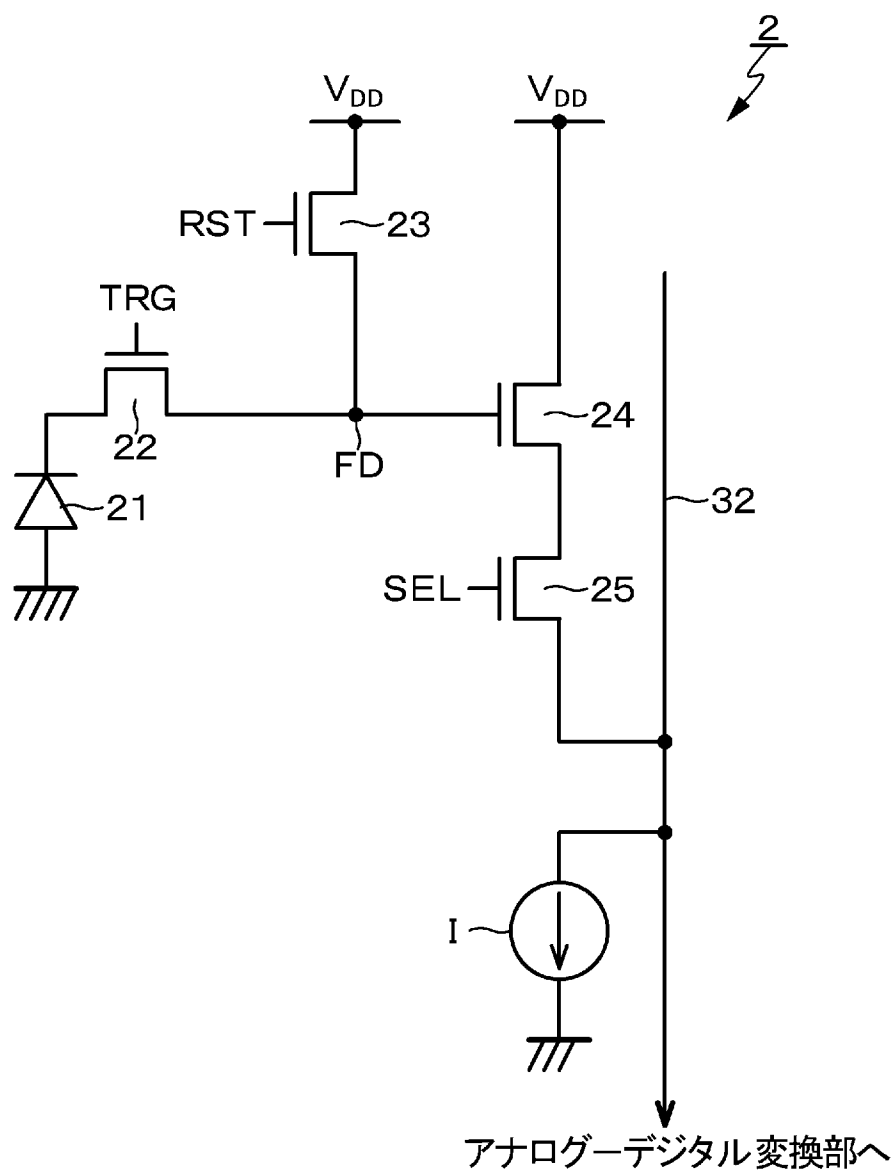
[図1]

図 1



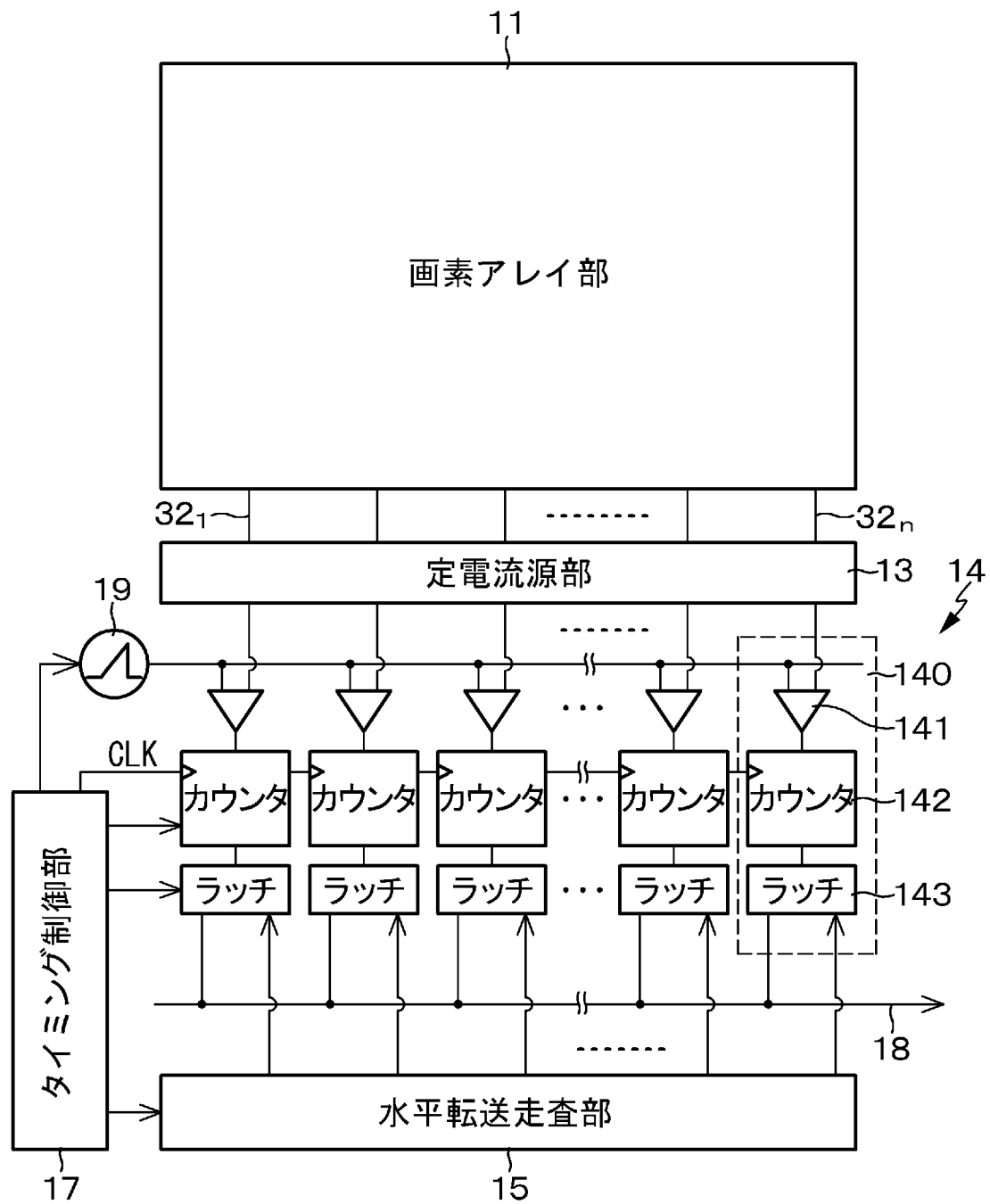
[図2]

図 2



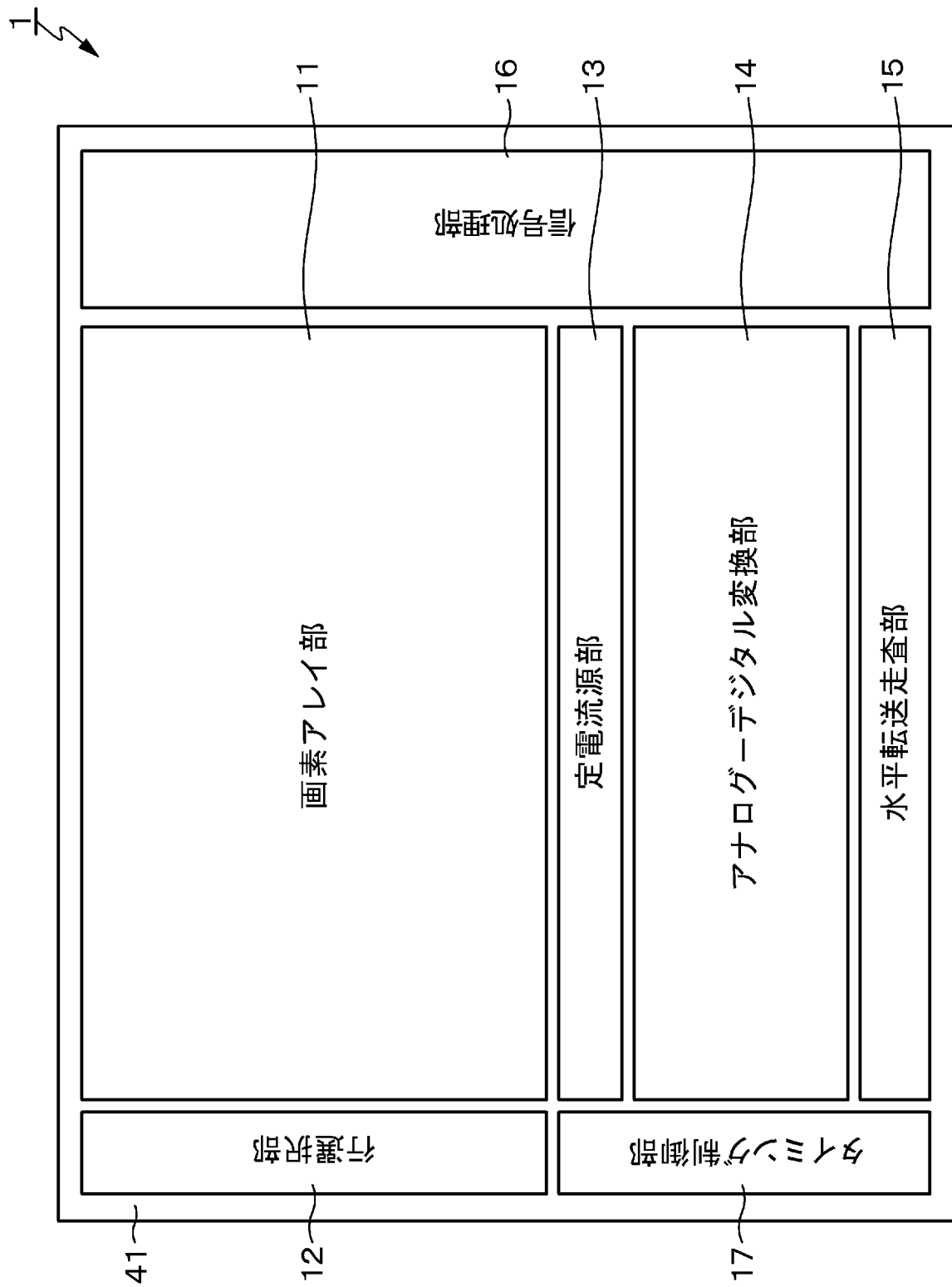
[図3]

図 3



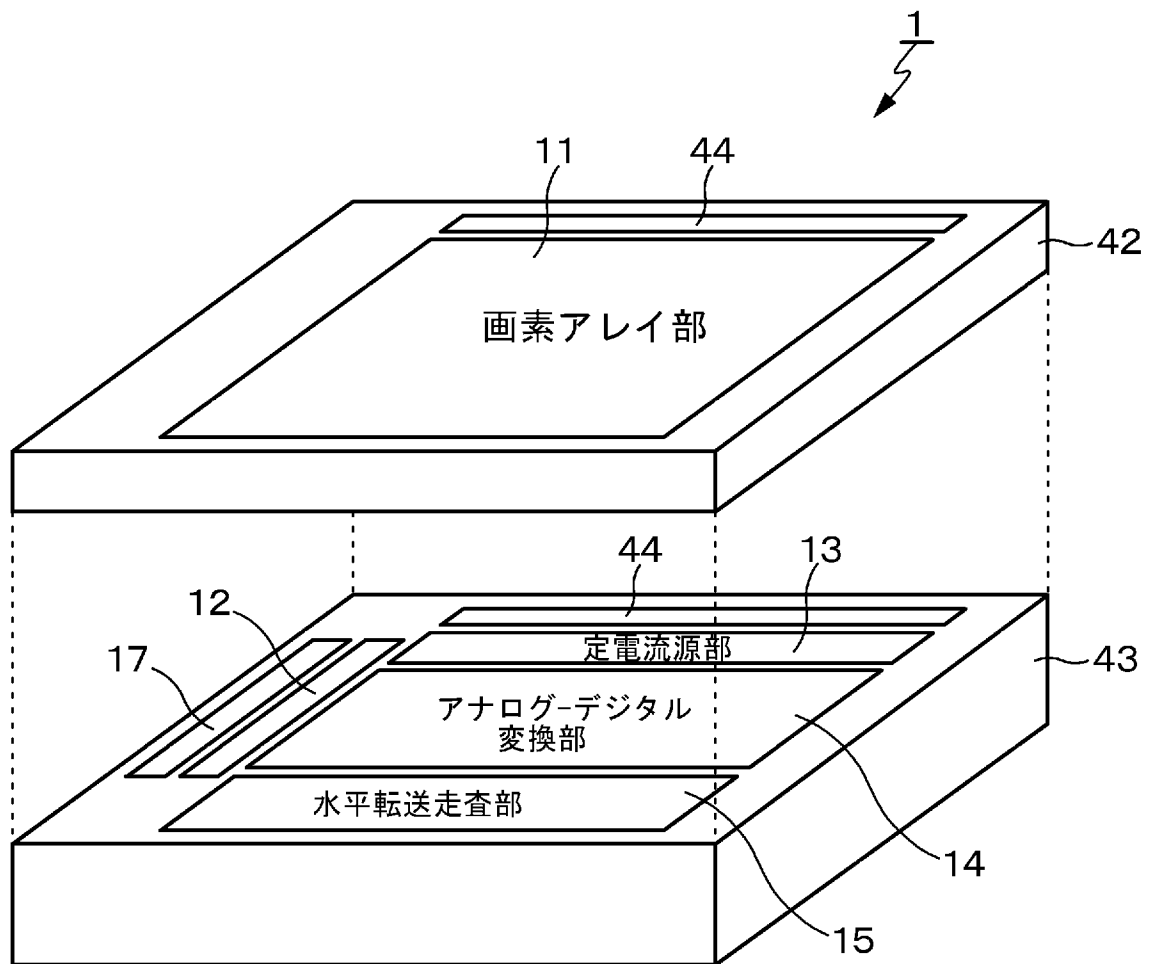
[図4]

図 4



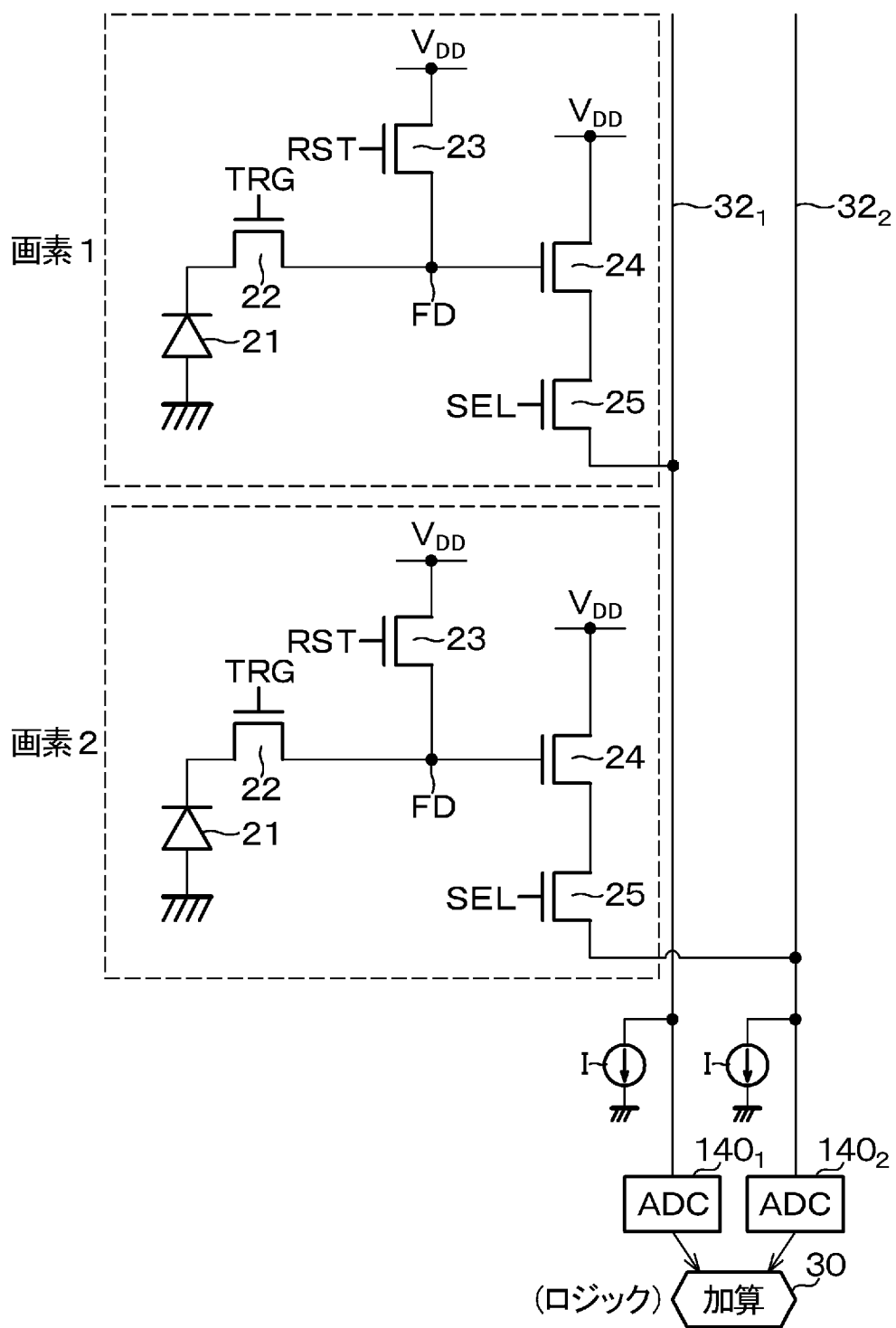
[図5]

図 5



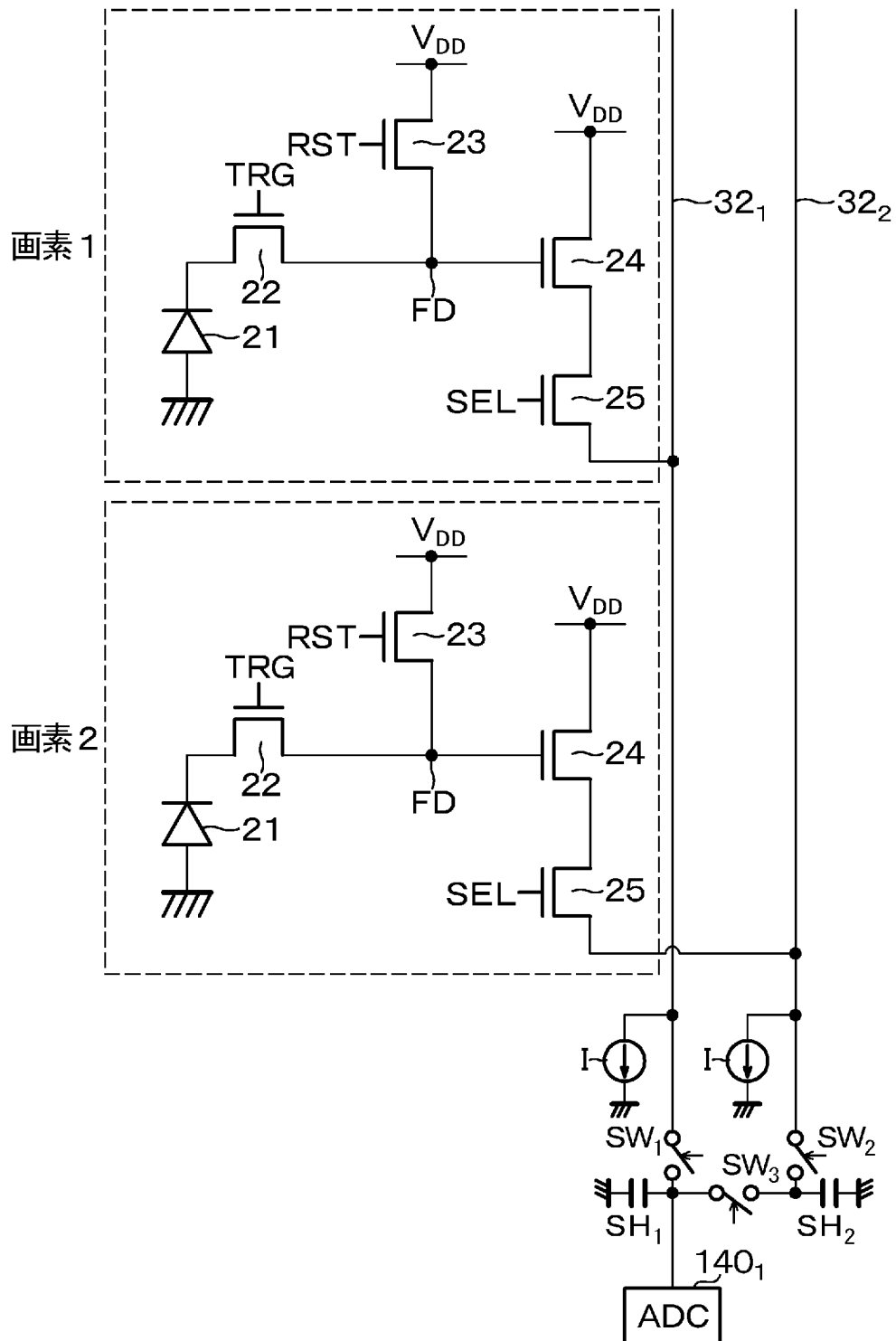
[図6]

図 6



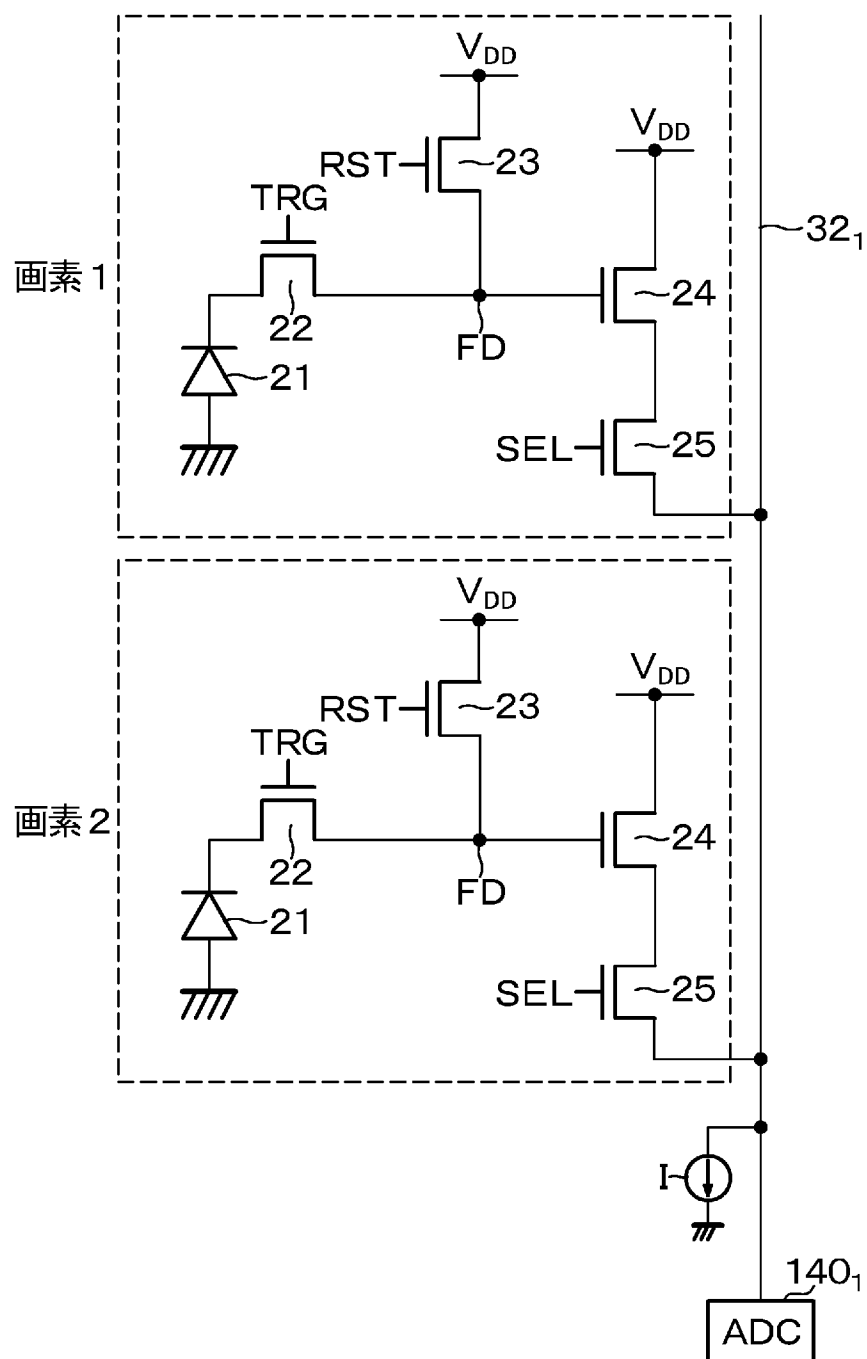
[図7]

図 7



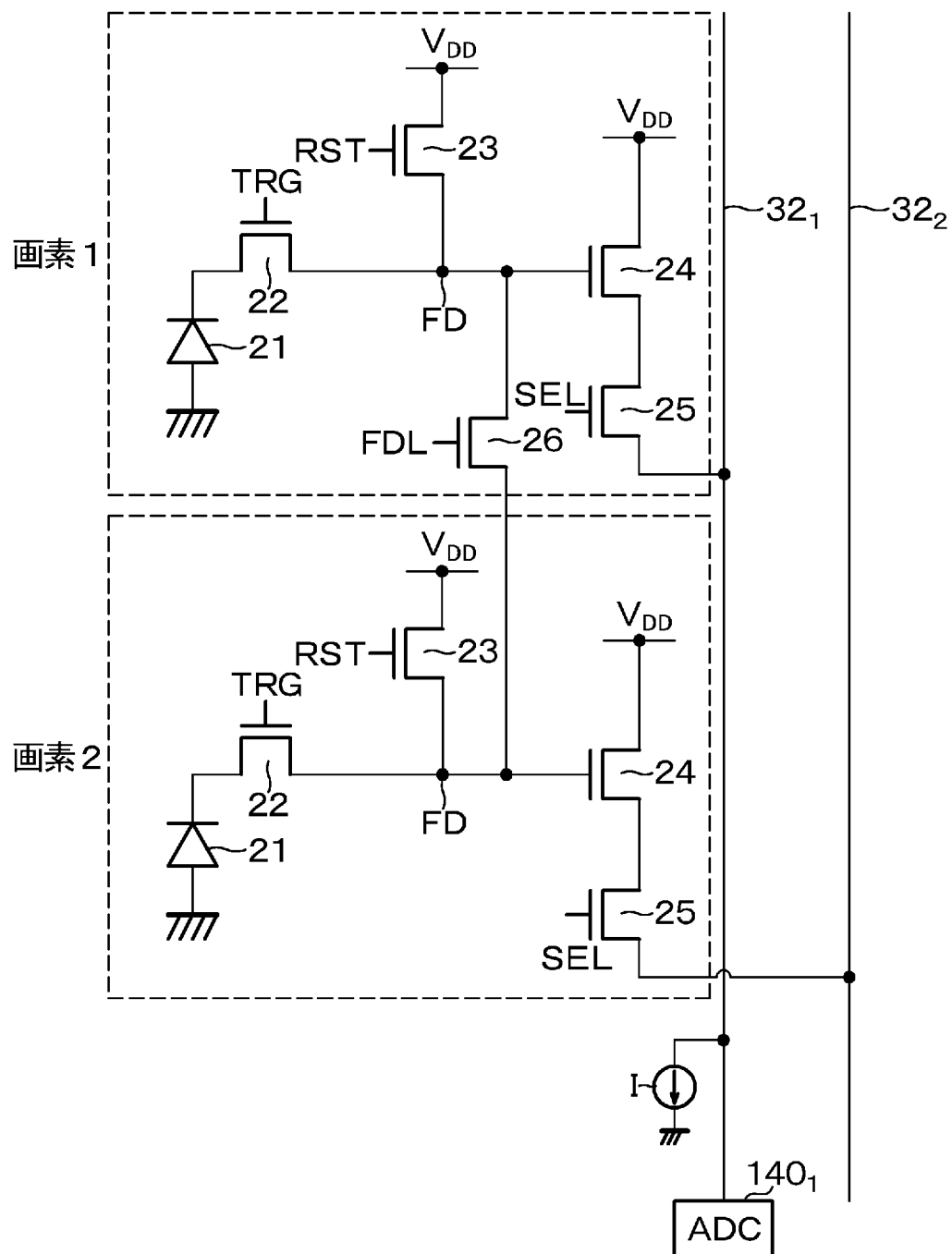
[図8]

図 8



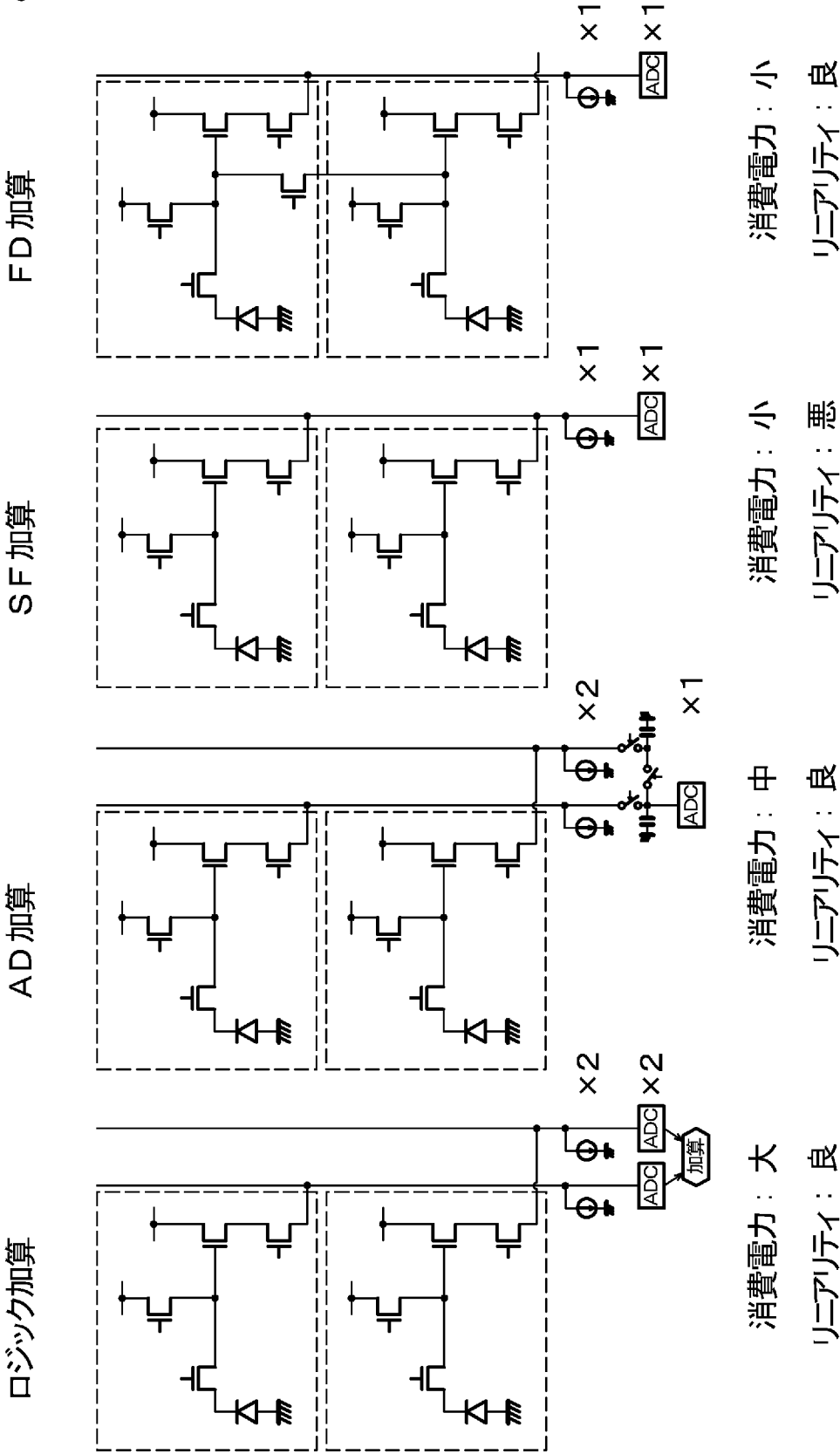
[図9]

図 9



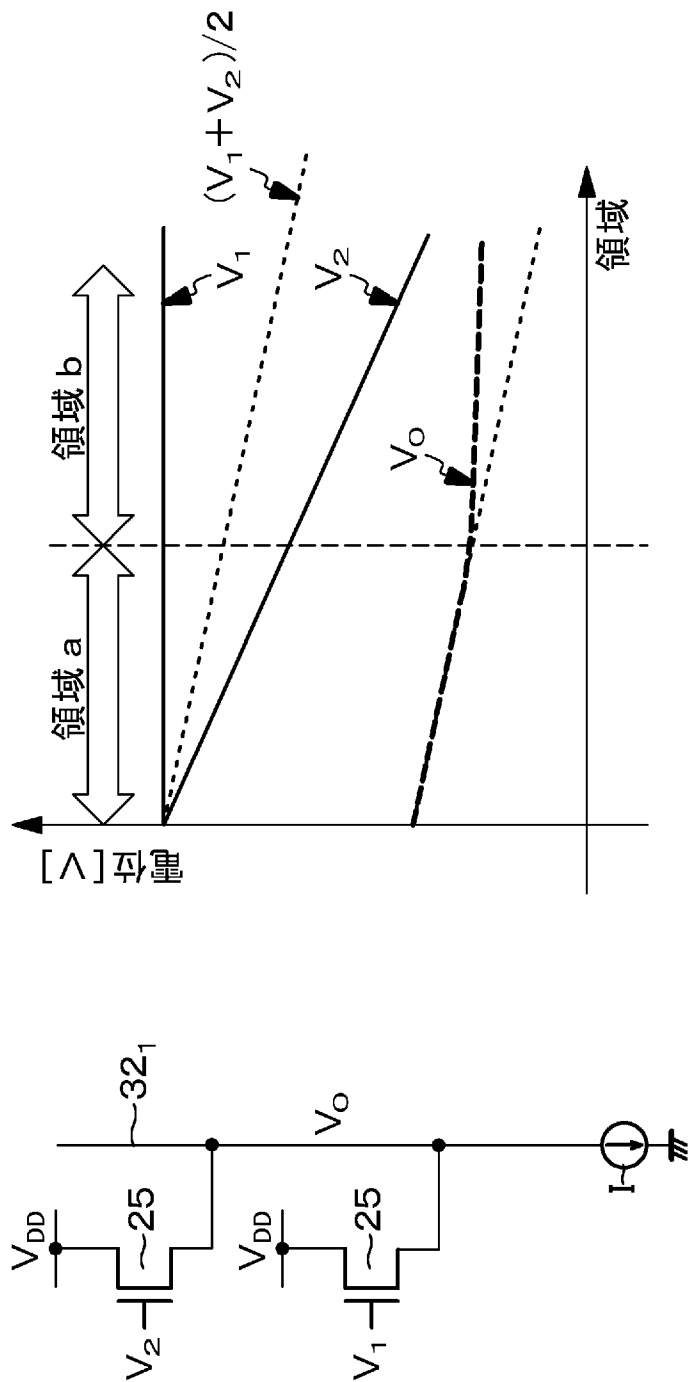
[図10]

図 10



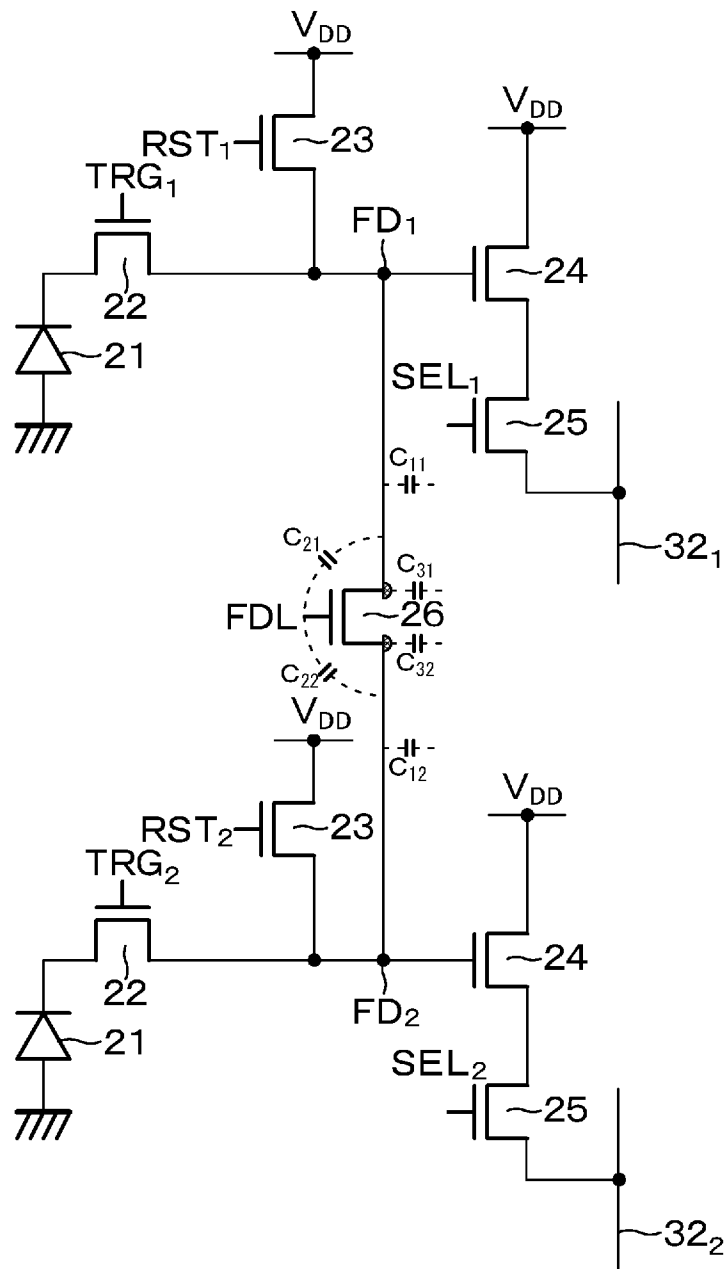
[図11]

図 1 1



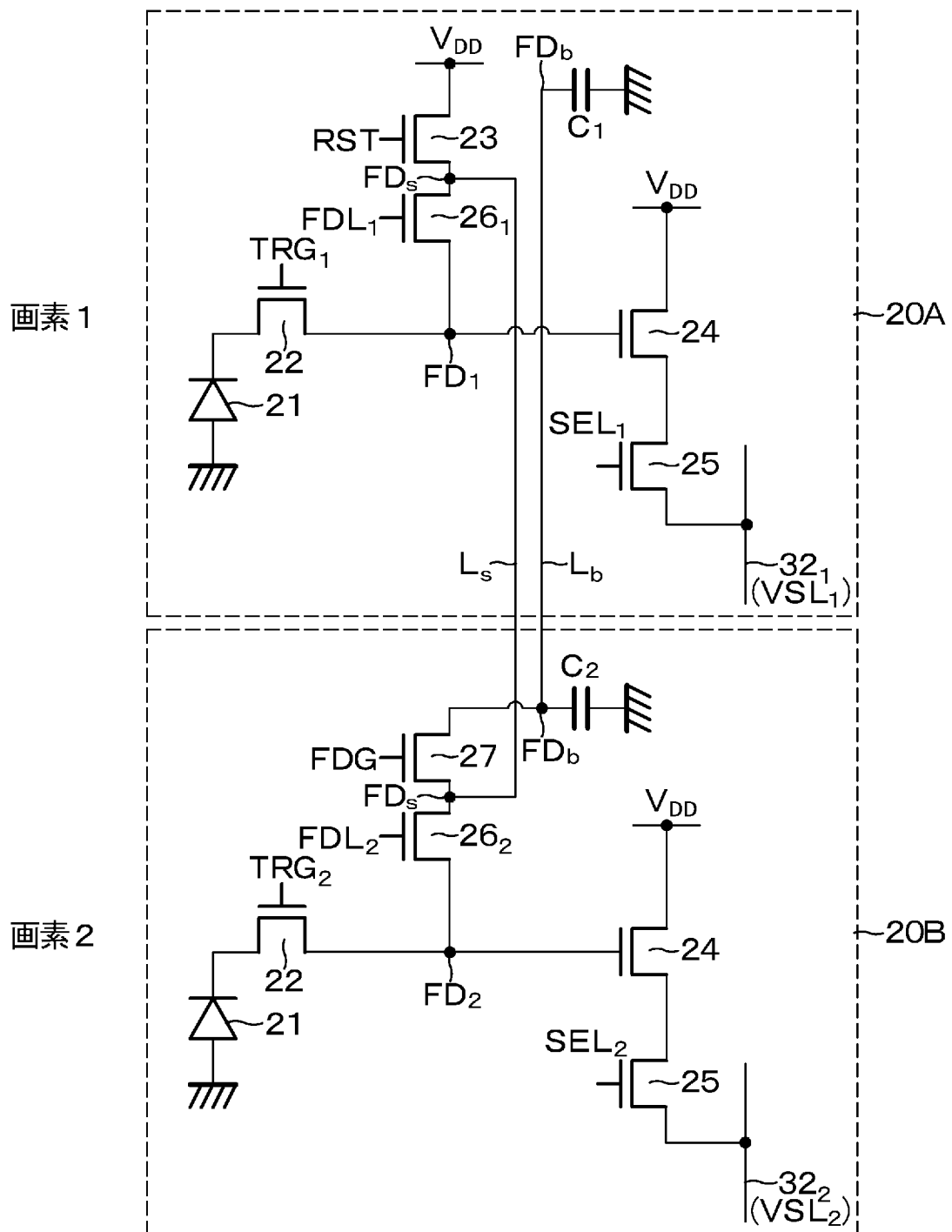
[図12]

図 1 2



[図13]

図 1 3

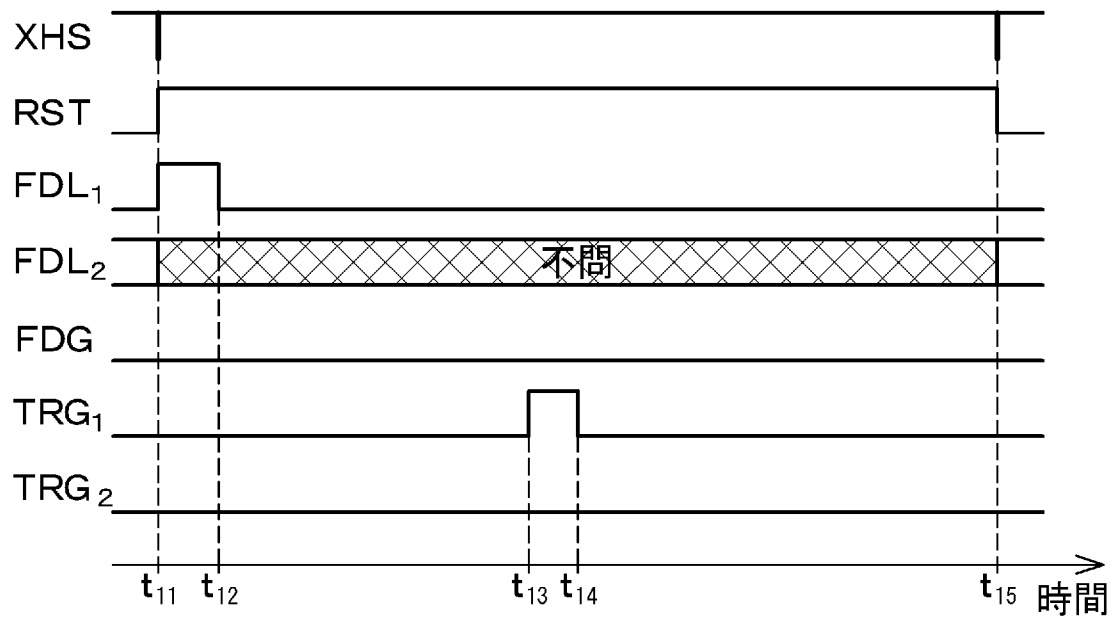


[図14]

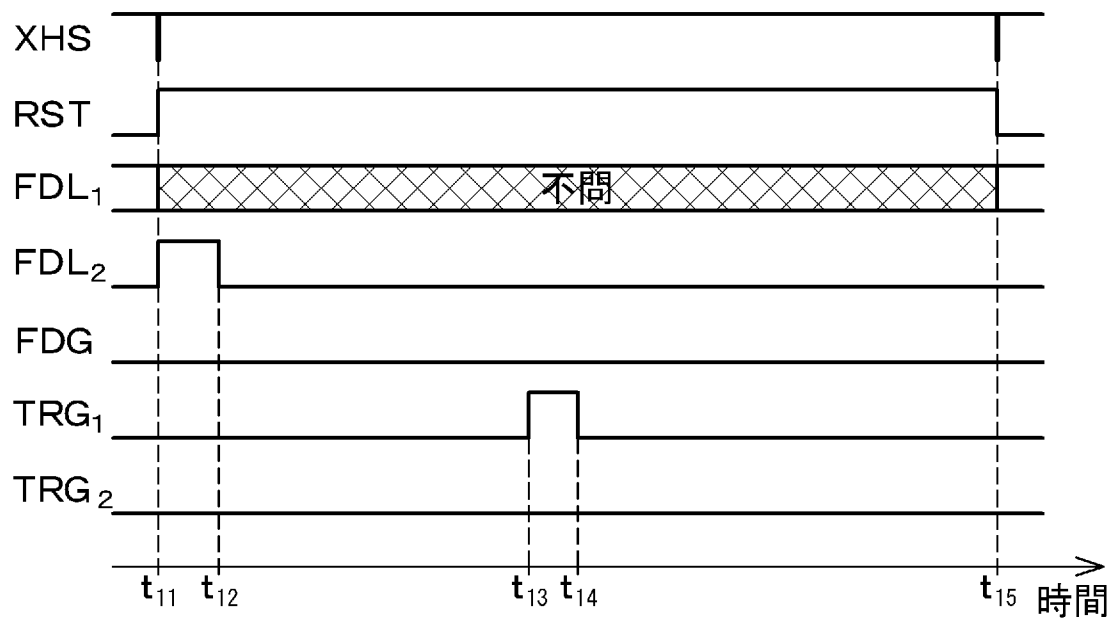
図 1 4

・ 高変換効率

画素 1 の読み出し



画素 2 の読み出し

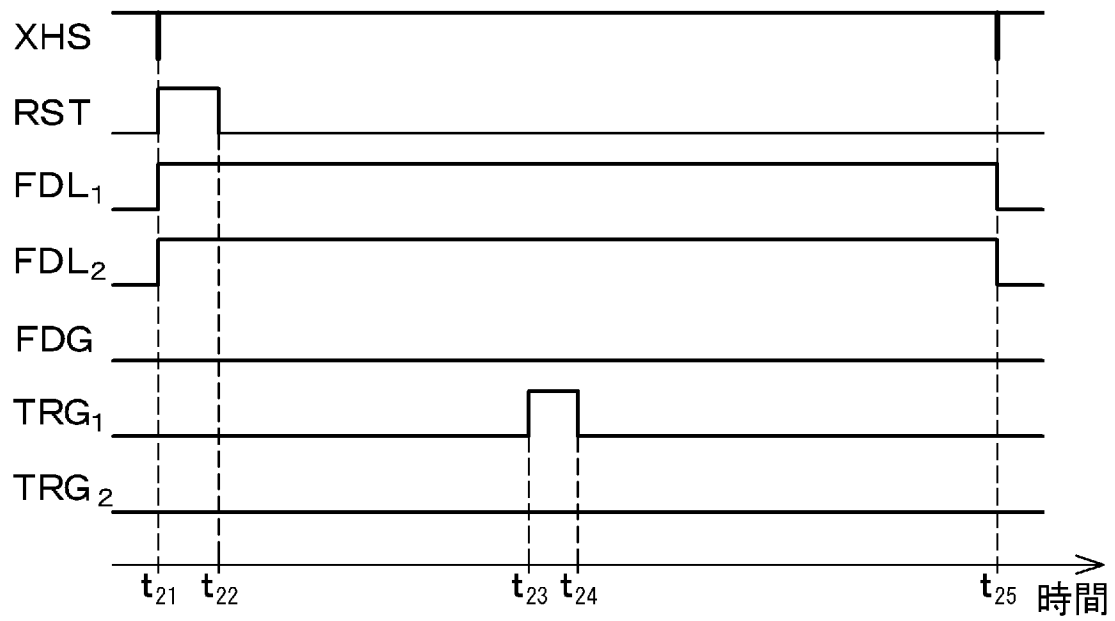


[図15]

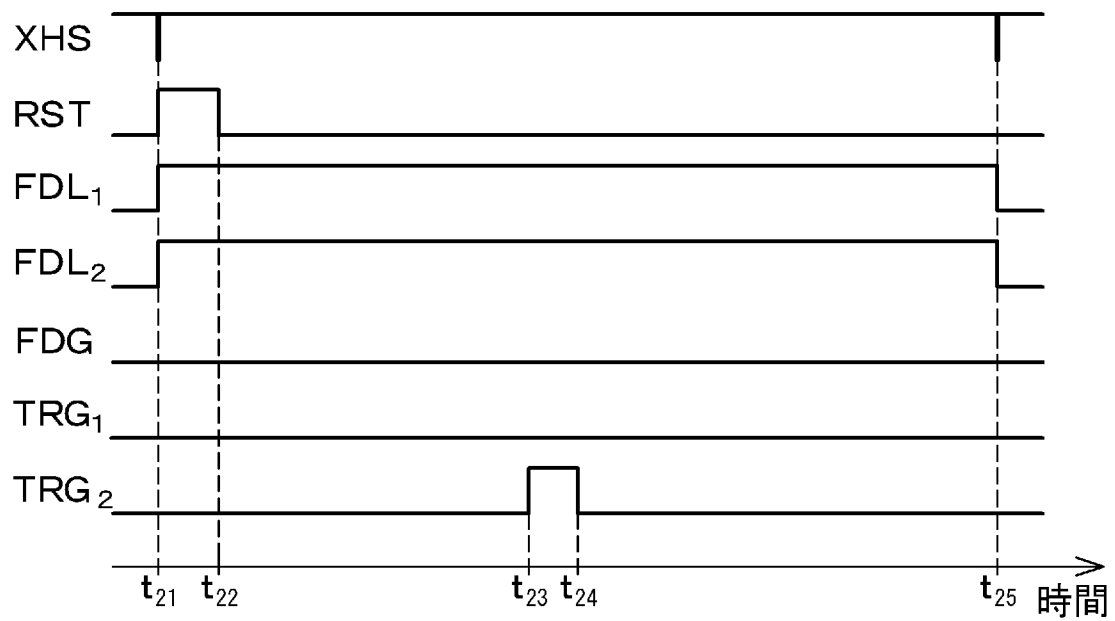
図 1 5

・ 中変換効率

画素 1 の読み出し



画素 2 の読み出し

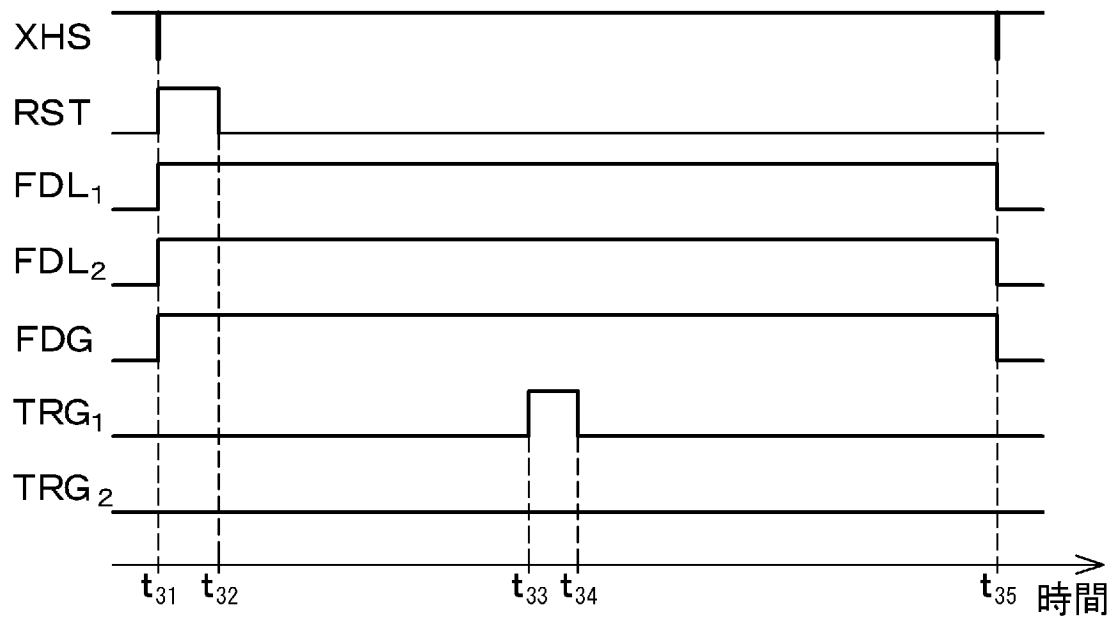


[図16]

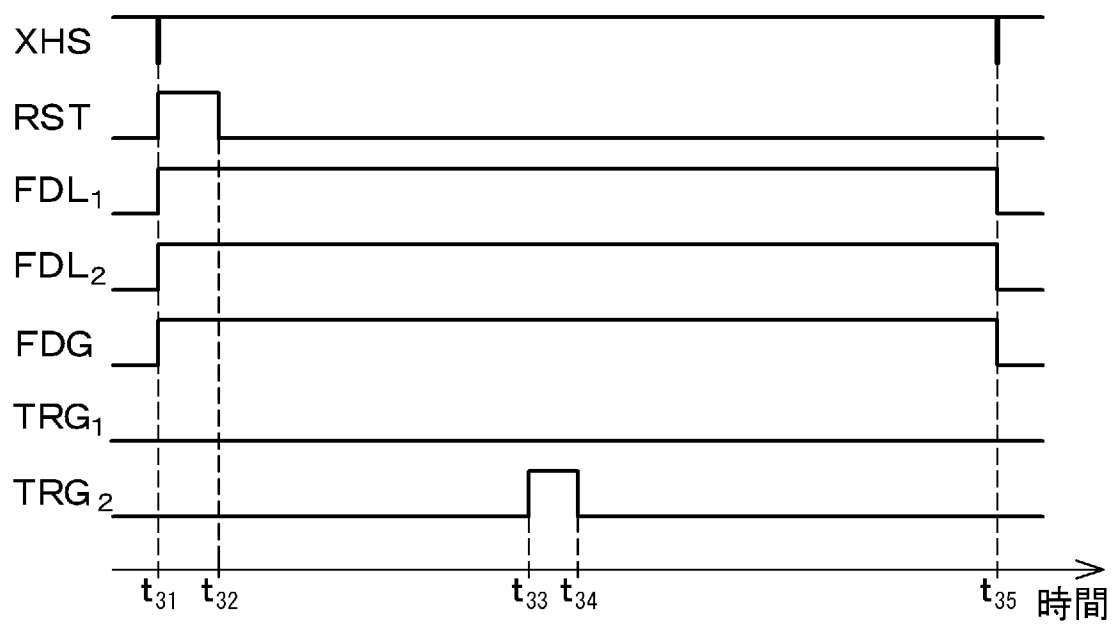
図 1 6

・低変換効率

画素 1 の読み出し



画素 2 の読み出し



[図17]

図 1 7 A

・中変換効率での加算

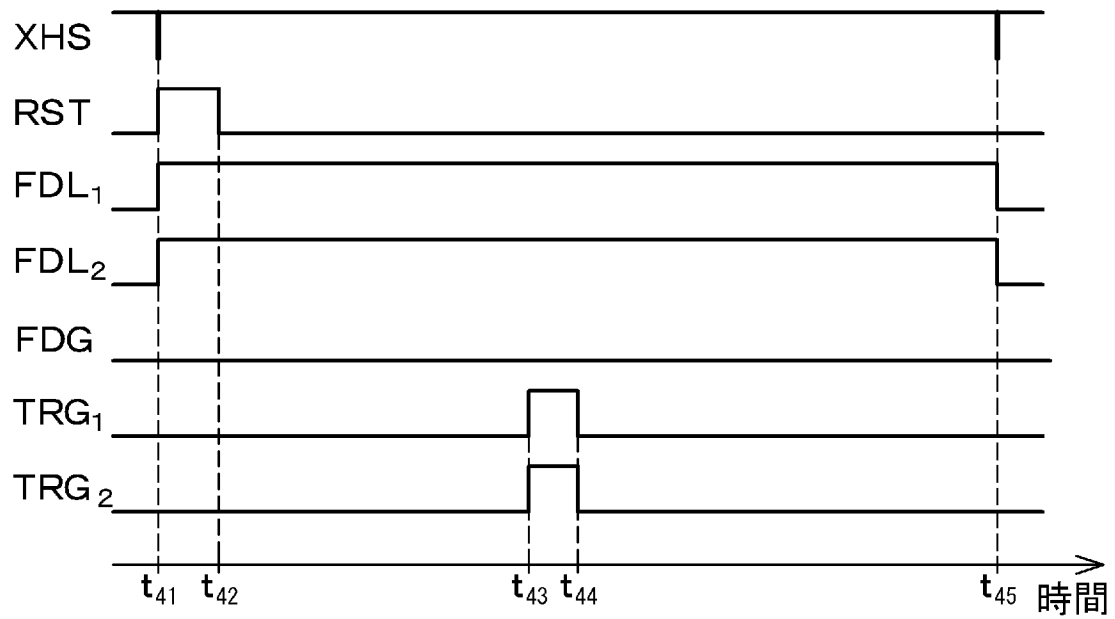
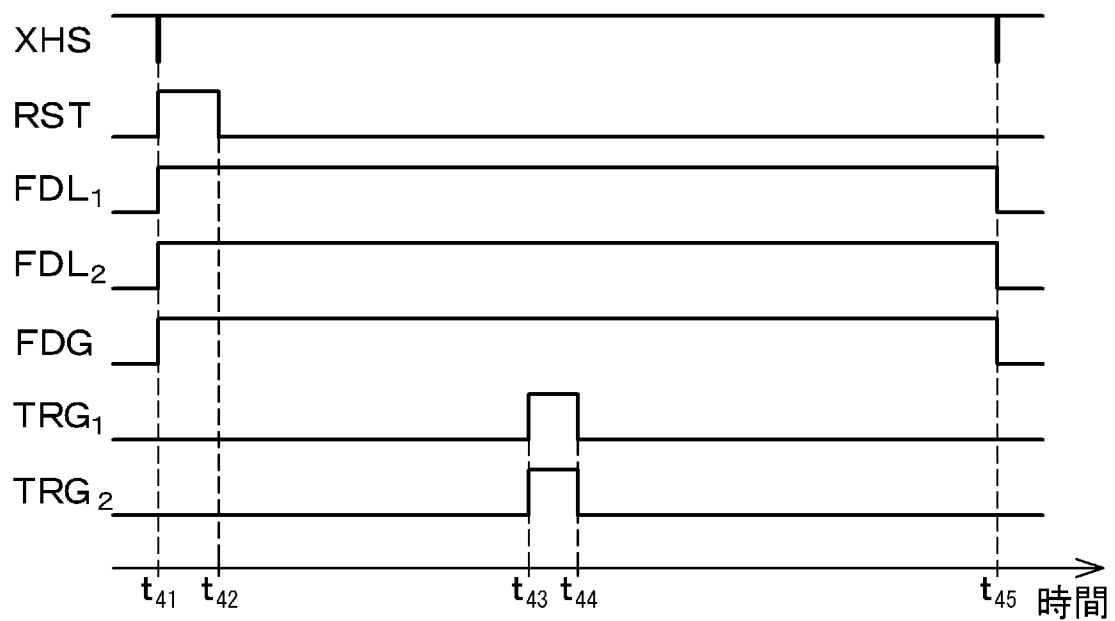


図 1 7 B

・低変換効率での加算



[図18]

図 18

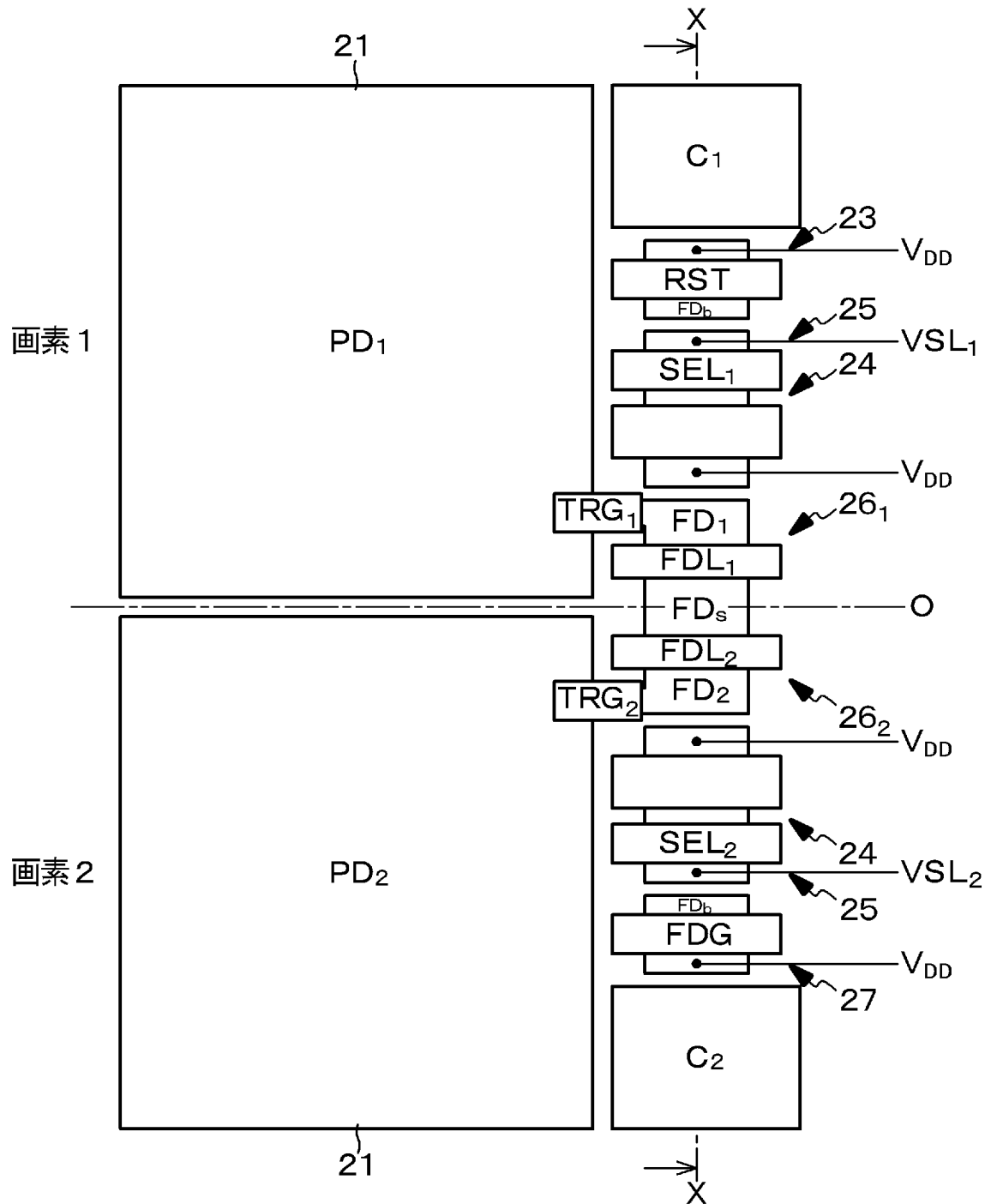
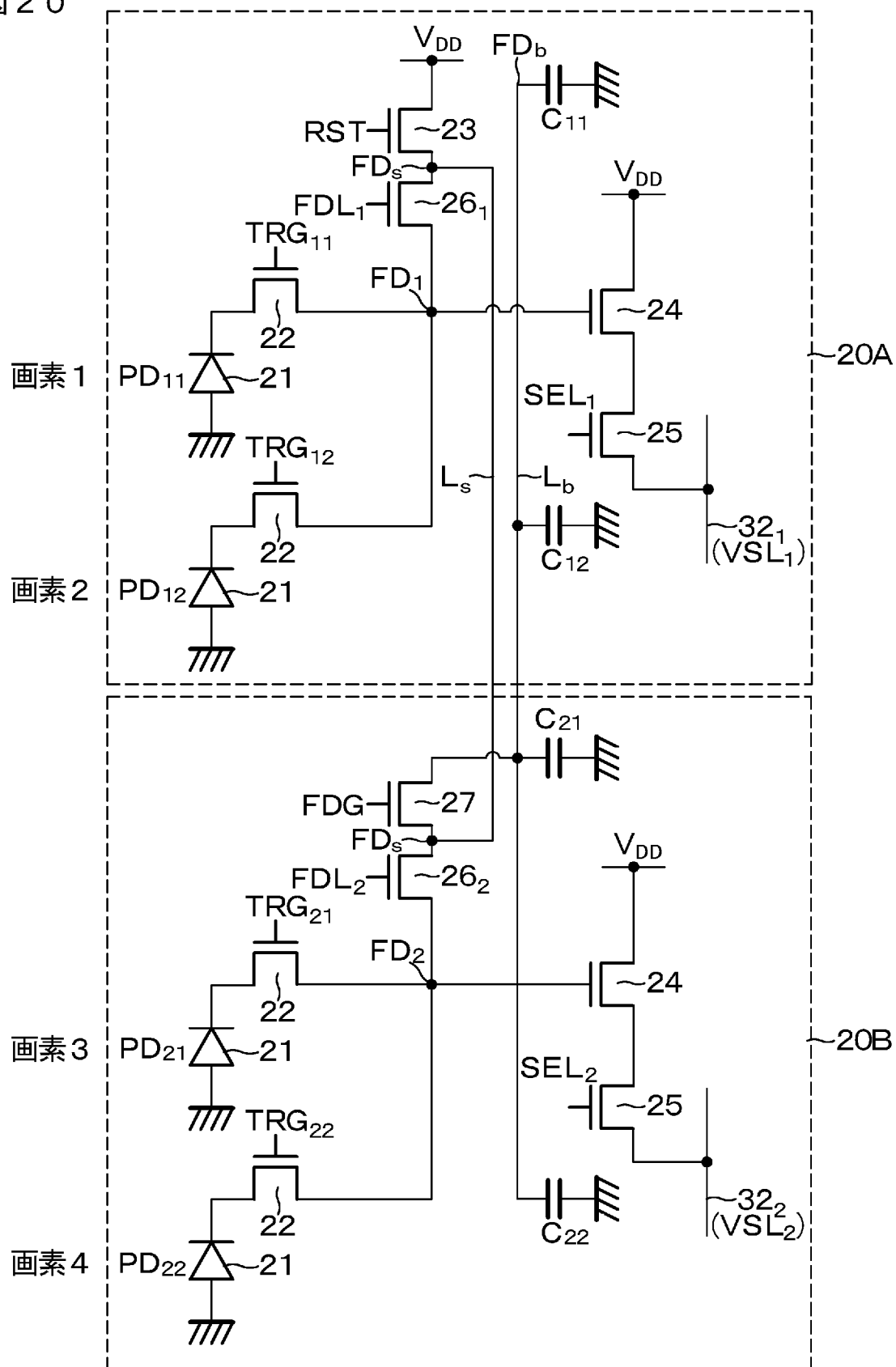
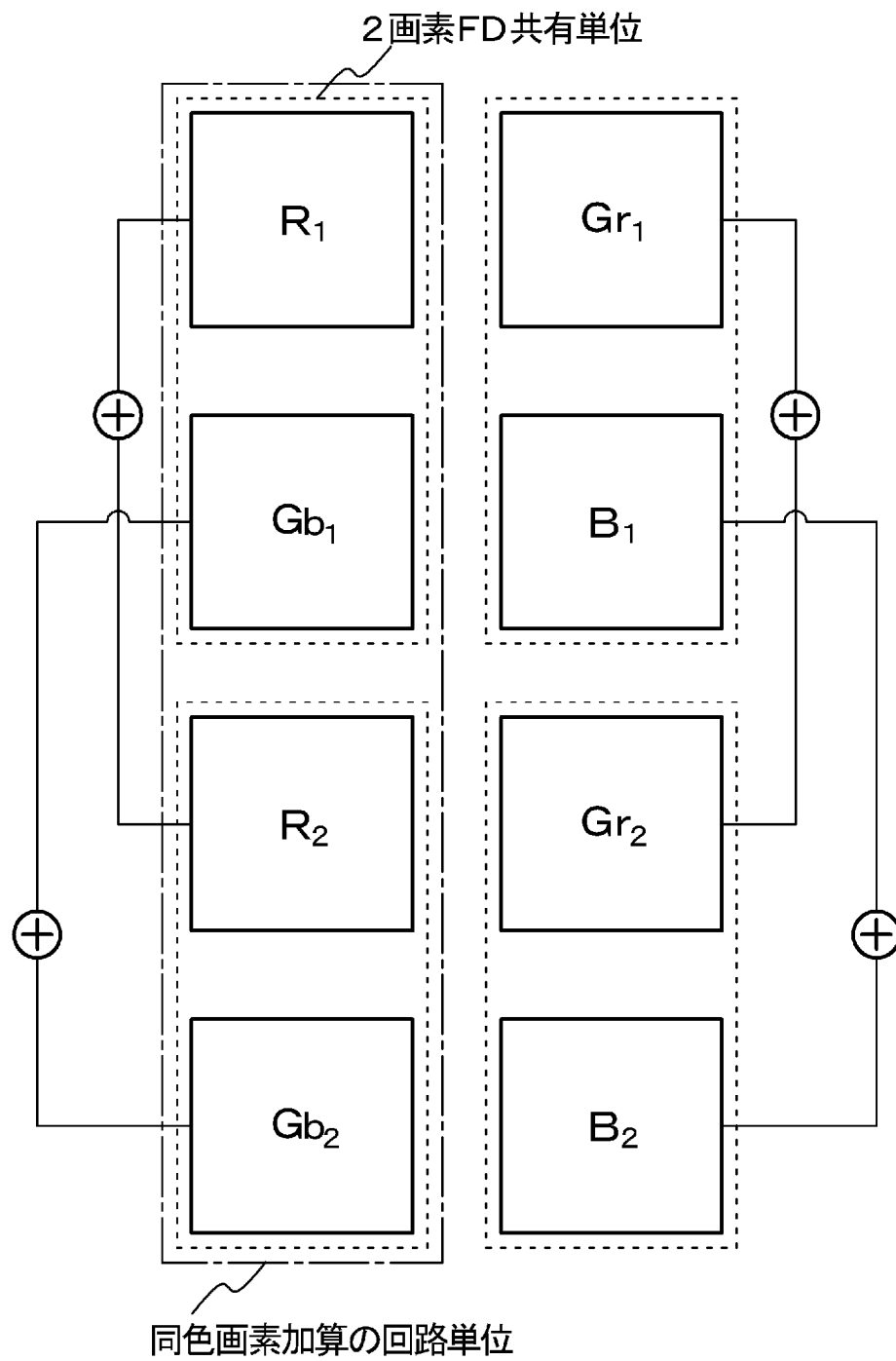


图 20



[図21]

図 2 1

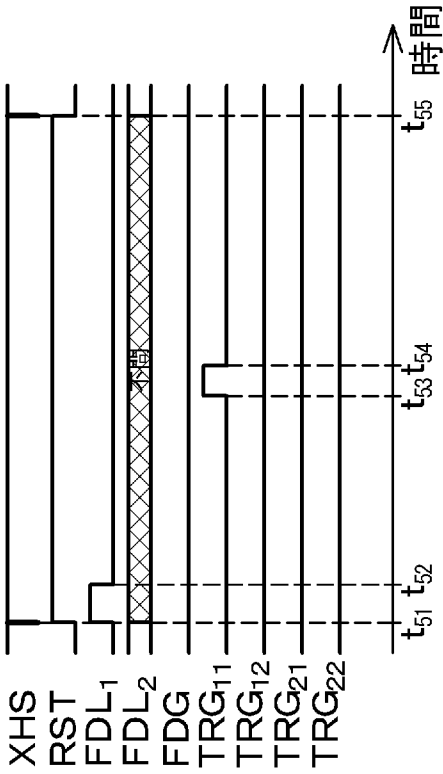


[図22]

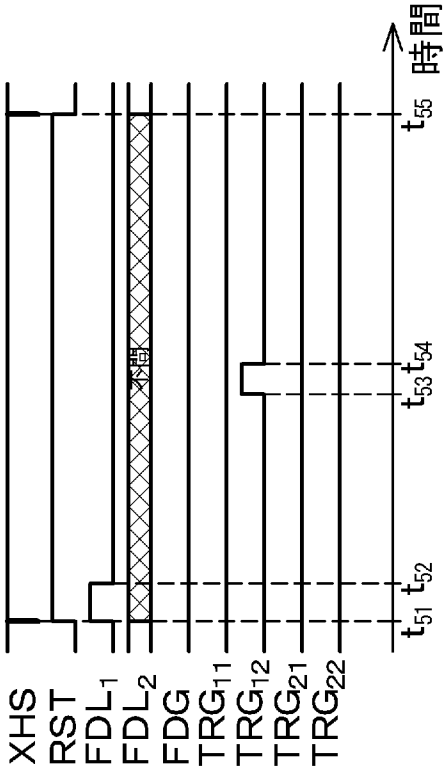
図 2 2

・高変換効率

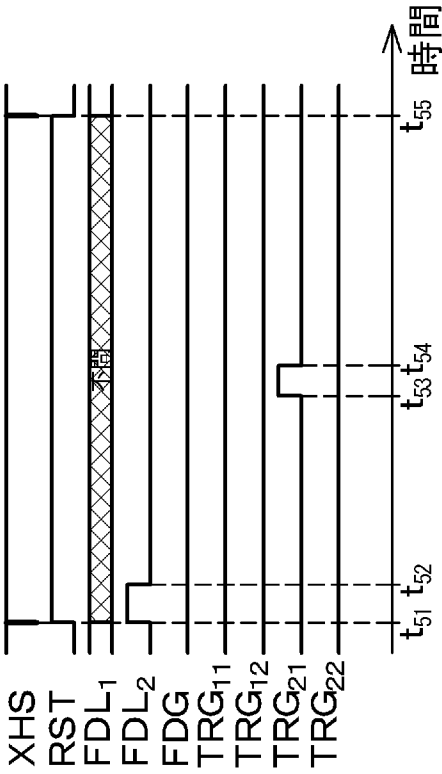
画素1の読み出し



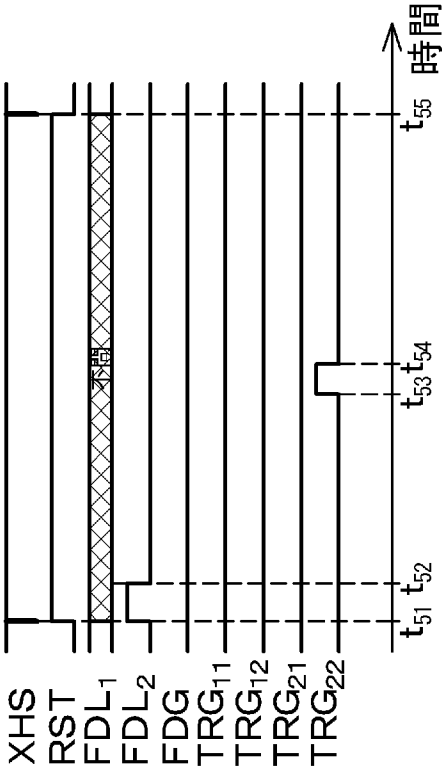
画素2の読み出し



画素3の読み出し



画素4の読み出し

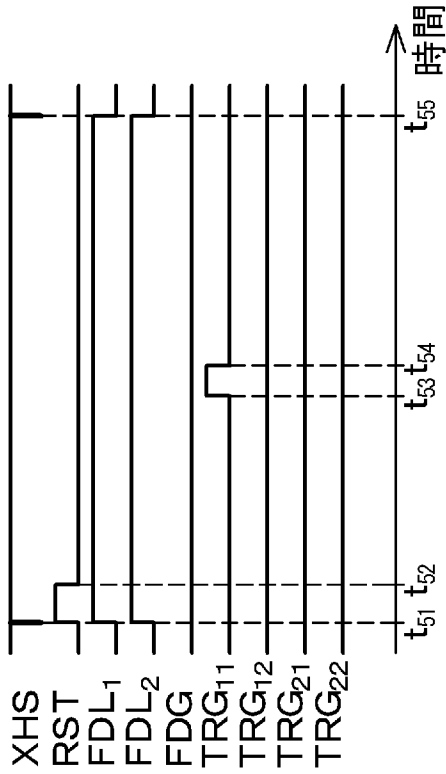


[図23]

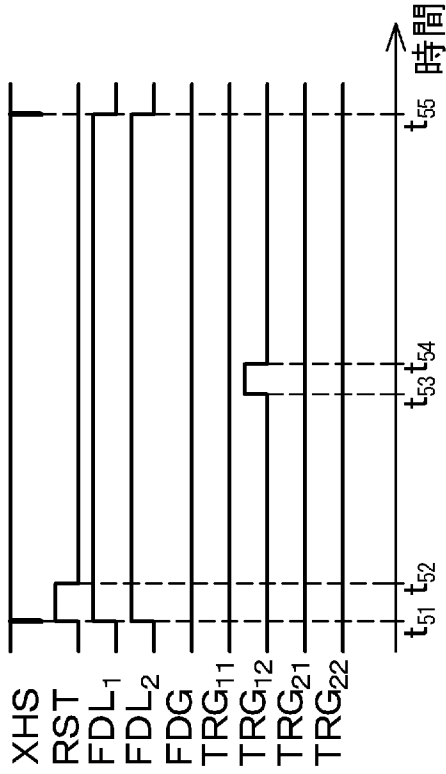
図 2 3

・ 中変換効率

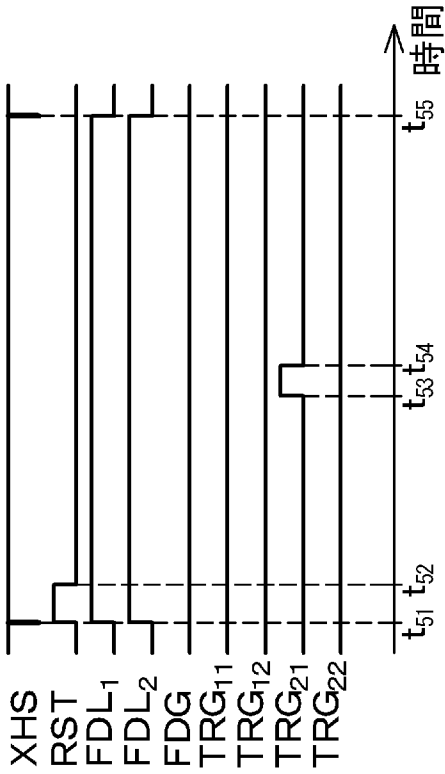
画素 1 の読み出し



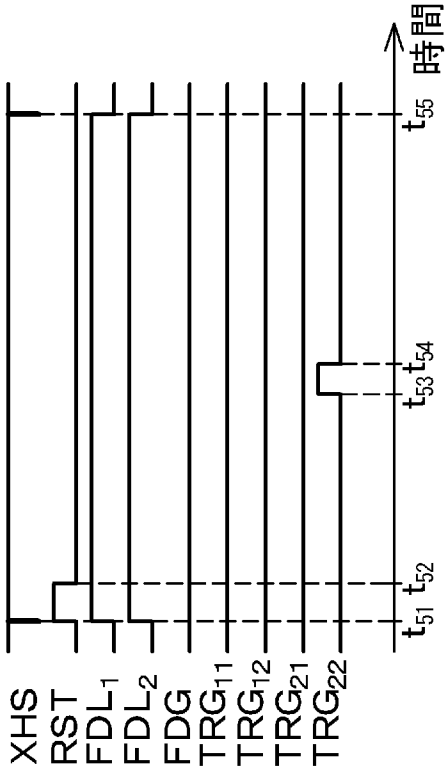
画素 2 の読み出し



画素 3 の読み出し



画素 4 の読み出し

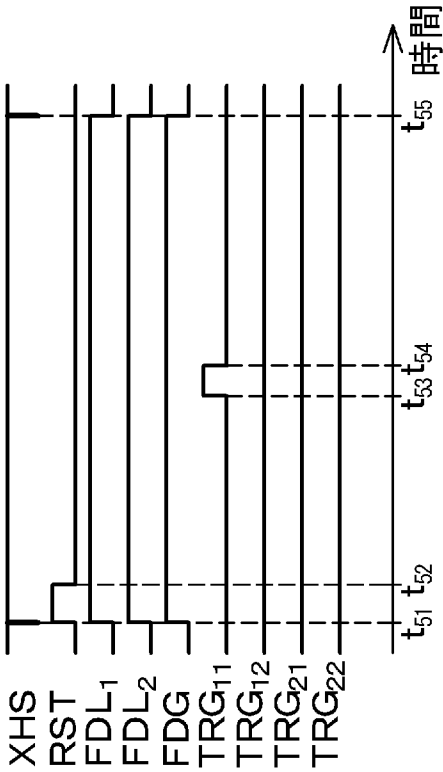


[図24]

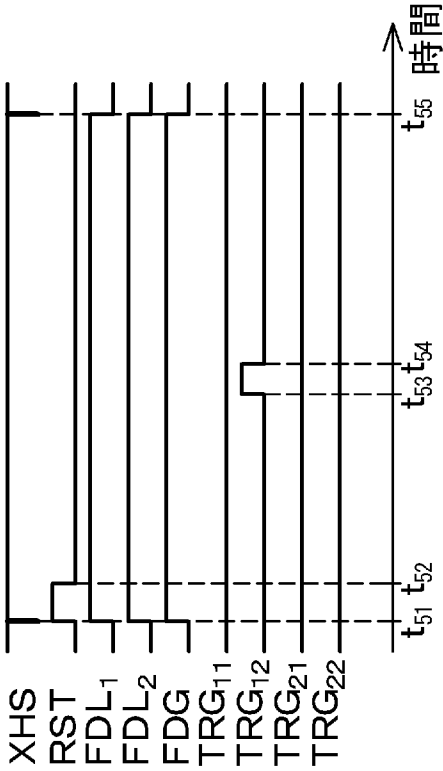
図 2 4

・低変換効率

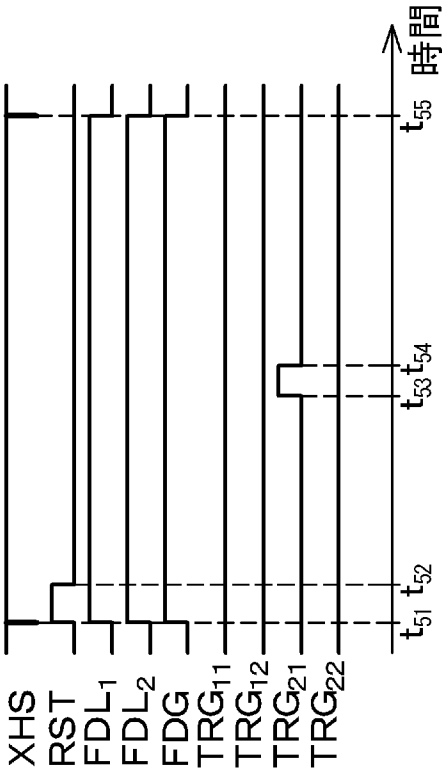
画素1の読み出し



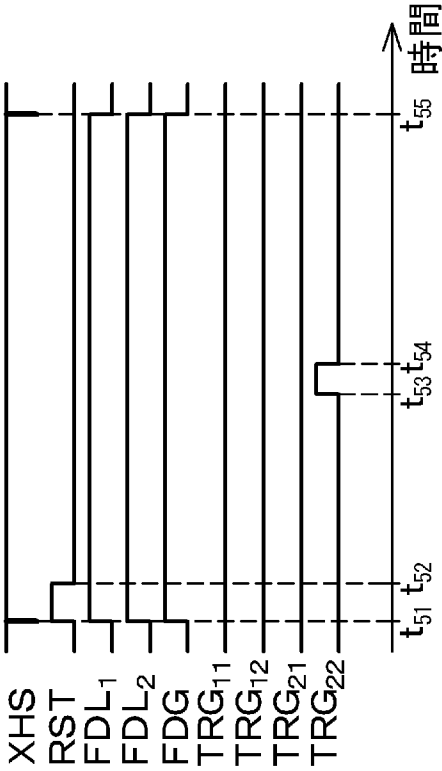
画素2の読み出し



画素3の読み出し



画素4の読み出し



[図25]

図 2 5 A

・ 中変換効率でのPD₁₁及びPD₂₁の加算

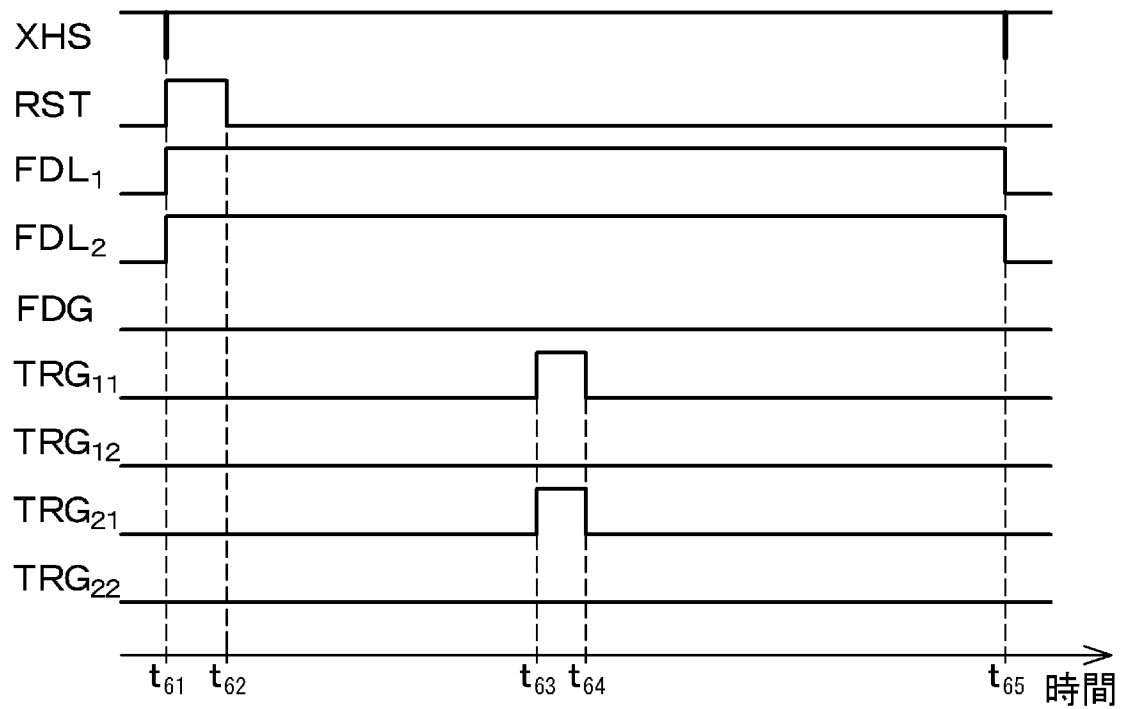
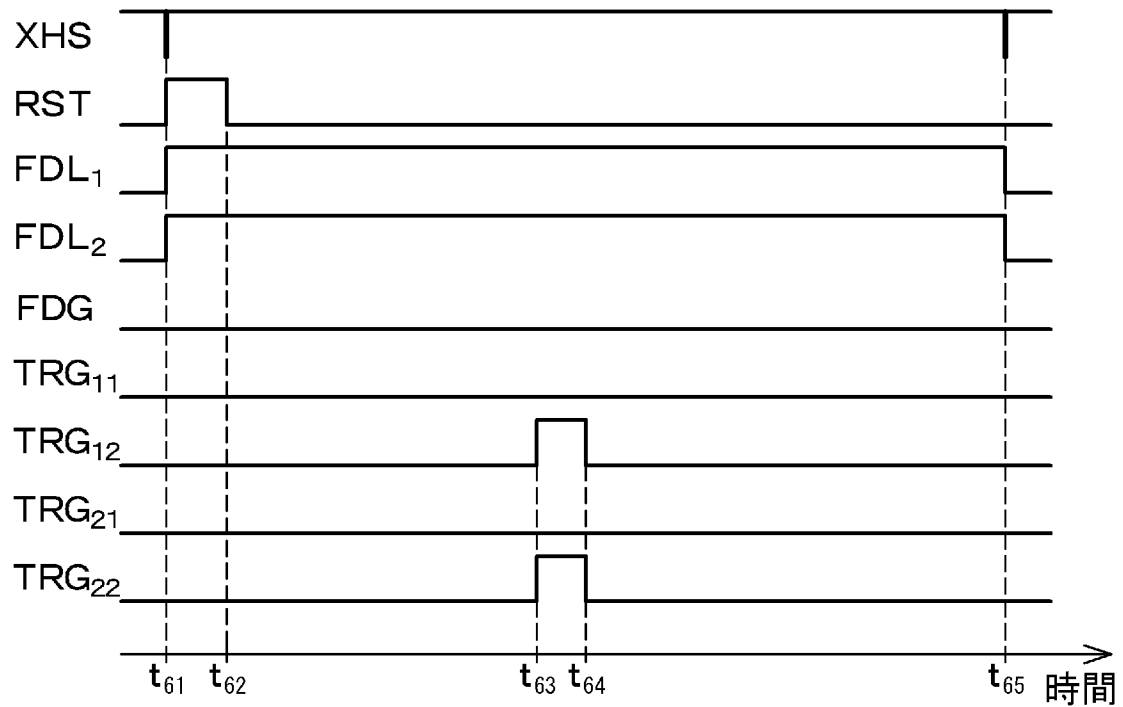


図 2 5 B

・ 中変換効率でのPD₁₂及びPD₂₂の加算



[図26]

図 2 6 A

・低変換効率でのPD₁₁及びPD₂₁の加算

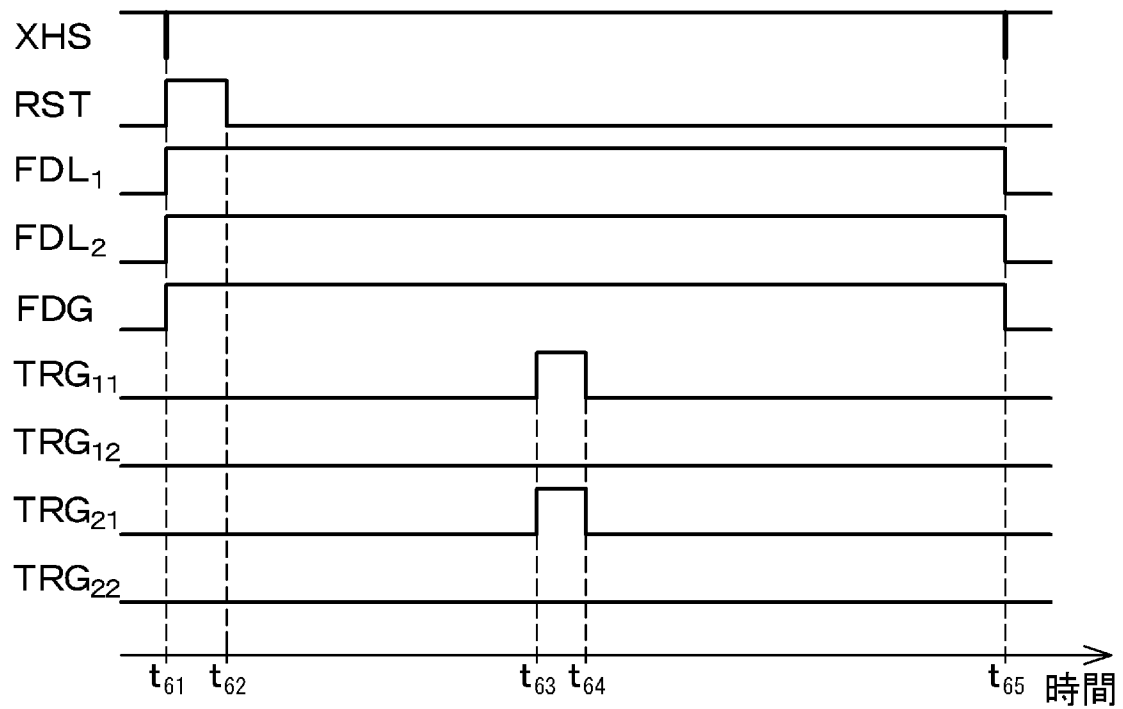
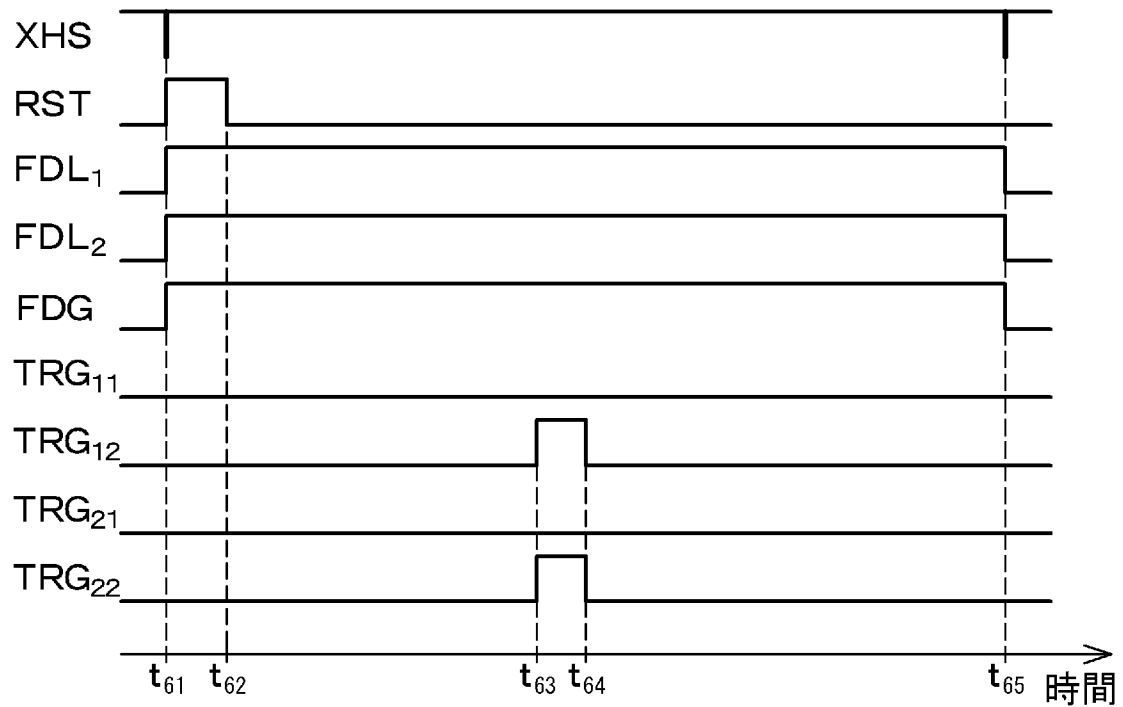


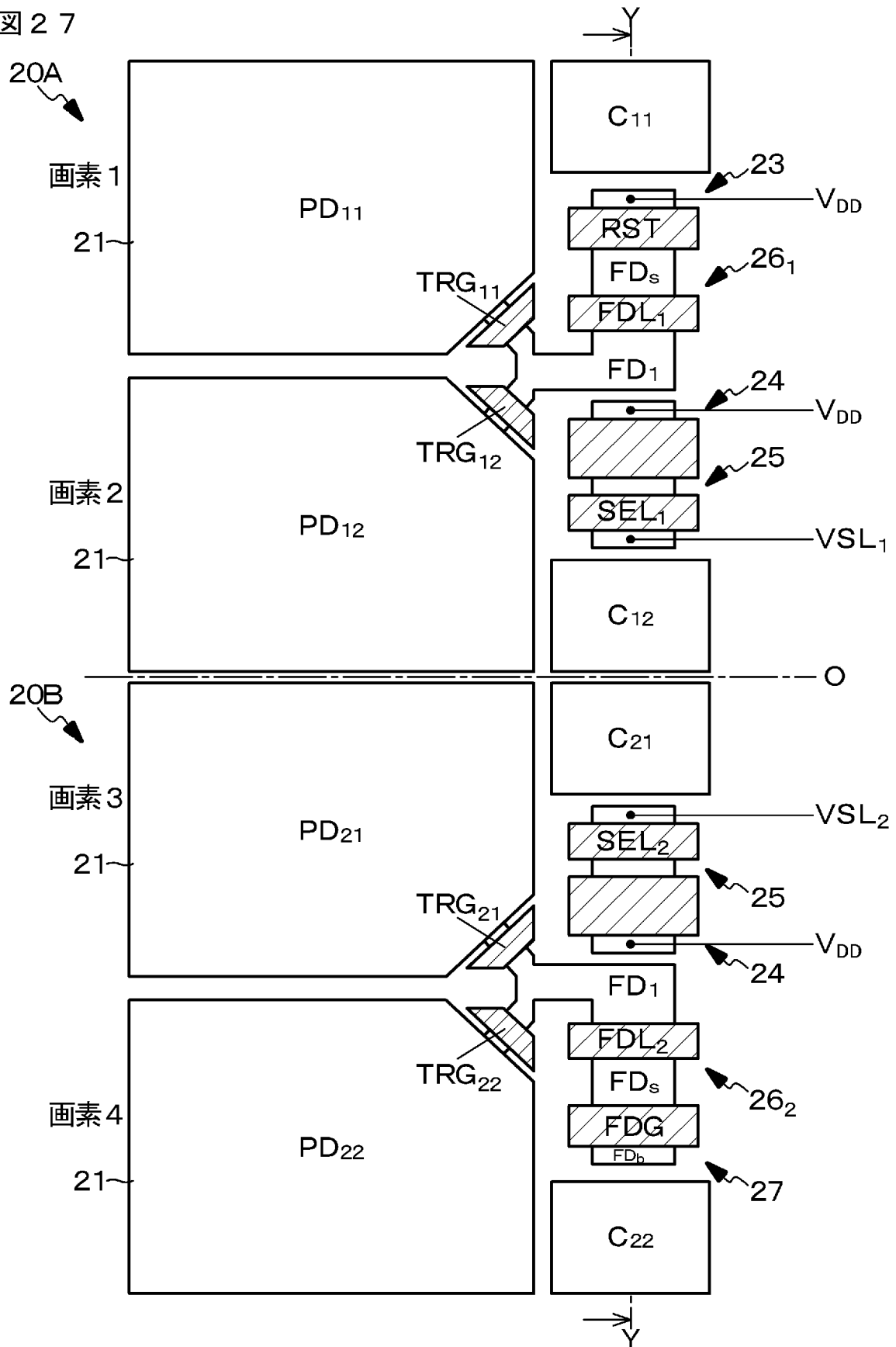
図 2 6 B

・低変換効率でのPD₁₂及びPD₂₂の加算



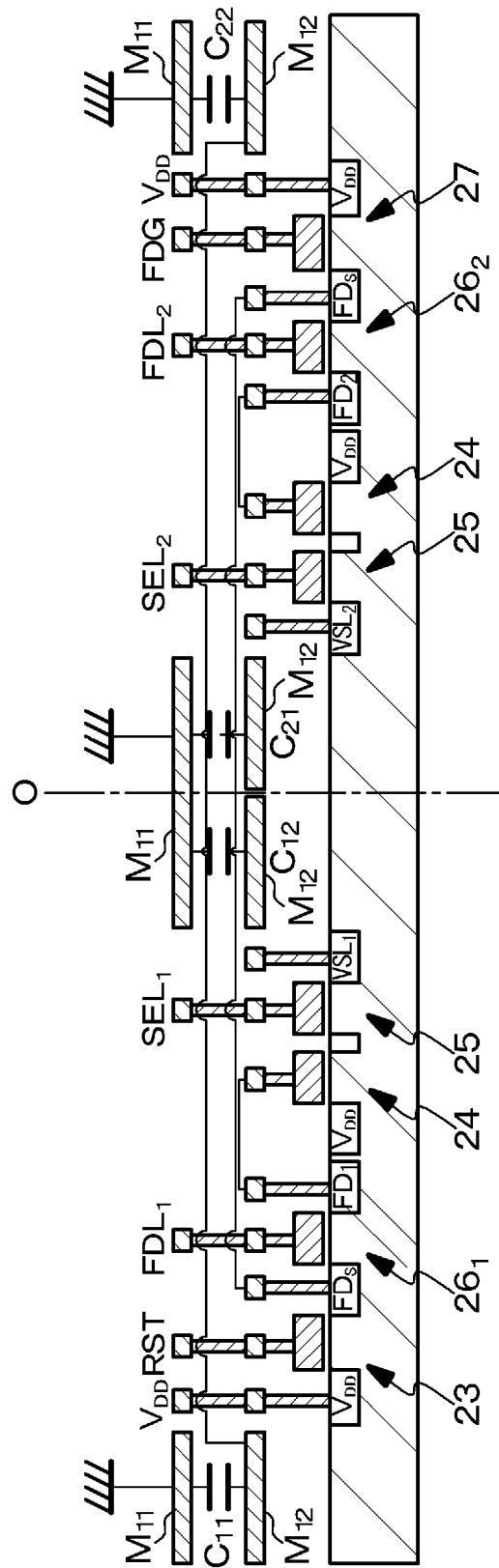
[図27]

図 27



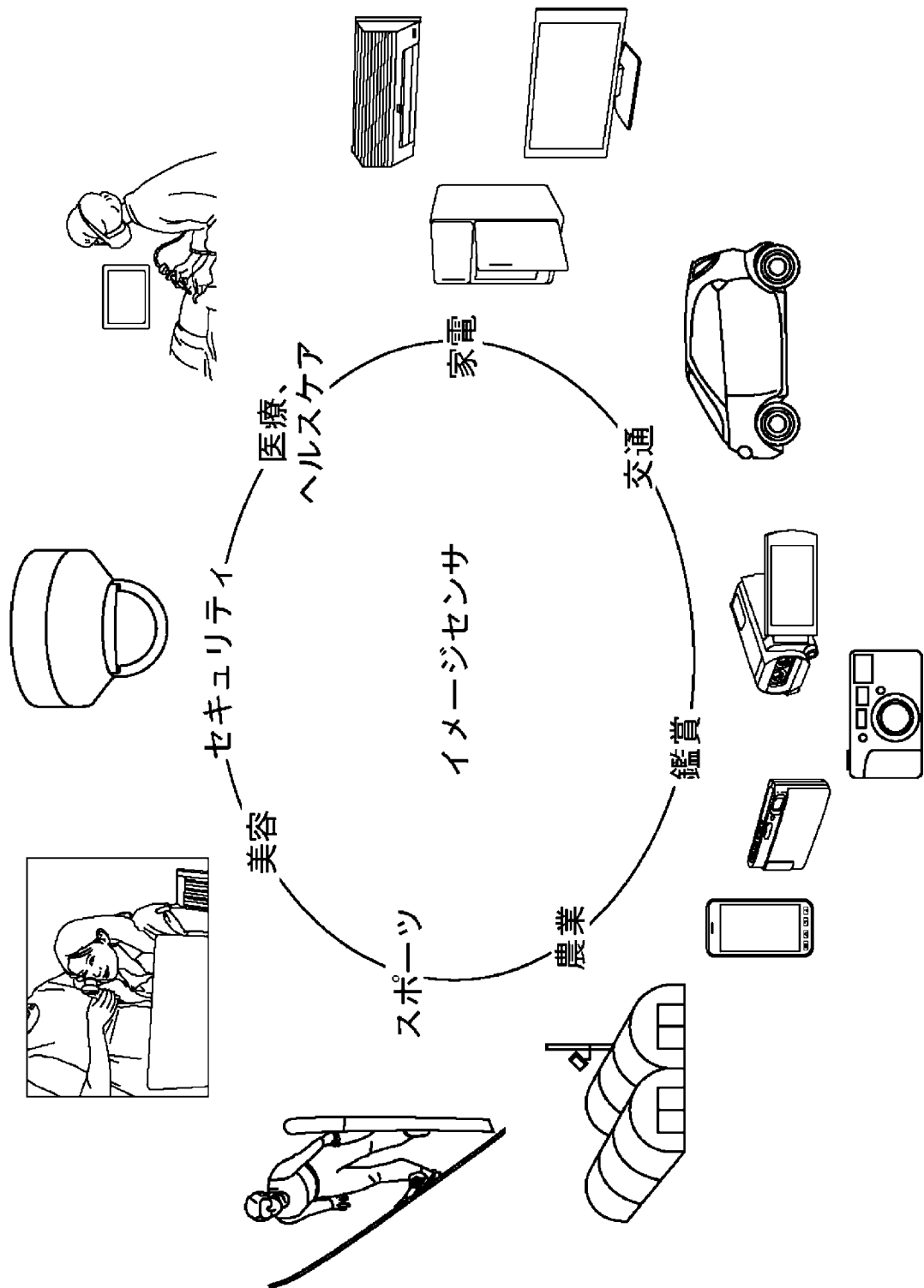
[図28]

図 28



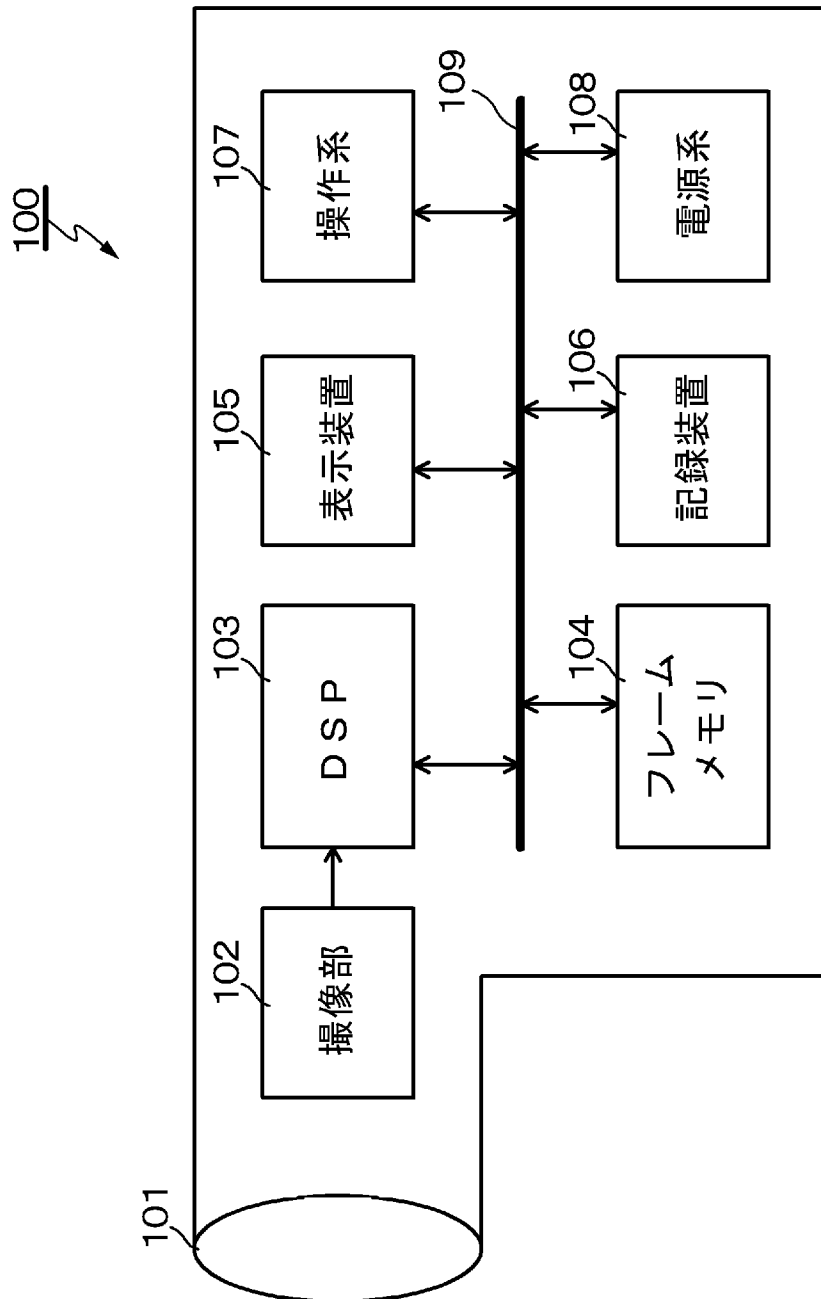
[図29]

図 29



[図30]

図 3 0



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/036339

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/355 (2011.01) i, H04N5/347 (2011.01) i, H04N5/3745 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/355, H04N5/347, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/190363 A1 (BRILLNICS JAPAN INC.) 18 October 2018, paragraphs [0111]-[0159], fig. 12, 13 (Family: none)	1-14
A	WO 2017/203839 A1 (SONY CORPORATION) 30 November 2017, fig. 2 & EP 3468170 A1, fig. 2	1-14
A	WO 2018/105474 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 14 June 2018, fig. 2 & CN 110036630 A	1-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01.11.2019

Date of mailing of the international search report
12.11.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04N5/355(2011.01)i, H04N5/347(2011.01)i, H04N5/3745(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/355, H04N5/347, H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2018/190363 A1（ブリルニクスジャパン株式会社）2018.10.18, 段落[0111]-[0159]、図12,13（ファミリーなし）	1-14
A	WO 2017/203839 A1（ソニー株式会社）2017.11.30, 図2 & EP 3468170 A1, 図2	1-14
A	WO 2018/105474 A1（パナソニックIPマネジメント株式会社）2018.06.14, 図2 & CN 110036630 A	1-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

01.11.2019

国際調査報告の発送日

12.11.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

電話番号 03-3581-1101 内線 3571

5V

4228