

發明專利說明書

101 2 24 修正替換頁
FD1084087(7)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97119799

(2012 年 2 月 24 日修正)

※ 申請日期：97.5.29

※IPC 分類：H01L 23/38 (2006.01)

一、發明名稱：(中文/英文)

H01L 23/48 (2006.01)

半導體裝置及其製造方法

H01L 21/60 (2006.01)

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章) ID：

兆裝微股份有限公司(株式会社テラミクロス)

TERAMIKROS, INC.

代表人：(中文/英文)(簽章)

越丸茂

KOSHIMARU, SHIGERU

住居所或營業所地址：(中文/英文)

日本國東京都青梅市今井 3 丁目 10 番地之 6

10-6, Imai 3-chome, Ome-shi, Tokyo, Japan

國 籍：(中文/英文)

日本

Japan

三、發明人：(共 4 人)

姓 名：(中文/英文) ID：

- 1.水澤愛子/MIZUSAWA, AIKO
- 2.岡田修/OKADA, OSAMU
- 3.若林猛/WAKABAYASHI, TAKESHI
- 4.三原一郎/MIHARA, ICHIRO

國 籍：(中文/英文)

- 1.~4.日本
Japan

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

- 1.日本 2007/9/21 特願 2007-244977
- 2.日本 2008/2/28 特願 2008-047090

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明之半導體裝置，係在除了矽基板 1 之上的周邊部以外之區域，設置由低介電率膜 4 及配線 5 之積層構造所構成的低介電率膜配線積層構造部 3。在低介電率膜配線積層構造部 3 之上設置鈍化膜 7 及保護膜 9。在保護膜 9 之上及矽基板 1 之周邊部上設置封裝膜 14。藉此，尤其是低介電率膜配線積層構造部 3 之側面，係由封裝膜 14 或保護膜 9 所被覆，而成為低介電率膜 4 不易被剝離的構造。

六、英文發明摘要：

A semiconductor device of the present invention is provided with a low dielectric film wiring line laminating structure portion 3 constituted by laminating structure of low dielectric films 4 and wiring lines 5 at the zone except a peripheral portion of top surface of silicon substrate 1. A passivation film 7 and a protection film 9 is provided on the top surface of low dielectric film wiring line laminating structure portion 3. A sealing film 14 is provided on the top surface of the protection film 9 and the peripheral portion of top surface of silicon substrate 1. Therefore, specifically, the side surface of low dielectric film wiring line laminating structure portion 3 is covered by the sealing film 14 and the protection film 9, and thus a structure, in which the low dielectric films 4 are hard to be stripped off, is formed.

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

1	基 板
2	連 接 墊
3	低 介 電 率 膜 配 線 積 層 構 造 部
4	低 介 電 率 膜
5	配 線
5 a	連 連 接 墊 部
6	開 口 部
7	鈍 化 膜
8	開 口 部
9	保 護 膜
10	開 口 部
11	襯 底 金 屬 層
12	上 層 配 線
13	柱 狀 電 極
14	封 裝 膜
15	焊 球

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置及其製造方法，尤其是關於在低介電率膜上具有配線之半導體裝置。

【先前技術】

作為搭載於以行動電子機器等為代表之小型電子機器上的半導體裝置，已知一種具有與半導體基板大致相同大小(尺寸&容積)之CSP(Chip Size Package)。在此CSP之中，亦是在晶圓狀態下完成封裝，並藉由切割而分離成各單個的半導體裝置，其亦被稱為WLP(Wafer Level Package)。

在先前之此種半導體裝置(例如，參照專利文獻1)中，於被覆形成於半導體基板上之連接墊的絕緣膜的上面延伸出配線，於形成於延伸出之配線一端的連接墊部上面設置多個柱狀電極，並於絕緣膜上面之柱狀電極之間形成封裝膜以被覆配線。封裝膜係將其上面設置成與柱狀電極之上面成為同一面，並於柱狀電極之上面設置焊球。

[專利文獻1]日本特開2004-349461號公報

然而，如上述之半導體裝置，係具有在半導體基板與絕緣膜之間設置由層間絕緣膜及配線之積層構造所構成的層間絕緣膜配線積層構造部者。在此情況時，當隨著微細化而使得層間絕緣膜配線積層構造部之配線間の間隔變小時，該配線間之容量增大，使得傳遞於該配線之信號的延遲亦會增大。

為了改善此狀況，作為層間絕緣膜之材料，一種介電

率比一般作為層間絕緣膜之材料使用的氧化矽的介電率 4.2~4.0 更低之稱為 Low-k 材料等的低介電率材料正受到矚目。Low-k 材料係可舉出在氧化矽(SiO₂)添碳(C)的 SiOC 或進一步含 H 的 SiOCH 等。另外，為了進一步減低介電率，亦對含空氣之多孔(多孔性)型的低介電率膜進行了檢討。

【發明內容】

(發明所欲解決之課題)

然而，在具備該低介電率膜之半導體裝置中，尤其是如具有中空構造之多孔型的低介電率膜所代表，具有機械強度低、且容易受到水份之影響，進而容易自襯底層剝離之問題。

在此，本發明之目的在於，提供一種可大幅改善低介電率膜之剝離的半導體裝置及其製造方法。

(解決問題之手段)

本發明之半導體裝置，其半導體基板(1)係於一面上具有低介電率膜配線積層構造部(3)。低介電率膜配線積層構造部(3)，係具有比介電率為 3.0 以下且玻璃轉移溫度為 400℃ 以上之低介電率膜(4)及配線(5)之積層構造。於該低介電率膜配線積層構造部(3)上形成有絕緣膜(9)，於該絕緣膜(9)上形成有與該低介電率膜配線積層構造部(3)之最上層的配線(5)的連接墊部(5a)連接而設之電極用連接墊部、設於該電極用連接墊部上之外部連接用凸塊電極(13)、及至少設於該外部連接用凸塊電極(13)周圍之該絕緣膜(9)上並由

有機樹脂所構成的封裝膜(14)。該低介電率膜配線積層構造部(3)之側面，係由該絕緣膜(9)及該封裝膜(14)之任一方所被覆。

本發明之半導體裝置之製造方法，其特徵為具有準備步驟，係在半導體晶圓(21)的一面上形成積層有比介電率為 3.0 以下且玻璃轉移溫度為 400℃ 以上之低介電率膜(4)及配線(5)之低介電率膜配線積層構造部(3)。其次，藉由照射雷射光束以除去該半導體晶圓(21)的切割路(22)上及其兩側之區域中的該低介電率膜配線積層構造部(3)，形成使該低介電率膜配線積層構造部(3)之側面露出的槽(23)。再者，形成用以被覆該低介電率膜配線積層構造部(3)之側面的有機樹脂膜(9,14)。然後，沿該切割路(22)將該有機樹脂膜(9,14)及該半導體晶圓(21)切斷，獲得複數個之單個的半導體裝置。

【實施方式】

(用以實施發明的最佳形態)

(第 1 實施形態)

第 1 圖為本發明之第 1 實施形態的半導體裝置之剖視圖。此半導體裝置係具備矽基板(半導體基板)1。在矽基板 1 之上面，雖未圖示，但設有電晶體等多個之主動型半導體元件，在上面周邊部設有僅圖示 2 個但實際上具有多個之由鋁系金屬等所構成的連接墊 2，且設置成連接於各半導體元件上。在此，連接墊 2 係各半導體元件之輸入輸出

端子或電源端子。

在矽基板 1 之上面，於除了連接墊 2 外側之周邊部以外之區域設置低介電率膜配線積層構造部 3。低介電率膜配線積層構造部 3，係成為由複數層、例如 4 層之低介電率膜 4 及同層數的銅或鋁系金屬所構成之配線 5 交互地積層所形成之構造。

作為低介電率膜 4 之材料，係可舉出具有 Si-O 鍵及 Si-H 鍵之聚矽氧烷系材料(HSQ: Hydrogen silsesquioxane、比介電率 3.0)、具有 Si-O 鍵及 Si-CH₃ 鍵之聚矽氧烷系材料(MSQ: Methyl silsesquioxane、介電率 2.7~2.9)、添碳氧化矽(SiOC: Carbon doped silicon oxide、介電率 2.7~2.9)、有機聚合物系之 low-k 材料等，可使用比介電率為 3.0 以下且玻璃轉移溫度為 400℃ 以上者。

作為有機聚合物系之 low-k 材料，係可舉出 Dow Chemical 公司製之「SiLK(比介電率 2.6)」、及 Honeywell Electronic Materials 公司製之「FLARE(比介電率 2.8)」等。在此，所謂玻璃轉移溫度為 400℃ 以上，係為了能充分地承受後述之製造步驟中的溫度。又，亦可使用上述各材料之多孔型。

另外，作為低介電率膜 4 之材料，除上述之外，藉由作成比通常狀態下之比介電率 3.0 更大，但屬多孔型，可使用比介電率為 3.0 以下且玻璃轉移溫度為 400℃ 以上者。例如，添氟氧化矽(FSG: Fluorinated Silicate Glass、比介

電率為 3.5~3.7)、添硼氧化矽(BSG: Boron-doped Silicate Glass、比介電率為 3.5)、氧化矽(比介電率為 4.0~4.2)。

在低介電率膜配線積層構造部 3 中，各層之配線 5 係於層間相互連接。最下層之配線 5 的一端部，係透過設於最下層之低介電率膜 4 的開口部 6 而與連接墊 2 連接。最上層之配線 5 的連接墊部 5a，係配置於最上層之低介電率膜 4 的上面周邊部。

在包含最上層之配線 5 的最上層之低介電率膜 4 上面，設有由氧化矽等之無機材料所構成之鈍化膜 7。在對應於最上層之配線 5 的連接墊部 5a 的部分之鈍化膜 7 設有開口部 8。在鈍化膜 7 之上面設有主要成份由聚醯亞胺、環氧、苯酚、雙馬來醯亞胺、丙烯、合成橡膠、聚苯并氧化物等之有機材料所構成的保護膜(絕緣膜)9。在對應於鈍化膜 7 之開口部 8 的部分之保護膜 9 上設置開口部 10。

在保護膜 9 之上面設有由銅等所構成之襯底金屬層 11。在襯底金屬層 11 之整個上面設有由銅所構成之上層配線 12。含襯底金屬層 11 之上層配線 12 的一端部，係透過鈍化膜 7 及保護膜 9 之開口部 8、10 而與最上層之配線 5 的連接墊部 5a 連接。在上層配線 12 之連接墊部(電極用連接墊部)上面設有由銅所構成之柱狀電極(外部連接用凸塊電極)13。

在包含上層配線 12 之保護膜 9 的上面及矽基板 1 之周邊部上面設有由環氧樹脂系等的有機材料所構成之封裝膜

14，且將封裝膜 14 之上面設成與柱狀電極 13 上面成為同一面。在此狀態之下，低介電率膜配線積層構造部 3、鈍化膜 7 及保護膜 9 之側面，係實質上形成一面，並由封裝膜 14 所被覆。在柱狀電極 13 上面設有焊球 15。

如上述，在此半導體裝置中，在除了矽基板 1 之周邊部以外之區域，設有由低介電率膜 4 及配線 5 之積層構造所構成的低介電率膜配線積層構造部 3，且藉由封裝膜 14 來被覆低介電率膜配線積層構造部 3、鈍化膜 7 及保護膜 9 之側面，而形成不容易從矽基板 1 剝離低介電率膜配線積層構造部 3 的構造。

其次，說明此半導體裝置之製造方法的一例。首先如第 2 圖所示，準備在晶圓狀態之矽基板(以下，稱為半導體晶圓 21)上設置連接墊 2、各 4 層之低介電率膜 4 及配線 5、和鈍化膜 7，最上層之配線 5 的連接墊部 5a 的中央部係透過設於鈍化膜 7 之開口部 8 而露出者。

作為低介電率膜 4 之材料，可舉出如上述者，包含屬多孔型者在內，可使用比介電率為 3.0 以下且玻璃轉移溫度為 400℃ 以上者。又，在第 2 圖中，元件符號 22 所示區域係對應於切割路之區域。

再者，如第 3 圖所示，藉由網版印刷法、旋轉塗佈法等，在包含透過鈍化膜 7 之開口部 8 而露出的最上層之配線 5 的連接墊部 5a 上面之鈍化膜 7 上面，形成由聚醯亞胺系樹脂等的有機材料所構成之保護膜 9。其次，如第 4 圖

所示，藉由網版印刷法、旋轉塗佈法等，在保護膜 9 之上面形成由聚乙烯醇(PVA)、聚丙烯醯胺(PAM)等之水溶性高分子所構成的水溶性保護膜 17。

接著，如第 4 圖所示，藉由照射雷射光束之雷射加工，在切割路 22 及其兩側之區域中的水溶性保護膜 17、保護膜 9、鈍化膜 7 及 4 層之低介電率膜 4 形成槽 23，且在對應於最上層之配線 5 之連接墊部 5a 的部分之含水溶性保護膜 17 的鈍化膜 7 及保護膜 9 上形成開口部 8、10。

在此情況時，當雷射光束照射於低介電率膜 4 上時，低介電率膜 4 熔化，並成為低介電率膜片而飛散。此飛散之低介電率膜片，落下並穿刺於水溶性保護膜 17 的上面，而不會落下並穿刺於保護膜 9 之上面。然後，當以水洗除去水溶性保護膜 17 時，穿刺於水溶性保護膜 17 上面之低介電率膜片亦被同時除去。又，若藉由真空抽吸來吸引飛散之低介電率膜片的話，亦可不設置水溶性保護膜 17。

在此，因低介電率膜 4 較脆，所以在藉由刀刃切斷而形成槽 23 之情況，在切斷面，會在低介電率膜 4 上產生多處之缺口、破損，所以，槽 23 之形成，推薦使用以雷射光束來切斷低介電率膜 4 的方法。在藉由雷射光束來加工槽 23 的情況，當雷射光束照射於矽基板 1 之上面時，矽基板 1 之上面熔化，並成為矽片跳起後落下於矽基板 1 上，所以，槽 23 之底面成為如第 5 圖所示之凹凸。

在此狀態、亦即在除去水溶性保護膜 17 之狀態下，如

第 6 圖所示，切割路 22 及其兩側之區域的半導體晶圓 21 的上面係透過槽 23 露出。另外，積層於半導體晶圓 21 上之 4 層的低介電率膜 4、鈍化膜 7 及保護膜 9 係由槽 23 所分離，藉以形成第 1 圖所示之低介電率膜配線積層構造部 3。

在此，作為一例，槽 23 之寬度係成為 $10 \sim 1000 \mu\text{m} \times 2$ + 切割路 22 (切割刀) 的寬度。即，參照第 1 圖進行說明，被覆低介電率膜配線積層構造部 3、鈍化膜 7 及保護膜 9 之側面的封裝膜 14 的寬度，係 $10 \sim 1000 \mu\text{m}$ 。

接著，如第 7 圖所示，在包含透過鈍化膜 7 及保護膜 9 之開口部 8、10 露出的最上層之配線 5 的連接墊部 5a 上面及透過槽 23 露出之半導體晶圓 21 的上面之保護膜 9 的整個上面，形成襯底金屬層 11。在此情況時，襯底金屬層 11 可僅為由無電解電鍍所形成之銅層，亦可僅為由濺鍍所形成之銅層，又，亦可為在由濺鍍所形成之鈦等的薄膜層上藉由濺鍍形成銅層者。

接著，在襯底金屬層 11 之上面將鍍覆阻劑膜 24 形成圖案。在此情況時，在對應於上層配線 12 形成區域之部分的鍍覆阻劑膜 24 上形成開口部 25。然後，藉由進行將襯底金屬層 11 作為電鍍電流路之銅的電解電鍍，在鍍覆阻劑膜 24 之開口部 25 內的襯底金屬層 11 上面形成上層配線 12。接著將鍍覆阻劑膜 24 剝離。

接著，如第 8 圖所示，在包含上層配線 12 之襯底金屬

層 11 的上面將鍍覆阻劑膜 26 形成圖案。在此情況時，在對應於上層配線 12 之連接墊部(柱狀電極 13 形成區域)之部分的鍍覆阻劑膜 26 形成開口部 27。

然後，藉由進行將襯底金屬層 11 作為電鍍電流路之銅的電解電鍍，在鍍覆阻劑膜 26 之開口部 27 內的上層配線 12 之連接墊部上面，形成高度為 $50 \sim 150 \mu\text{m}$ 的柱狀電極 13。然後將鍍覆阻劑膜 26 剝離，接著將上層配線 12 作為遮罩而利用蝕刻處理除去襯底金屬層 11 之不要部分，如第 9 圖所示，僅在上層配線 12 之下殘留襯底金屬層 11。

接著，如第 10 圖所示，藉由網版印刷法、旋轉塗佈法等，在包含上層配線 12、柱狀電極 13 之保護膜 9 上面及透過槽 23 露出之半導體晶圓 21 的上面，形成由環氧系樹脂等的有機材料所構成之封裝膜(有機樹脂膜)14，且將其厚度形成為比柱狀電極 13 之高度更厚。藉此，在此狀態之下，柱狀電極 13 之上面係由封裝膜 14 所被覆。另外，保護膜 9、鈍化膜 7 及 4 層之低介電率膜 4 之側面係由封裝膜 14 所被覆。

然後，適宜地研削封裝膜 14 之上面側，如第 11 圖所示，使柱狀電極 13 之上面露出，且將包含此露出之柱狀電極 13 上面的封裝膜 14 上面加以平坦化。亦可在此封裝膜 14 上面之平坦化時，將封裝膜 14 及柱狀電極 13 的上面部一起研削數 $\mu\text{m} \sim$ 十數 μm 。

接著，如第 12 圖所示，在柱狀電極 13 的上面形成焊

球 15。接著，如第 13 圖所示，沿著槽 23 內之中央部的切割路 22，將封裝膜 14 及半導體晶圓 21 切斷。於是，如上述，因為槽 23 係形成為比切割路 22 更寬，所以，如第 1 圖所示，低介電率膜配線積層構造部 3 之側面係由封裝膜 14 所被覆、配合，因此，可獲得多個鈍化膜 7 之側面及保護膜 9 的上面及側面被封裝膜 14 所被覆之構造的半導體裝置。

又，在上述實施形態中，半導體晶圓 21 之上面被圖示為如槽 23 之底部，但亦可以雷射光束除去半導體晶圓 21 之上面以形成槽 23，以使槽 23 之底部比半導體晶圓 21 之上面更為陷入。另外，在半導體晶圓 21 之上面形成有場氧化膜等之絕緣膜的情況，亦可以此場氧化膜之上面或其膜厚之中間部成為槽 23 之底部的方式，使槽 23 之底部比半導體晶圓 21 之上面位於更上方。

(第 2 實施形態)

第 14 圖為本發明之第 2 實施形態的半導體裝置之剖視圖。在此半導體裝置中，與第 1 圖所示半導體裝置的差異點在於：鈍化膜 7 之上面及側面、及低介電率膜配線積層構造部 3 之側面係由保護膜 9 所被覆，並由封裝膜 14 來被覆保護膜 9 之側面。

在製造此半導體裝置時，作為一例，係在準備第 2 圖所示者之後，如第 15 圖所示，藉由網版印刷法、旋轉塗佈法等，在包含透過鈍化膜 7 之開口部 8 露出的最上層之配

線 5 的連接墊部 5a 之鈍化膜 7 上面，形成由聚乙烯醇 (PVA)、聚丙烯醯胺 (PAM) 等之水溶性高分子所構成的水溶性保護膜 17。

接著，如第 16 圖所示，藉由照射雷射光束之雷射加工，在切割路 22 及其兩側之區域的水溶性保護膜 17、鈍化膜 7 及 4 層之低介電率膜 4 形成槽 23。此情況下亦是，當雷射光束照射於低介電率膜 4 上時，低介電率膜 4 熔化，並成為低介電率膜片而飛散。此飛散之低介電率膜片，落下並穿刺於水溶性保護膜 17 的上面，而不會落下並穿刺於鈍化膜 7 之上面。然後，當以水洗除去水溶性保護膜時，穿刺於水溶性保護膜上面之低介電率膜片亦被同時除去。又，此情況亦是，若藉由真空抽吸來吸引飛散之低介電率膜片的話，亦可不設置水溶性保護膜 17。

在此狀態、亦即在除去水溶性保護膜 17 之狀態下，如第 17 圖所示，切割路 22 及其兩側之區域的半導體晶圓 21 的上面，係透過槽 23 露出。另外，積層於半導體晶圓 21 上之 4 層的低介電率膜 4 及鈍化膜 7，係由槽 23 所分離，藉以形成第 14 圖所示之低介電率膜配線積層構造部 3。

接著，如第 18 圖所示，藉由網版印刷法、旋轉塗佈法等，在包含透過鈍化膜 7 之開口部 8 露出的最上層配線 5 的連接墊部 5a 上面之鈍化膜 7 上面及透過槽 23 而露出之半導體晶圓 21 的上面，形成由聚醯亞胺系樹脂等的有機材料所構成之保護膜 (有機樹脂膜) 9。在此情況時，形成於鈍

化膜 7 上面及槽 23 內之保護膜 9，係以形成爲其表面大致成爲平坦狀爲較佳。

接著，如第 19 圖所示，藉由照射雷射光束之雷射加工、或光微影技術，在切割路 22 及其兩側之區域中的保護膜 9 上形成比槽 23 之寬度略窄之槽 23a，且在對應於最上層之配線 5 的連接墊部 5a 之部分的鈍化膜 7 及保護膜 9 形成開口部 8、10。以下，與該第 1 實施形態之第 7 圖以下的步驟相同，故而省略說明。

(第 3 實施形態)

第 20 圖爲本發明之第 3 實施形態的半導體裝置之剖視圖。在此半導體裝置中，與第 14 圖所示半導體裝置的差異點在於：被覆鈍化膜 7 之上面及側面、及低介電率膜配線積層構造部 3 之側面的保護膜(有機樹脂膜)9，係延伸至與矽基板 1 的端面爲相同之面。

在製造此半導體裝置時，如第 18 圖所示，將保護膜 9 完全充填於槽 23 內，亦可不形成如第 19 圖所示之槽 23a。藉此，在此情況時，在最終步驟中，沿切割路 22 將封裝膜 14、保護膜 9 及半導體晶圓 21 切斷。

(第 4 實施形態)

第 21 圖爲本發明之第 4 實施形態的半導體裝置之剖視圖。在此半導體裝置中，與第 1 圖所示半導體裝置的差異點在於：將保護膜 9 之側面配置於比低介電率膜配線積層構造部 3 及鈍化膜 7 之側面更位於內側。亦即保護膜 9 係

在鈍化膜 7 上形成爲比該鈍化膜 7 之尺寸更小。在此情況時，鈍化膜 7 及低介電率膜配線積層構造部 3 之側面，係實質上形成一面。

其次，說明此半導體裝置之製造方法的一例。在此情況時，例如，如第 3 圖所示，將保護膜(有機樹脂膜)9 成膜於鈍化膜 7 上的全面，接著，使用光微影技術對此保護膜 9 進行圖案加工，形成如第 21 圖所示之保護膜 9。保護膜 9 之圖案加工，係以保護膜 9 之側面 9a 成爲未到達切割路 22 之位置的方式所進行。在此情況時，保護膜 9 之側面 9a 與鈍化膜 7 及低介電率膜配線積層構造部 3 的側面，係作成比下一步驟之雷射照射時的對位偏移更大的尺寸。然後，根據需要，在整個上面形成水溶性保護膜，接著，可照射雷射光束來加工鈍化膜 7 及低介電率膜 4，以形成槽 23。

其次，說明此半導體裝置之製造方法的另一例。另一例係如第 17 圖所示，在保護膜 9 成膜之前，藉由照射雷射光束來加工鈍化膜 7 及低介電率膜 4，以形成槽 23。接著，如第 18 圖所示，照射雷射光束來形成槽 23 之後，圖案加工保護膜 9。接著，藉由旋轉塗佈等，在含槽 23 內之鈍化膜 7 上整面進行保護膜 9 的成膜，然後使用光微影技術，以除去槽 23 內及鈍化膜 7 之周緣部的方式將此保護膜 9 進行圖案加工，形成如第 21 圖所示之保護膜 9。

無論哪一方法，在此半導體裝置之製造方法中，藉由雷射光束來加工鈍化膜 7 及低介電率膜 4，而不加工保護

膜 9，所以，保護膜 9 之材料，如聚醯亞胺系樹脂等，對容易吸收雷射能量而不容易利用雷射光束之照射進行切斷的情況，特別有效。

(第 5 實施形態)

第 22 圖為本發明之第 5 實施形態的半導體裝置之剖視圖。在此半導體裝置中，與第 21 圖所示半導體裝置的差異點在於：將鈍化膜 7 之側面配置於比保護膜 9 之側面更位於內側。亦即鈍化膜 7 係在低介電率膜配線積層構造部 3 上形成為比保護膜 9 之尺寸更小。

在製造此半導體裝置時，如第 2 圖所示，將鈍化膜 7 成膜於最上層之低介電率膜 4 上的全面，接著，使用光微影技術對此鈍化膜 7 進行圖案加工。然後將保護膜 9 成膜於鈍化膜 7 上及自鈍化膜 7 露出之最上層的低介電率膜 4 上，接著，使用光微影技術對此保護膜 9 進行圖案加工。然後，可根據需要在整個上面形成水溶性保護膜，接著，可照射雷射光束來加工低介電率膜 4，以形成槽 23。

在此半導體裝置之製造方法中，藉由雷射光束僅加工低介電率膜 4，而不加工鈍化膜 7 及保護膜 9，所以，可設定為對低介電率膜 4 之加工而言為最適宜之雷射光束的條件，所以，具有可有效且高精度地進行低介電率膜 4 之加工的功效。又，亦可將鈍化膜 7 之尺寸作成與保護膜 9 相同大小之尺寸，以使鈍化膜 7 及保護膜 9 之側面基本上形成為一面。

(第 6 實施形態)

第 23 圖為本發明之第 6 實施形態的半導體裝置之剖視圖。在此半導體裝置中，與第 21 圖所示半導體裝置的差異點在於：將低介電率膜配線積層構造部 3，作成在其最上層之配線 5 與其最上層之低介電率膜 4 之間具有下層鈍化膜 16 的構造。

在此情況時，鈍化膜 7 及下層鈍化膜 16，係可由氧化矽等之相同無機材料所形成。另外，鈍化膜 7 亦可由氮化矽所形成，下層鈍化膜 16 亦可由氧化矽所形成。

(其他實施形態)

例如，在上述第 1 實施形態中，在第 3 圖所示步驟後，在保護膜 9 之整個上面形成襯底金屬層 11，接著，藉由電解電鍍形成上層配線 12 及柱狀電極 13，接著將上層配線 12 作為遮罩，利用蝕刻處理除去襯底金屬層 11 之不要部分，僅在上層配線 12 下殘留襯底金屬層。然後，亦可根據需要，在整個上面形成水溶性保護膜，接著，照射雷射光束來加工保護膜 9、鈍化膜 7 及低介電率膜 4，以形成槽 23。在此情況時，在形成槽 2 之後，當除去水溶性保護膜時，成為第 9 圖所示狀態。

另外，例如，參照第 21 圖進行說明，低介電率膜配線積層構造部 3 亦可作成將其最上層之低介電率膜 4 作為下層鈍化膜的構造。亦即，低介電率膜配線積層構造部 3 亦可作成在其最上層之配線 5 與其下之配線 5 之間具有下層

鈍化膜的構造。

在此情況時，鈍化膜 7 及下層鈍化膜，亦可由氧化矽等之相同的無機材料所形成。另外，鈍化膜 7 係可由氮化矽所形成，下層鈍化膜係可由氧化矽所形成。

另外，在上述各實施形態中，雖具有在保護膜 9 上形成上層配線 12，並在此上層配線 12 之連接墊部上形成柱狀電極 13 的構造，但本發明亦可適用於在保護膜 9 上僅形成連接墊部，並於此連接墊部上形成焊球 15 等之外部連接用凸塊電極的構造。

(發明效果)

如上述詳細說明，根據本發明，於除了半導體基板上之周邊部以外之區域，設置由比介電率為 3.0 以下且玻璃轉移溫度為 400℃ 以上之低介電率膜及配線之積層構造所構成的低介電率膜配線積層構造部，並由有機樹脂膜所構成之絕緣膜及封裝膜之至少任一方來被覆此低介電率膜配線積層構造部之側面，所以可大幅改善低介電率膜之剝離。

【圖式簡單說明】

第 1 圖為本發明之第 1 實施形態的半導體裝置之剖視圖。

第 2 圖為第 1 圖所示之半導體裝置的製造時最初所準備之構件的剖視圖。

第 3 圖為接續第 2 圖之步驟的剖視圖。

第 4 圖為接續第 3 圖之步驟的剖視圖。

第 5 圖 爲 接 續 第 4 圖 之 步 驟 的 剖 視 圖 。

第 6 圖 爲 接 續 第 5 圖 之 步 驟 的 剖 視 圖 。

第 7 圖 爲 接 續 第 6 圖 之 步 驟 的 剖 視 圖 。

第 8 圖 爲 接 續 第 7 圖 之 步 驟 的 剖 視 圖 。

第 9 圖 爲 接 續 第 8 圖 之 步 驟 的 剖 視 圖 。

第 10 圖 爲 接 續 第 9 圖 之 步 驟 的 剖 視 圖 。

第 11 圖 爲 接 續 第 10 圖 之 步 驟 的 剖 視 圖 。

第 12 圖 爲 接 續 第 11 圖 之 步 驟 的 剖 視 圖 。

第 13 圖 爲 接 續 第 12 圖 之 步 驟 的 剖 視 圖 。

第 14 圖 爲 本 發 明 之 第 2 實 施 形 態 的 半 導 體 裝 置 之 剖 視 圖 。

第 15 圖 爲 第 14 圖 所 示 之 半 導 體 裝 置 的 製 造 時 指 定 步 驟 的 剖 視 圖 。

第 16 圖 爲 接 續 第 15 圖 之 步 驟 的 剖 視 圖 。

第 17 圖 爲 接 續 第 16 圖 之 步 驟 的 剖 視 圖 。

第 18 圖 爲 接 續 第 17 圖 之 步 驟 的 剖 視 圖 。

第 19 圖 爲 接 續 第 18 圖 之 步 驟 的 剖 視 圖 。

第 20 圖 爲 本 發 明 之 第 3 實 施 形 態 的 半 導 體 裝 置 之 剖 視 圖 。

第 21 圖 爲 本 發 明 之 第 4 實 施 形 態 的 半 導 體 裝 置 之 剖 視 圖 。

第 22 圖 爲 本 發 明 之 第 5 實 施 形 態 的 半 導 體 裝 置 之 剖 視 圖 。

第 23 圖 為 本 發 明 之 第 6 實 施 形 態 的 半 導 體 裝 置 之 剖 視 圖 。

【 主 要 元 件 符 號 說 明 】

1	基 板
2	連 接 墊
3	低 介 電 率 膜 配 線 積 層 構 造 部
4	低 介 電 率 膜
5	配 線
7	鈍 化 膜
9	保 護 膜
11	襯 底 金 屬 層
12	上 層 配 線
13	柱 狀 電 極
14	封 裝 膜
15	焊 球
16	下 層 鈍 化 膜
17	水 溶 性 保 護 膜
21	半 導 體 晶 圓
22	切 割 路
23	槽
23 a	槽

第 097119799 號「半導體裝置及其製造方法」專利案

十、申請專利範圍：

1. 一種半導體裝置，其特徵為具備：

半導體基板(1)；

低介電率膜配線積層構造部(3)，係設於除了該半導體基板(1)之一面上的周邊部以外之區域，並由比介電率為 3.0 以下且玻璃轉移溫度為 400℃ 以上之低介電率膜(4)及配線(5)之積層構造所構成；

絕緣膜(9)，係設於該低介電率膜配線積層構造部(3)上；

電極用連接墊部，係設於該絕緣膜(9)上，並與該低介電率膜配線積層構造部(3)之最上層配線(5)之連接墊部(5a)連接；

外部連接用凸塊電極(13)，係設於該電極用連接墊部上；

封裝膜(14)，係由有機樹脂所構成，至少設於該外部連接用凸塊電極(13)周圍之該絕緣膜(9)上；及

鈍化膜(7)，係在該絕緣膜(9)與該低介電率膜配線積層構造部(3)之間由無機材料所構成，

該鈍化膜(7)及該低介電率膜配線積層構造部(3)之側面，係實質上形成一面，該鈍化膜(7)及該低介電率膜配線積層構造部(3)之側面係由該絕緣膜(9)所被覆。

- 2.如申請專利範圍第 1 項之半導體裝置，其中該絕緣膜(9)之側面係由該封裝膜(14)所被覆。
- 3.如申請專利範圍第 1 項之半導體裝置，其中該絕緣膜(9)，係延伸至與該半導體基板(1)的端面相同之面。
- 4.如申請專利範圍第 1 項之半導體裝置，其中該低介電率膜配線積層構造部(3)係在其最上層之配線(5)及其最上層之低介電率膜(4)之間具有下層鈍化膜(16)。
- 5.如申請專利範圍第 1 項之半導體裝置，其中該低介電率膜配線積層構造部(3)係在其最上層之配線(5)及其下方之配線(5)之間具有下層鈍化膜。
- 6.如申請專利範圍第 4 或 5 項之半導體裝置，其中該下層鈍化膜係由氧化矽所構成。
- 7.如申請專利範圍第 6 項之半導體裝置，其中該絕緣膜係包含由氮化矽所構成之鈍化膜。
- 8.如申請專利範圍第 1 項之半導體裝置，其中在該絕緣膜(9)上形成具有該電極用連接墊部之上層配線(12)。
- 9.如申請專利範圍第 8 項之半導體裝置，其中形成於該上層配線(12)之連接墊部上之外部連接用凸塊電極(13)係柱狀電極。
- 10.如申請專利範圍第 9 項之半導體裝置，其中在該柱狀電極(13)上設有焊球(15)。
- 11.如申請專利範圍第 1 至 10 項中任一項之半導體裝置，其中該低介電率膜(4)係包含：具有 Si-O 鍵及 Si-H 鍵之聚

矽氧烷系材料、具有 Si-O 鍵及 Si-CH₃ 鍵之聚矽氧烷系材料、添碳氧化矽、有機聚合物系之 low-k 材料之任一者，或是包含添氟氧化矽、添硼氧化矽、氧化矽之任一者之多孔型者。

12. 如申請專利範圍第 1 項之半導體裝置，其中該絕緣膜 (9) 接觸的該半導體基板的表面具有凹凸。

13. 一種半導體裝置之製造方法，其特徵為具備：

準備步驟，係準備在半導體晶圓 (21) 之一面上形成有低介電率膜配線積層構造部 (3) 者，該低介電率膜配線積層構造部 (3) 係由比介電率為 3.0 以下且玻璃轉移溫度為 400℃ 以上之低介電率膜 (4) 及配線 (5) 所積層者；

形成鈍化膜 (7) 之步驟，係在該低介電率膜配線積層構造部 (3) 上，形成由無機材料所構成的鈍化膜 (7)；

形成有機樹脂膜 (9) 之步驟，係在該鈍化膜 (7) 上形成有機樹脂膜 (9)；

形成槽 (23) 之步驟，係藉由照射雷射光束以除去切割路 (22) 上及其兩側之區域中的該低介電率膜配線積層構造部 (3)，使該低介電率膜配線積層構造部 (3) 之側面及該鈍化膜 (7) 之側面，以實質上形成一面的方式露出；

形成封裝膜 (14) 之步驟，係在該有機樹脂膜 (9) 上形成由有機樹脂所構成的封裝膜 (14)；及

獲得複數個之單個的半導體裝置的步驟，其係沿該切割路 (22) 將該封裝膜 (14) 及該半導體晶圓 (21) 切斷。

- 14.如申請專利範圍第 13 項之半導體裝置之製造方法，其中形成該槽(23)之步驟，包含：在形成該槽(23)之前，於該有機樹脂膜(9)的整個上面形成水溶性保護膜(17)，並在形成該槽(23)之後，除去該水溶性保護膜(17)的步驟。
- 15.如申請專利範圍第 13 項之半導體裝置之製造方法，其中更具備：使電極用連接墊部連接於該低介電率膜配線積層構造部(3)之最上層的配線(5)之連接墊部上而形成於該有機樹脂膜(9)上的步驟；及
- 在該電極用連接墊部上形成外部連接用凸塊電極(13)之步驟。
- 16.如申請專利範圍第 13 項之半導體裝置之製造方法，其中更具備：使電極用連接墊部連接於該低介電率膜配線積層構造部(3)之最上層的配線(5)之連接墊部上而形成於該有機樹脂膜(9)上的步驟，及
- 在該電極用連接墊部上形成外部連接用凸塊電極(13)之步驟；
- 形成該封裝膜(14)之步驟，係包含形成由有機樹脂所構成的封裝膜(14)之步驟，該封裝膜(14)係用以被覆該外部連接用凸塊電極(13)的周圍之該有機樹脂膜(9)的上面，該有機樹脂膜(9)之側面及該低介電率膜配線積層構造部(3)之側面。
- 17.如申請專利範圍第 16 項之半導體裝置之製造方法，其中形成該封裝膜(14)之步驟，係包含將該封裝膜(14)充填

於該槽(23)內之步驟。

- 18.如申請專利範圍第 13 項之半導體裝置之製造方法，其中形成該槽(23)之步驟，包含：除去切割路(22)上及其兩側之區域中的該鈍化膜(7)及該低介電率膜配線積層構造部(3)，以形成使該鈍化膜(7)之側面及該低介電率膜配線積層構造部(3)之側面露出的槽(23)之步驟。
- 19.如申請專利範圍第 13 項之半導體裝置之製造方法，其中形成該封裝膜(14)之步驟，係包含以不會將該封裝膜(14)延伸出切割路(22)上之方式，將該封裝膜(14)形成圖案的步驟。
- 20.如申請專利範圍第 13 項之半導體裝置之製造方法，其中形成該有機樹脂膜(9)之步驟具有：
- 形成被充填於該槽(23)內且除去與該槽之中央部對應的部分之絕緣膜(9)的步驟；
- 形成該封裝膜(14)之步驟包含：
- 在該被除去之該絕緣膜(9)的部分充填有機樹脂，以形成封裝膜(14)之步驟。
- 21.如申請專利範圍第 20 項之半導體裝置之製造方法，其中形成該封裝膜(14)之步驟，係包含以該封裝膜(14)被覆該絕緣膜(9)之側面的步驟。
- 22.如申請專利範圍第 13 至 21 項中任一項之半導體裝置之製造方法，其中該低介電率膜係包含：具有 Si-O 鍵及 Si-H 鍵之聚矽氧烷系材料、具有 Si-O 鍵及 Si-CH₃ 鍵之聚矽

年 月 日修正替換頁

氧烷系材料、添碳氧化矽、有機聚合物系之 low-k 材料之任一者，或是包含添氟氧化矽、添硼氧化矽、氧化矽之任一者之多孔型者。

十一、圖式：

第 1 圖

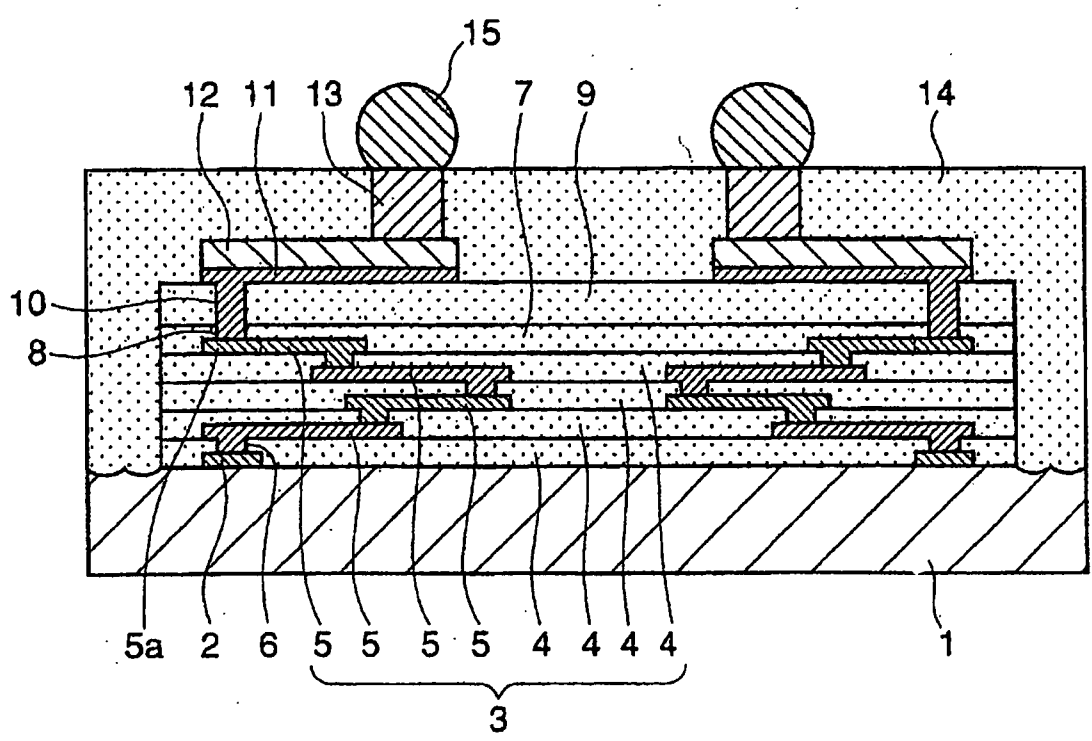
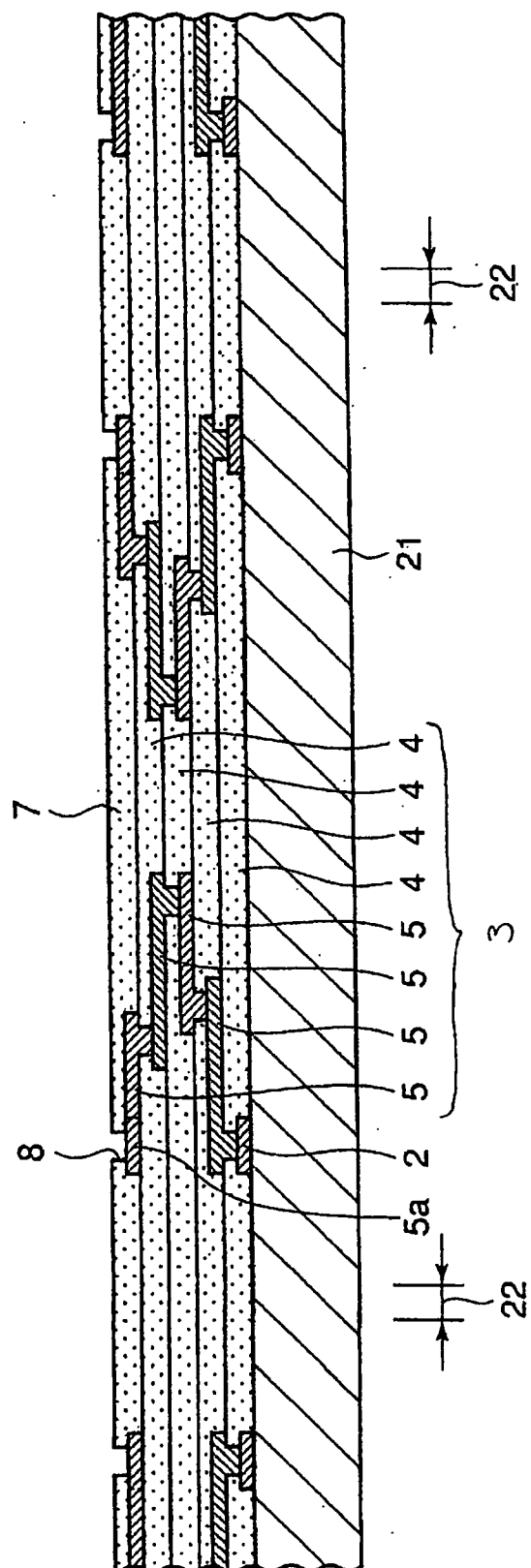
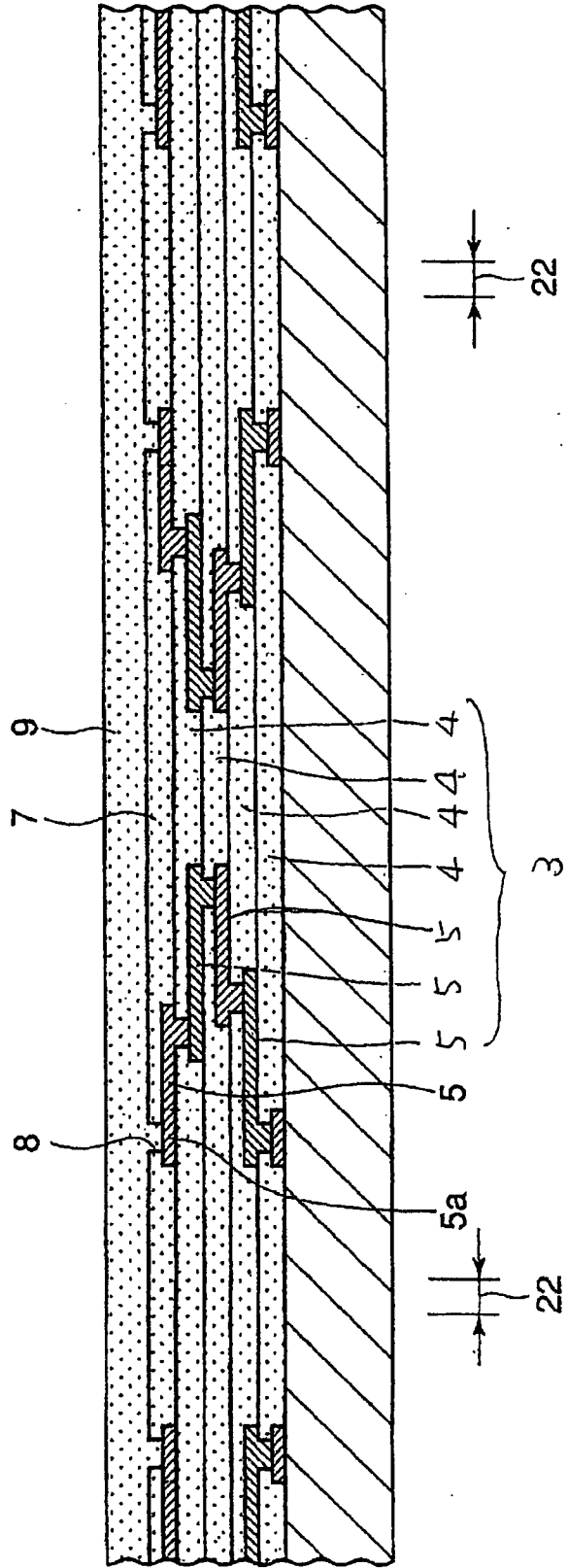


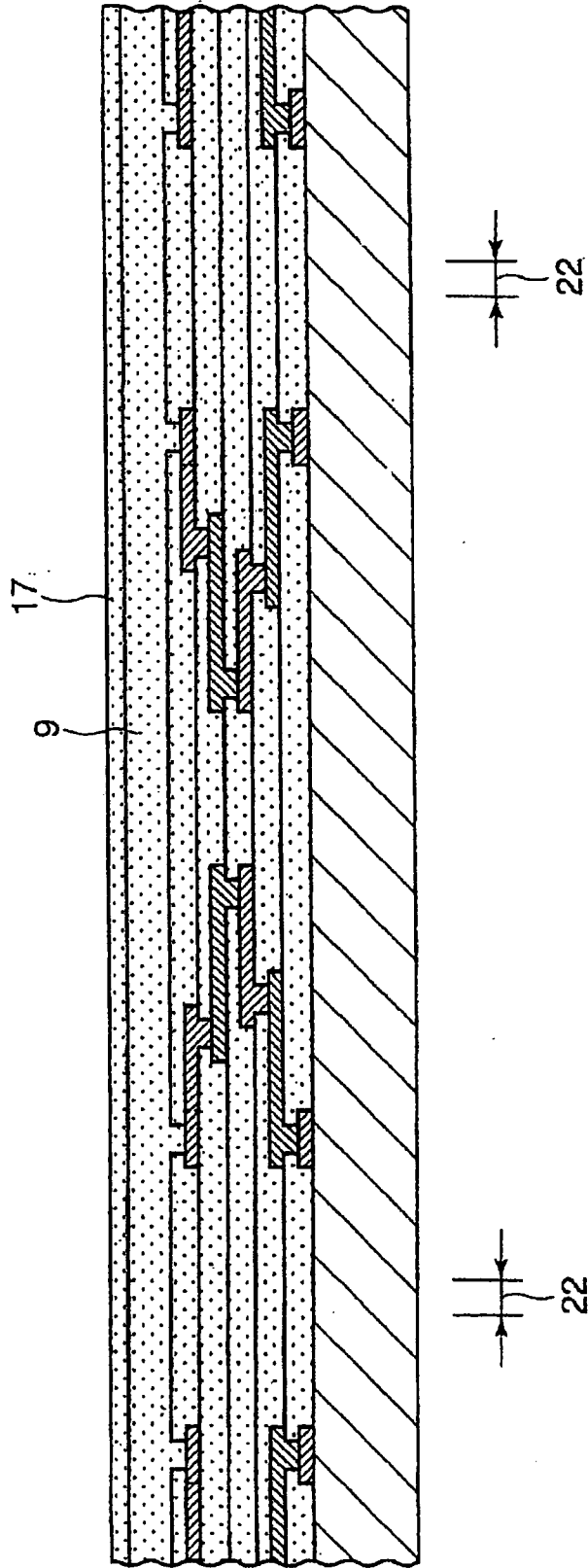
圖 2



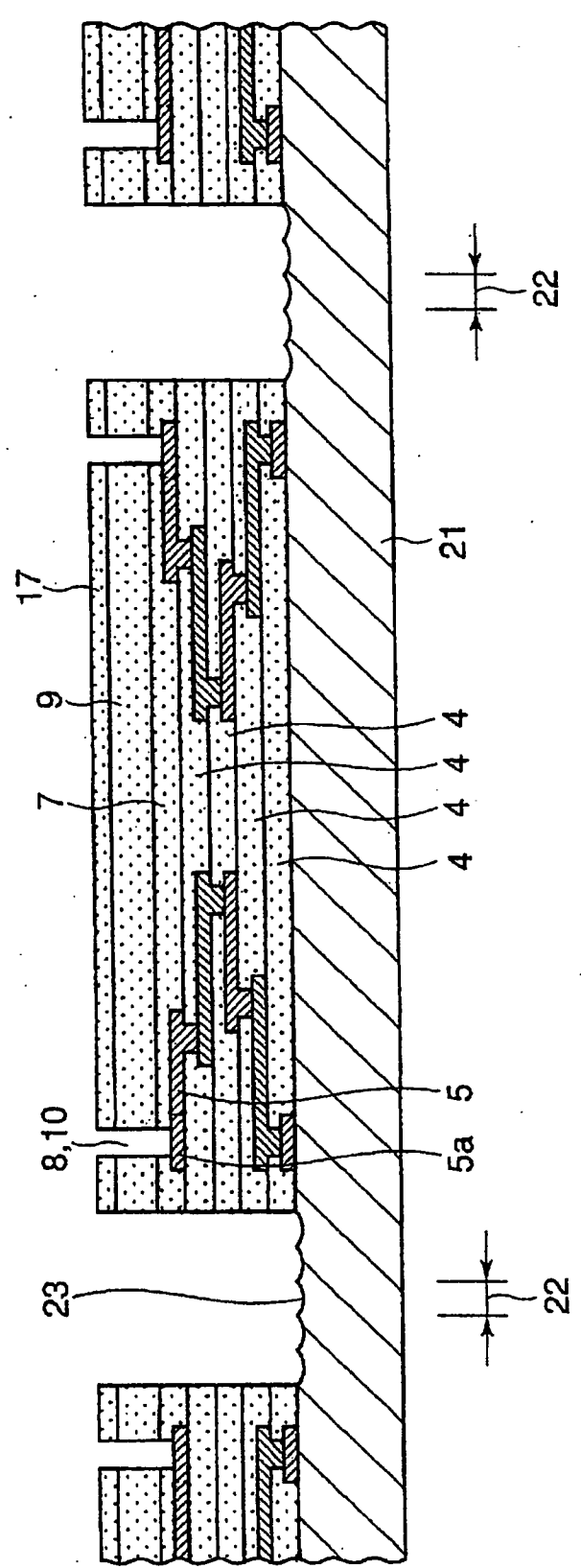
第 3 圖



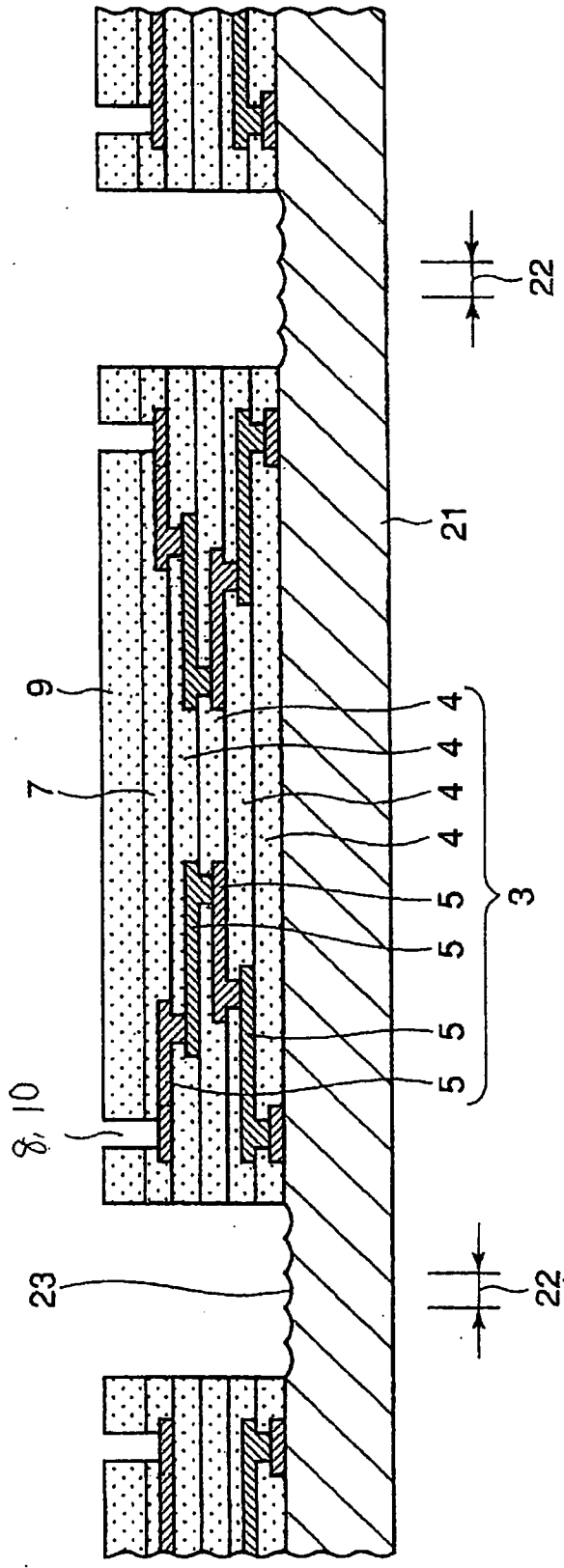
第 4 圖



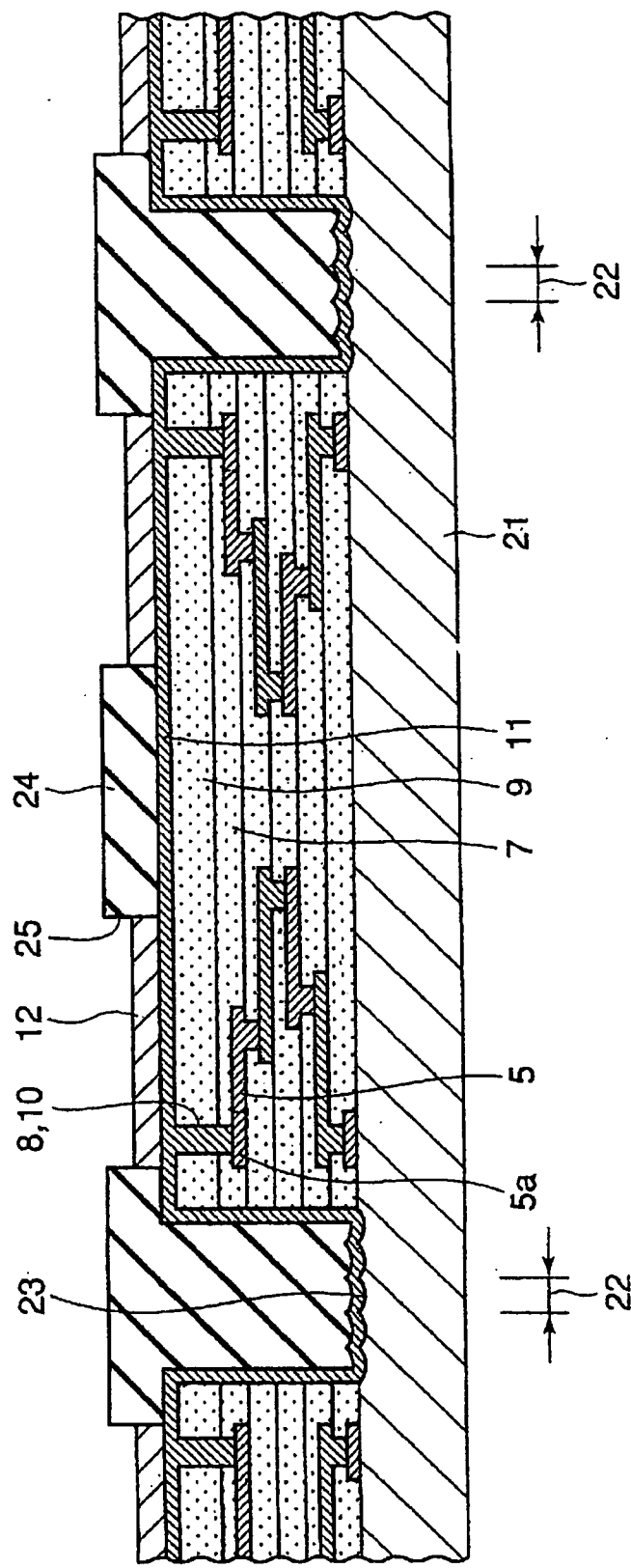
第 5 圖



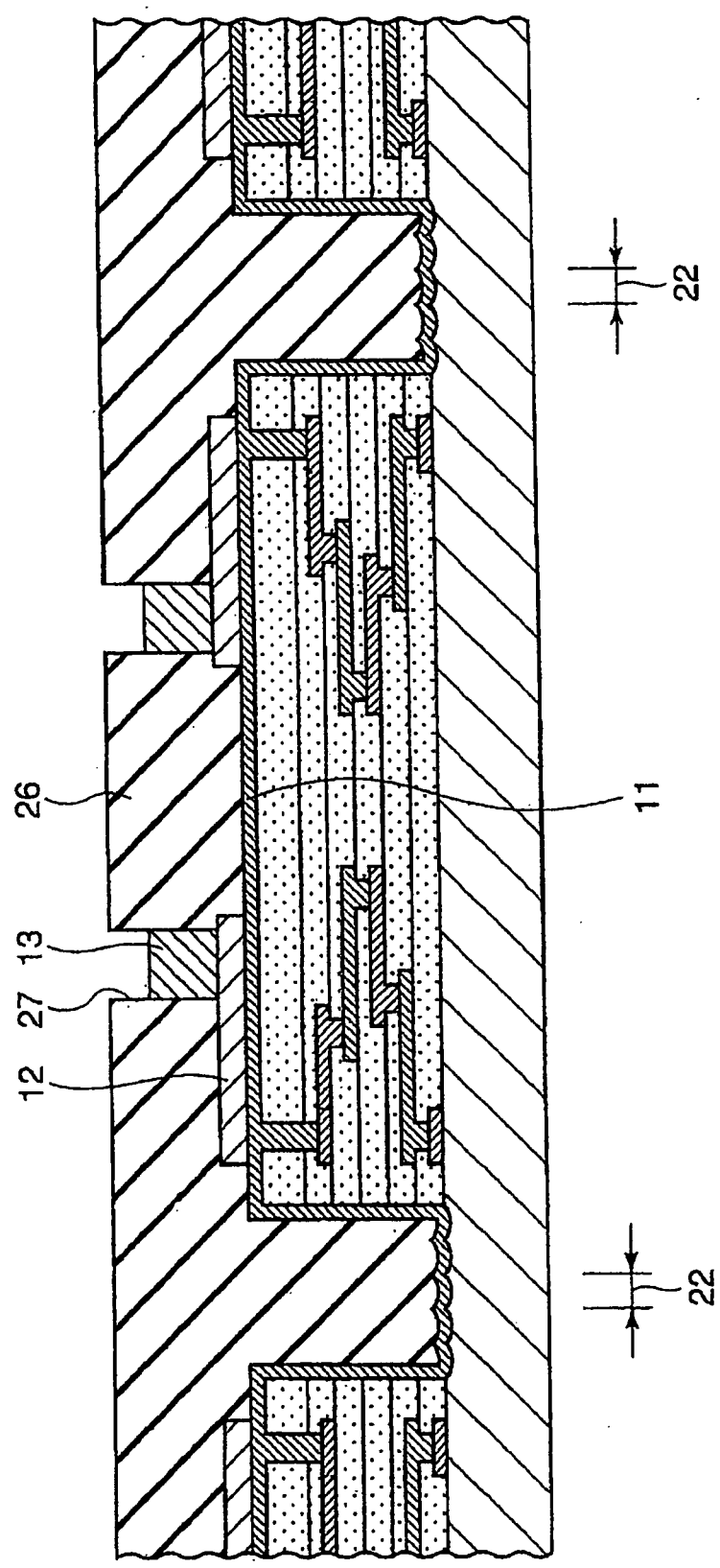
第 6 圖



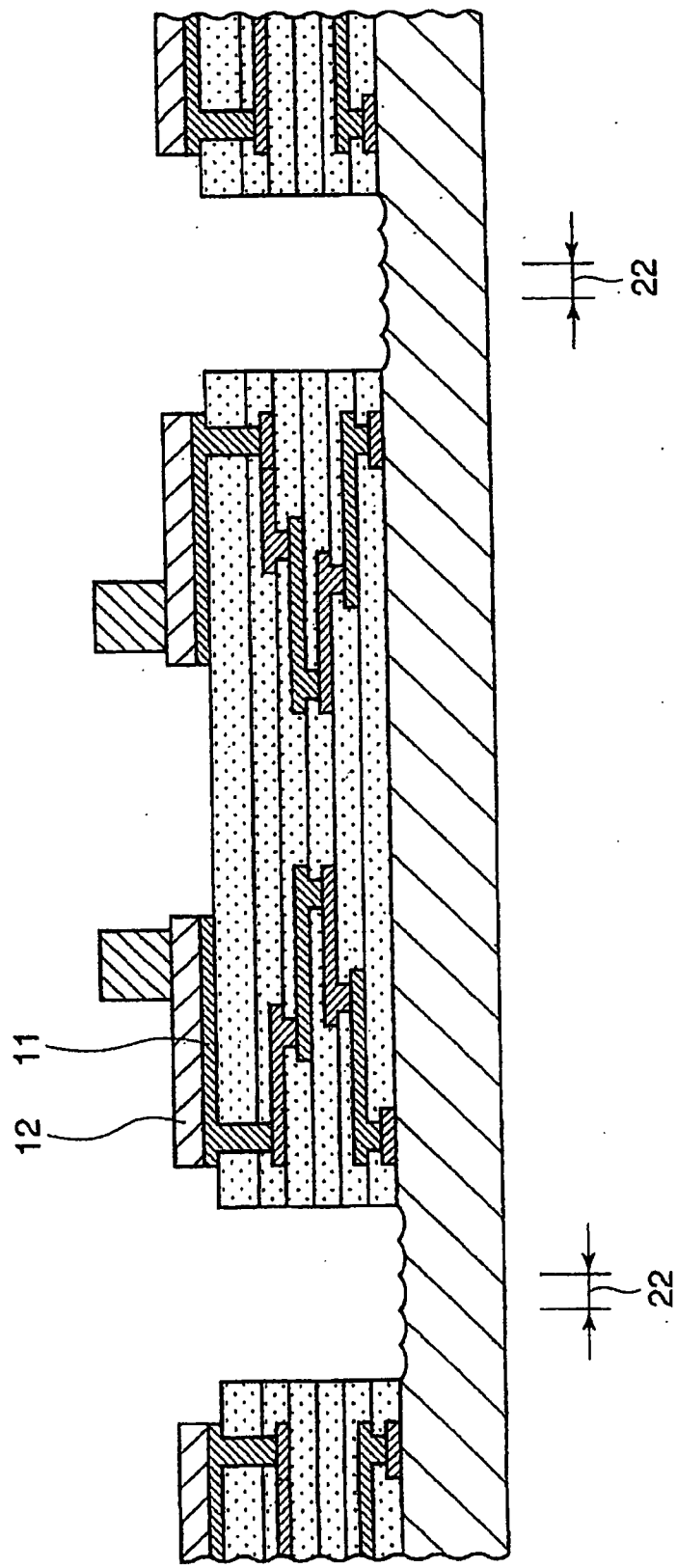
第 7 圖



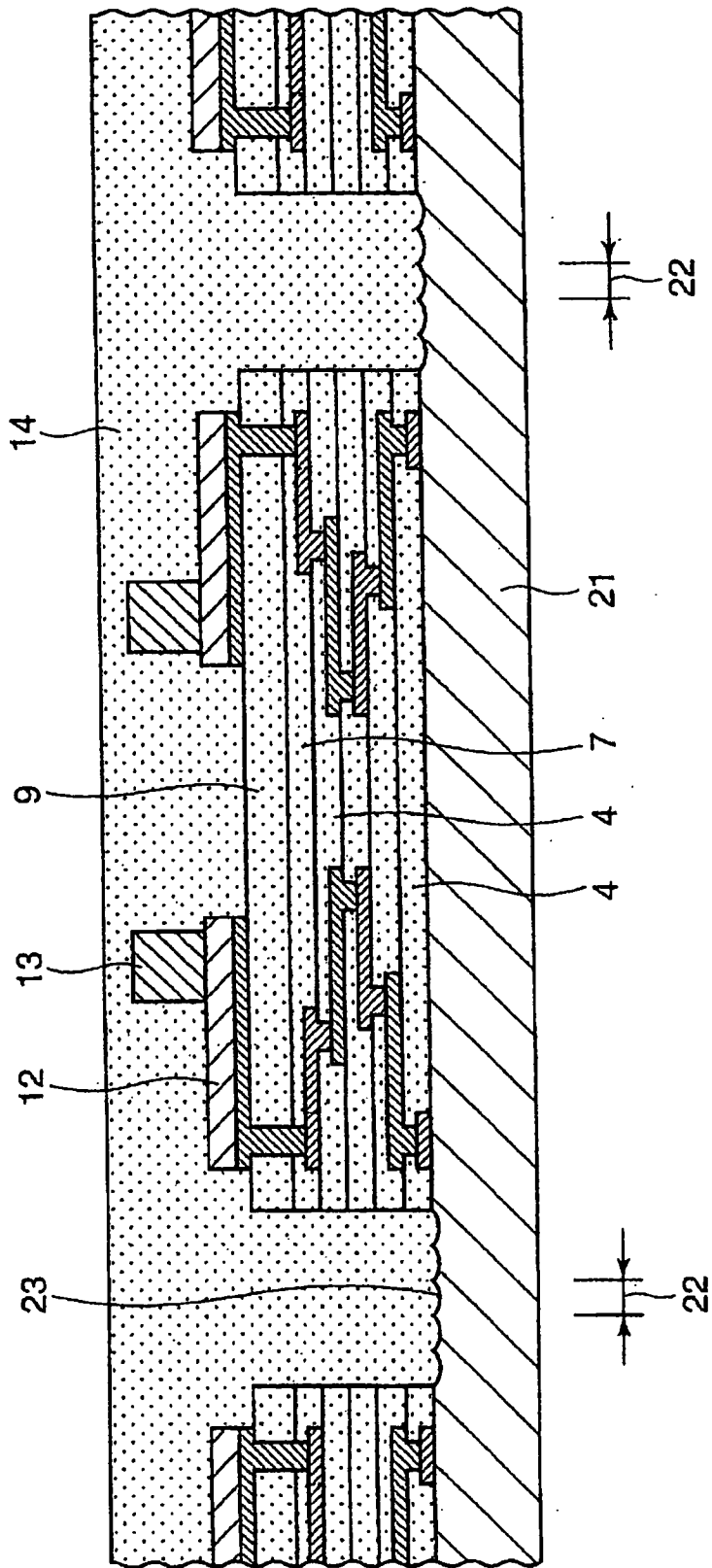
第 8 圖



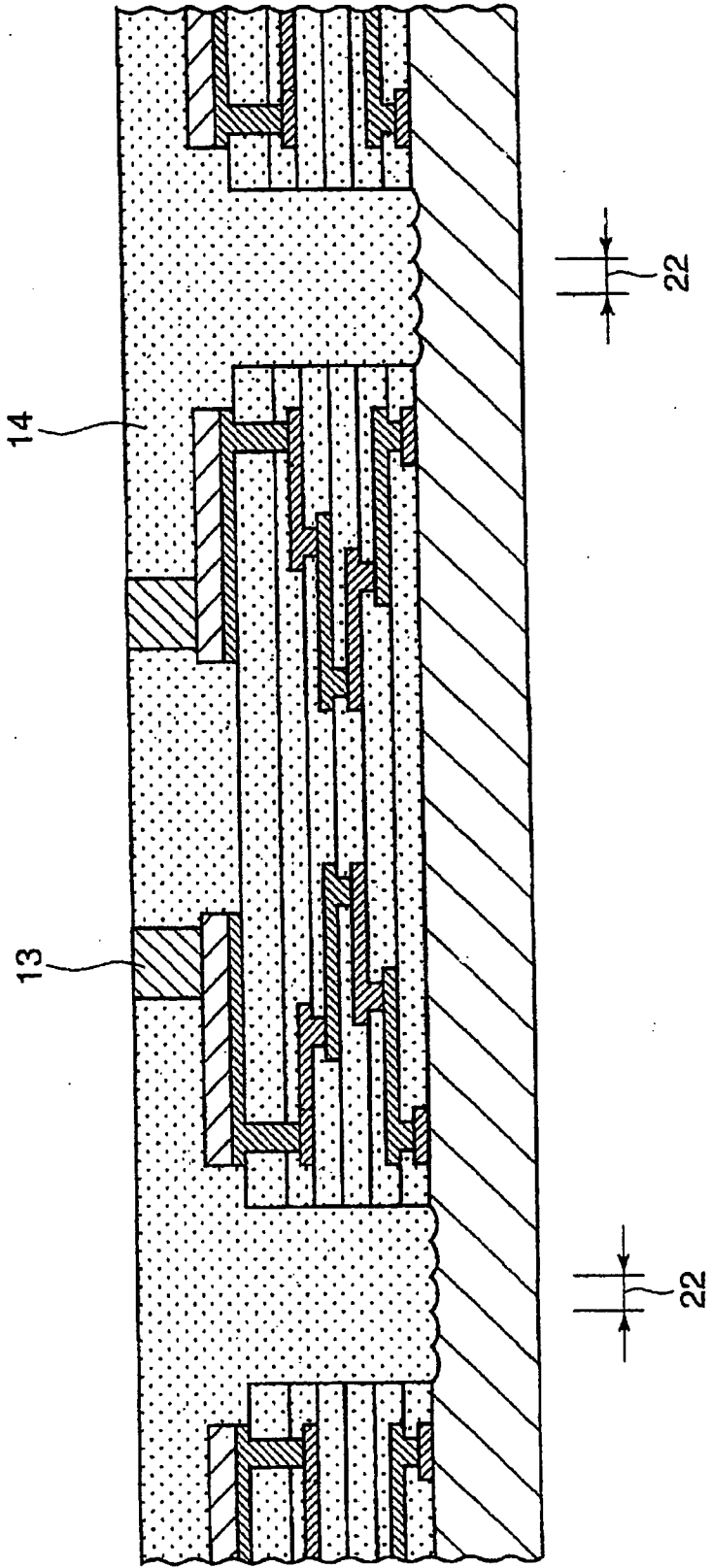
第 9 圖



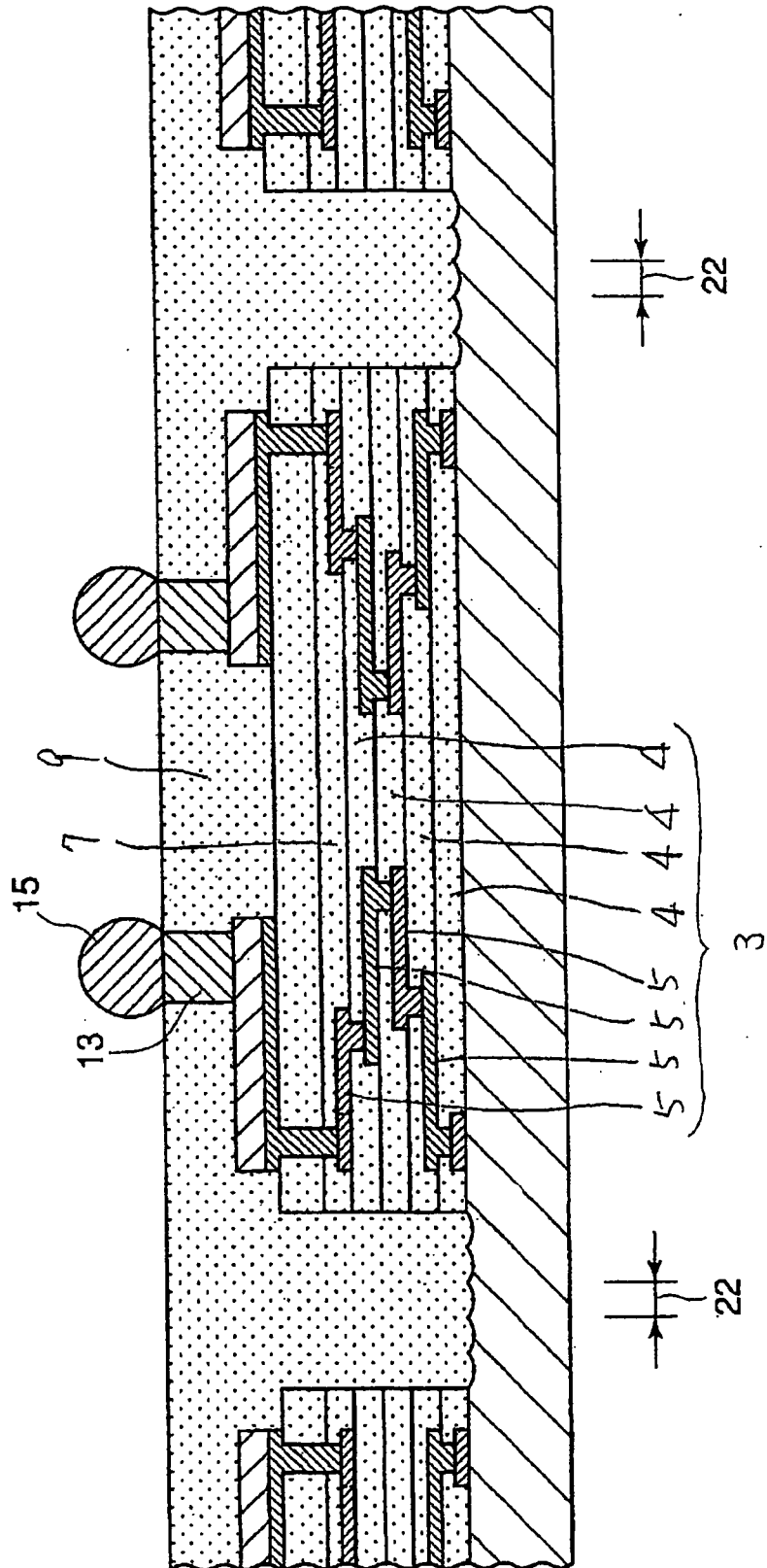
第 10 圖



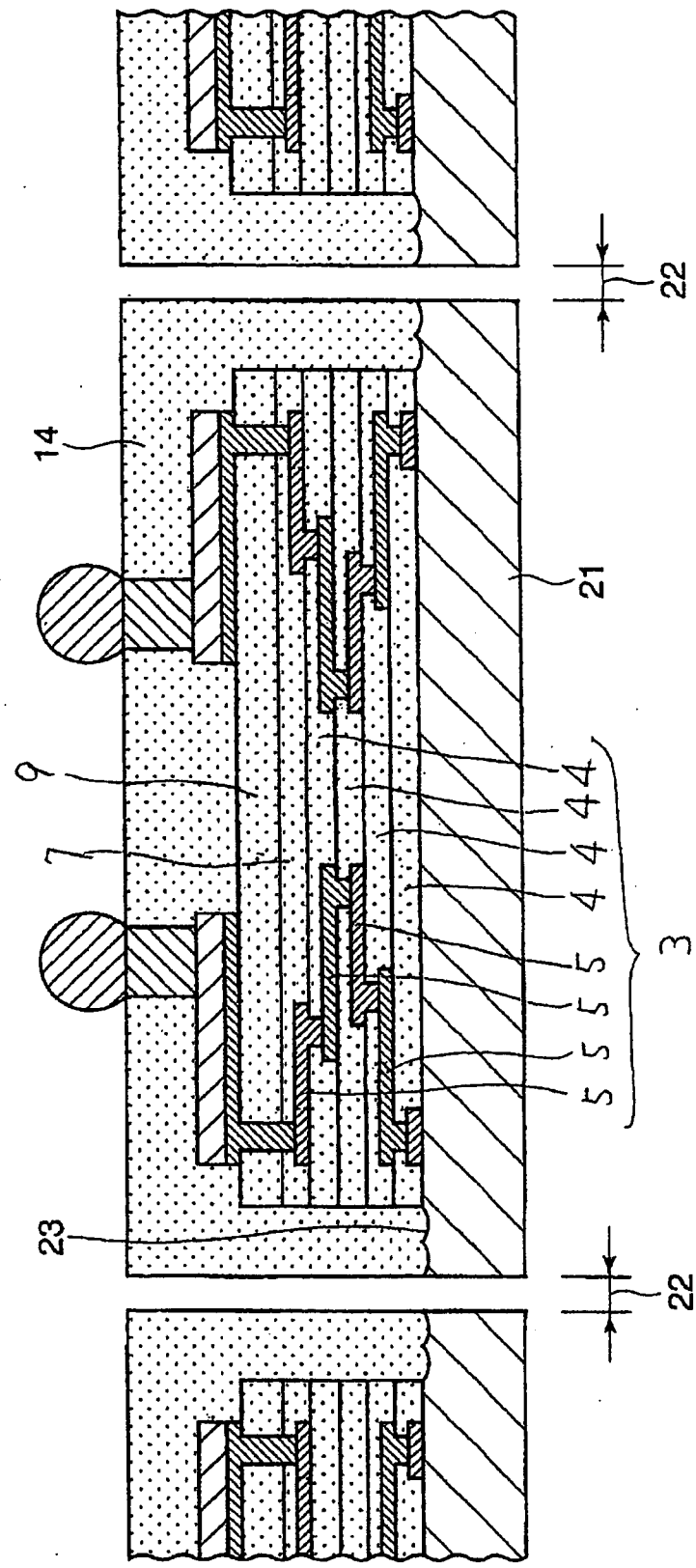
第 11 圖



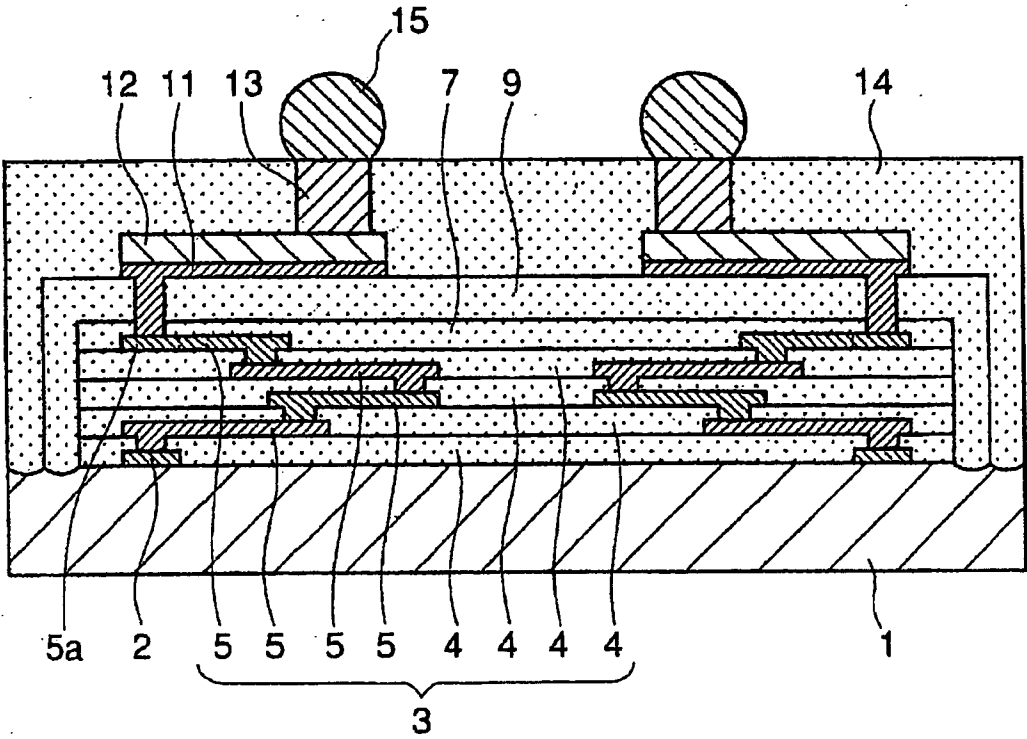
第 12 圖



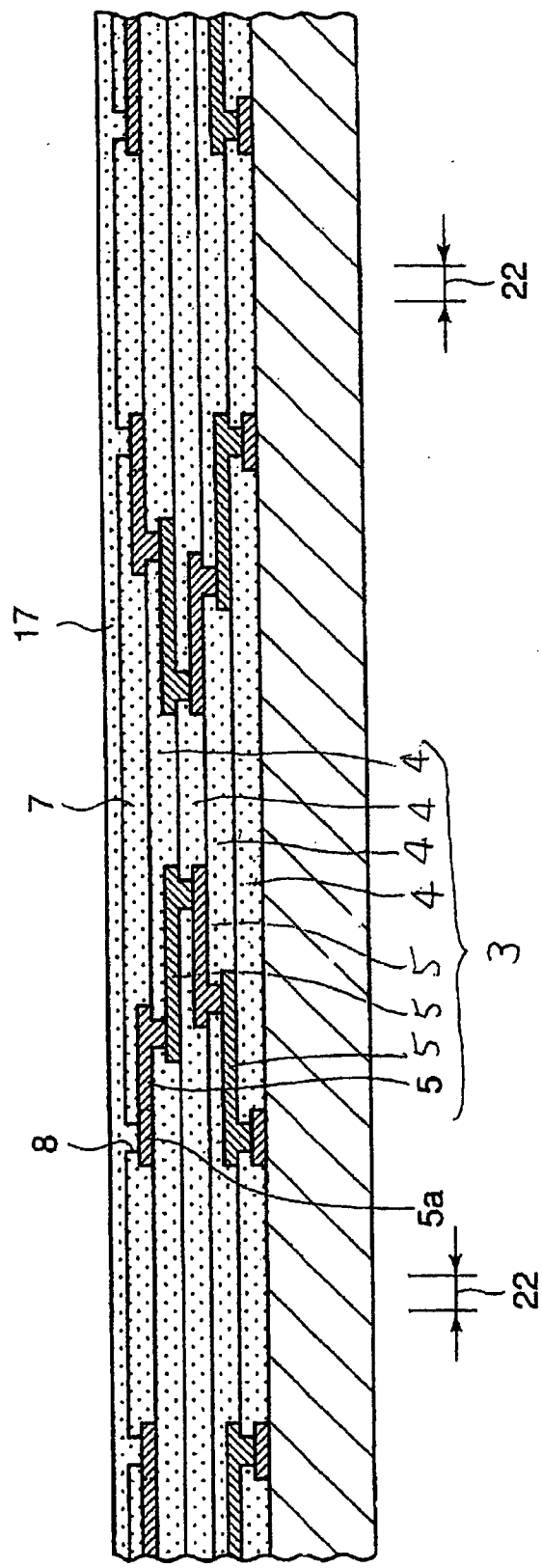
第 13 圖



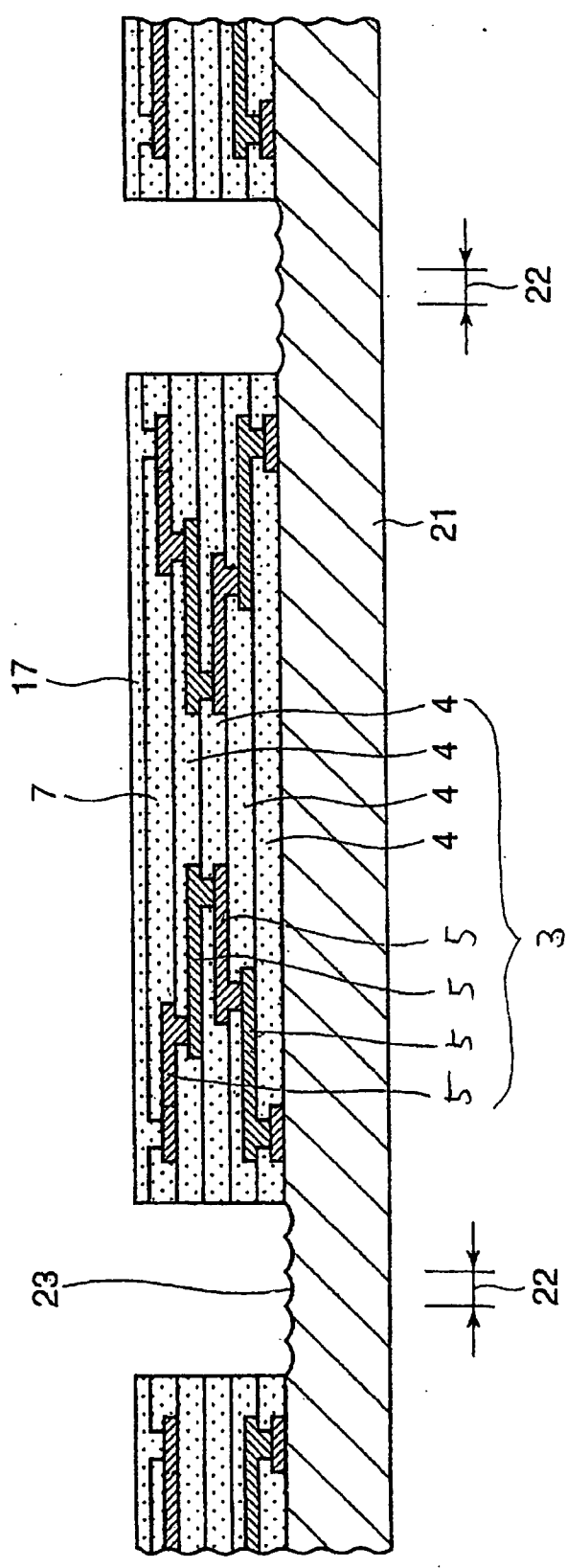
第 14 圖



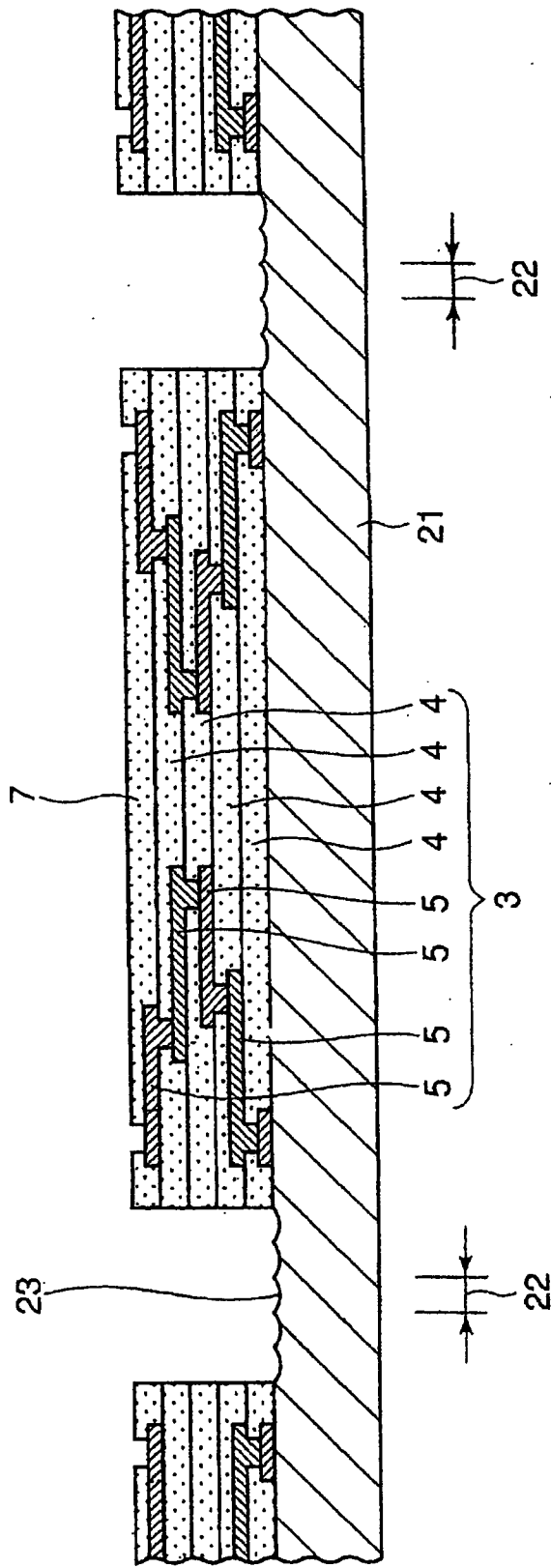
第 15 圖



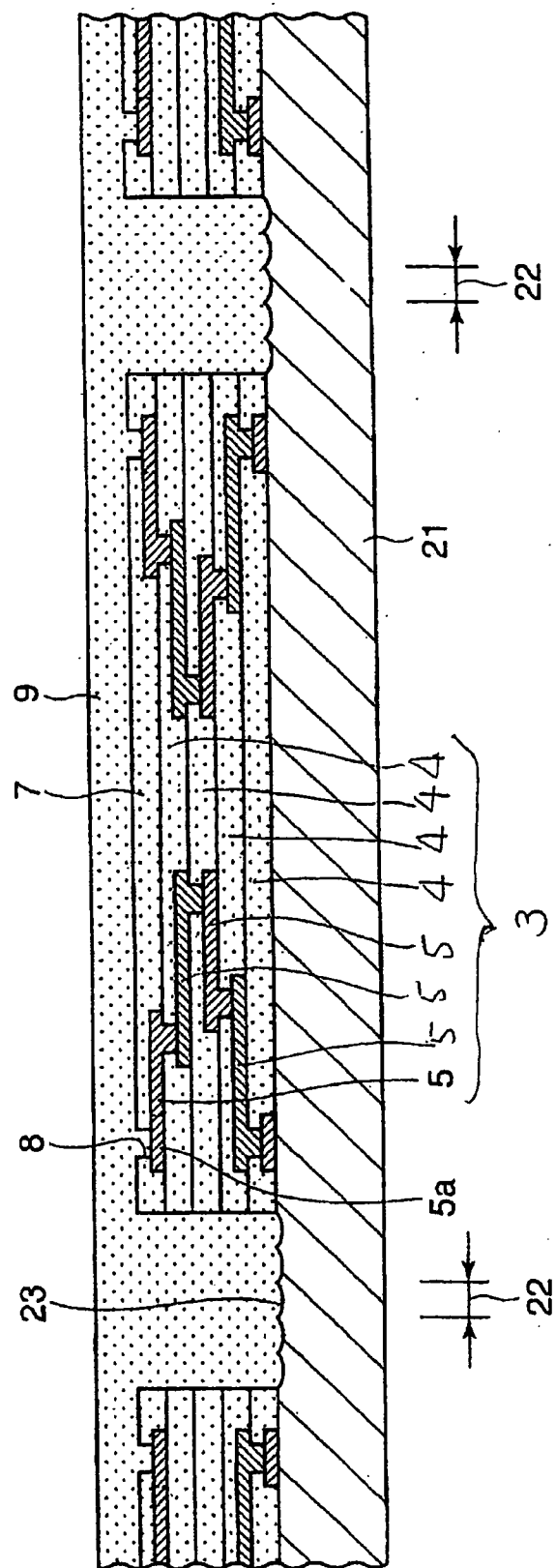
第 16 圖



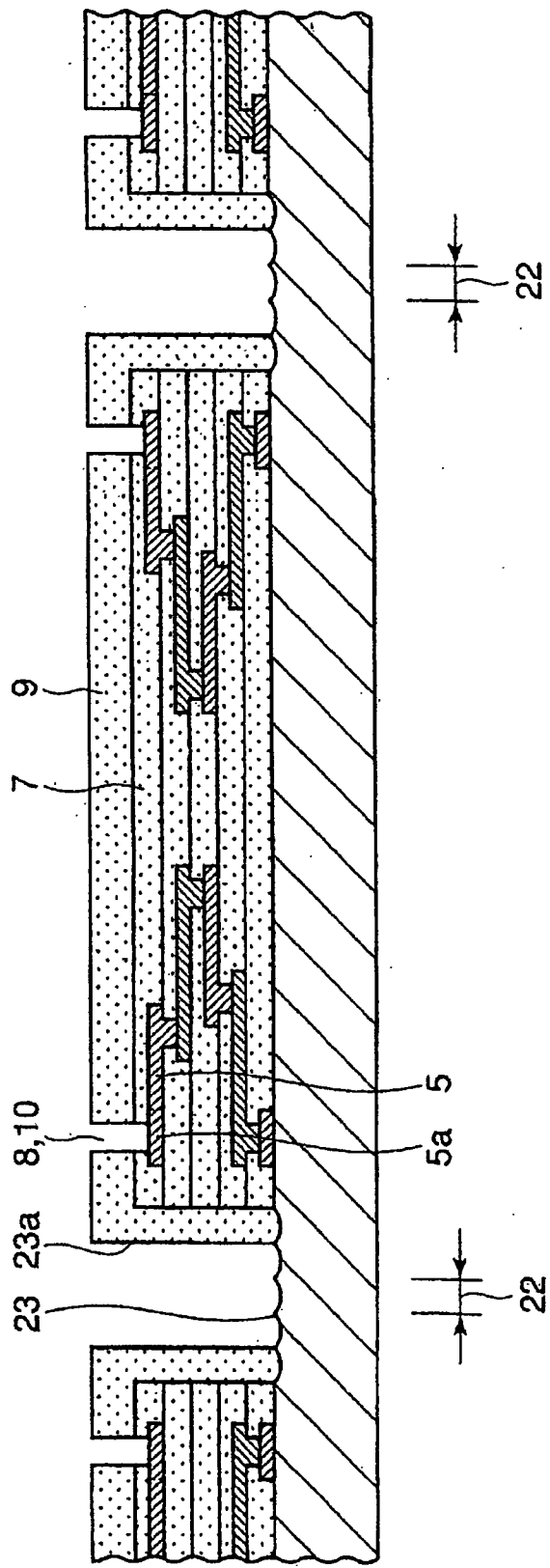
第 17 圖



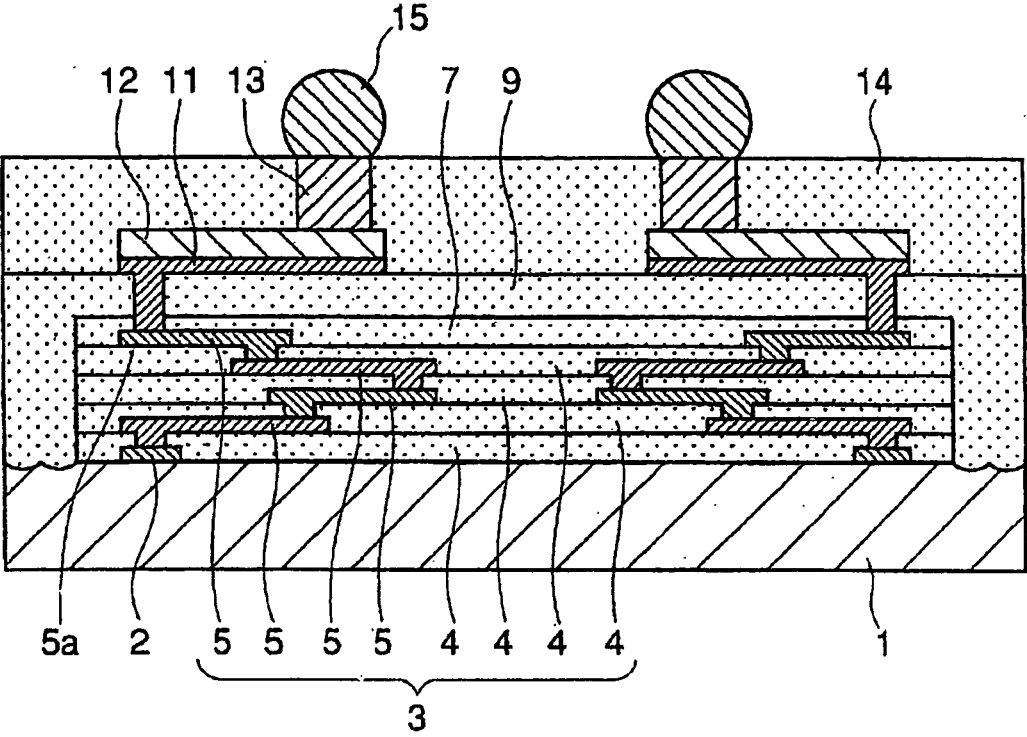
第 18 回



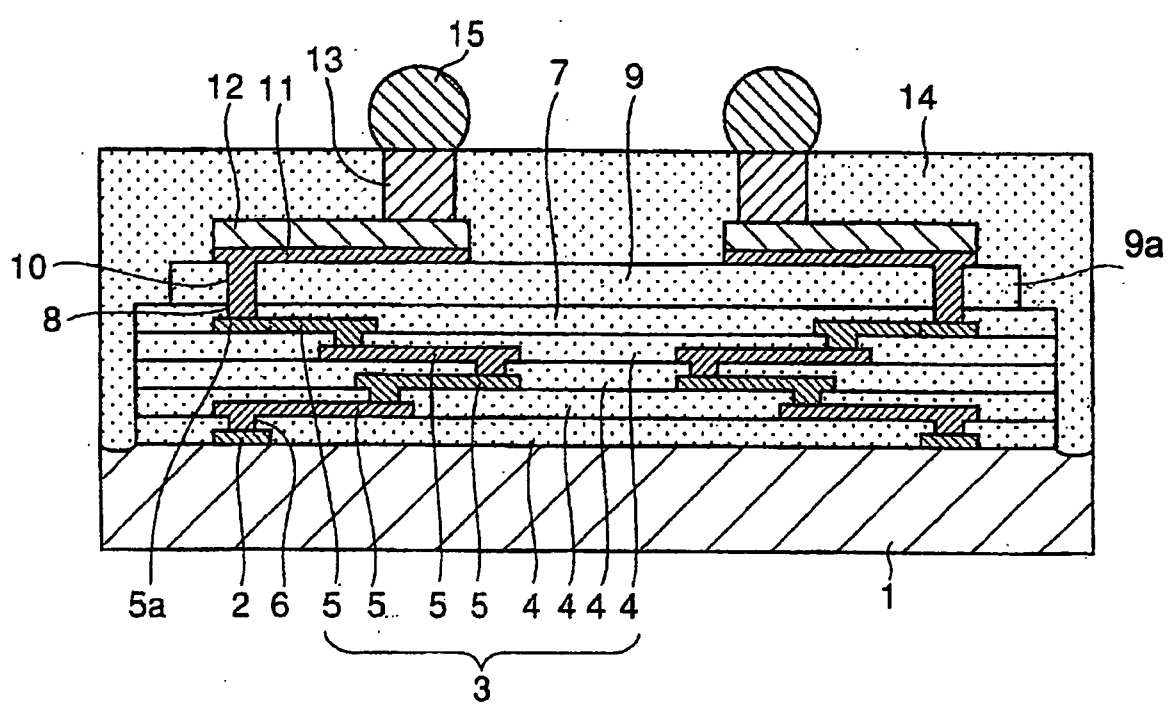
第 19 圖



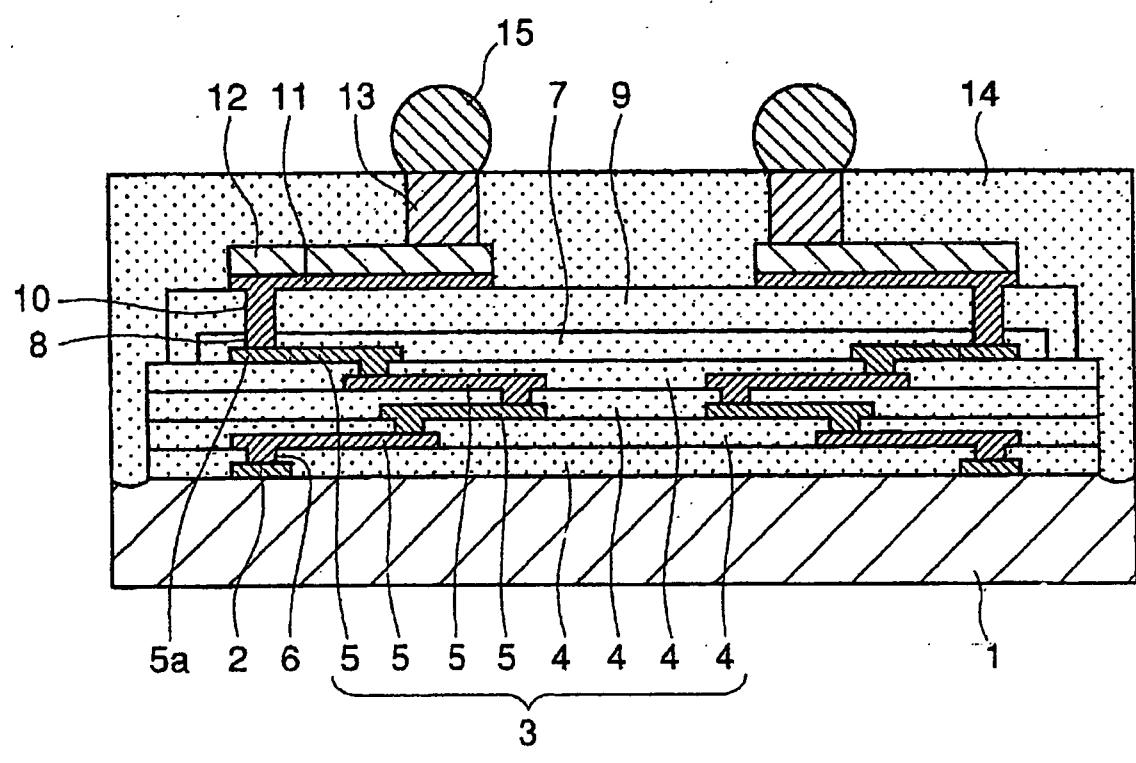
第 20 圖



第 21 圖



第 22 圖



第 23 圖

