



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월11일  
(11) 등록번호 10-1071858  
(24) 등록일자 2011년10월04일

(51) Int. Cl.

G11C 16/02 (2006.01) G11C 16/08 (2006.01)

(21) 출원번호 10-2009-0005421

(22) 출원일자 2009년01월22일

심사청구일자 2009년01월22일

(65) 공개번호 10-2010-0086195

(43) 공개일자 2010년07월30일

(56) 선행기술조사문헌

KR1020060082307 A\*

KR100488380 B1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

임규희

서울 강동구 암사1동 493-14 중앙하이츠 509호

김창일

경기 이천시 부발읍 아미리 현대아파트 706동 1102호

(74) 대리인

신영무

전체 청구항 수 : 총 3 항

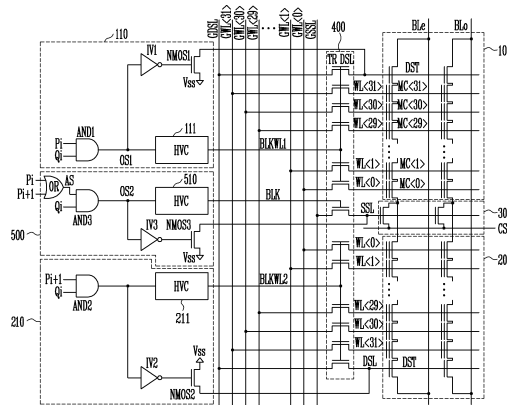
심사관 : 손윤식

(54) 플래시 메모리 소자

(57) 요약

본 발명은 플래시 메모리 소자에 관한 것으로, 다수의 메모리 셀과 드레인 선택 트랜지스터가 직렬 연결된 제1 및 제2 메모리 블럭, 및 상기 제1 및 제2 메모리 블럭과 공통 소스 라인 사이에 공통으로 연결되는 공통 소스 스위칭부를 포함하며, 상기 공통 소스 스위칭부는 소스 선택 트랜지스터를 포함하며, 상기 소스 선택 트랜지스터는 상기 제1 및 제2 메모리 블럭 각각의 상기 다수의 메모리 셀 중 최외각 메모리 셀과 상기 공통 소스 라인 사이에 공통으로 연결되는 플래시 메모리 소자를 개시한다.

대표도 - 도1



**특허청구의 범위**

**청구항 1**

노드와 비트라인 사이에 직렬 연결된 다수의 메모리 셀과 드레인 선택 트랜지스터로 이루어진 스트링을 포함하는 제1 메모리 블록;

상기 노드와 상기 비트라인 사이에 직렬 연결된 다수의 메모리 셀과 드레인 선택 트랜지스터로 이루어진 스트링을 포함하는 제2 메모리 블록;

상기 노드와 공통 소스 라인의 연결을 제어하기 위한 공통 소스 스위치; 및

상기 제1 및 제2 메모리 블록에 대응하는 블록 어드레스 신호들에 응답하여 상기 공통 소스 스위치를 제어하기 위한 제어부를 포함하는 플래시 메모리 소자.

**청구항 2**

청구항 2은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 공통 소스 스위치는 소스 선택 트랜지스터를 포함하며,

상기 소스 선택 트랜지스터는 상기 제1 및 제2 메모리 블록 각각의 상기 다수의 메모리 셀 중 최외각 메모리 셀과 상기 공통 소스 라인 사이에 공통으로 연결되는 플래시 메모리 소자.

**청구항 3**

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 공통 소스 스위치는 상기 제1 및 제2 메모리 블록 중 적어도 하나 이상의 메모리 블록이 선택될 때 상기 공통 소스 라인과 상기 제1 및 제2 메모리 블록을 연결하는 플래시 메모리 소자.

**청구항 4**

청구항 4은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 제1 및 제2 메모리 블록에 각각 대응하는 상기 블록 어드레스 신호들에 응답하여 블록 선택 신호를 출력하는 제1 및 제2 블록 디코더; 및

상기 블록 선택 신호에 응답하여 다수의 글로벌 워드라인 및 글로벌 드레인 선택 라인을 상기 제1 및 제2 메모리 블록의 다수의 워드라인 및 드레인 선택 라인에 각각 연결하고, 상기 제어부에서 출력되는 블록 인에이블 신호에 응답하여 글로벌 소스 선택 라인과 상기 공통 소스 스위치의 소스 선택 라인을 연결하는 패스부를 더 포함하는 플래시 메모리 소자.

**청구항 5**

청구항 5은(는) 설정등록료 납부시 포기되었습니다.

제 4 항에 있어서,

상기 제어부는 상기 블록 어드레스 신호들 중 적어도 어느 하나가 인에이블되면 상기 블록 인에이블 신호를 생성하여 출력하는 플래시 메모리 소자.

**청구항 6**

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제 4 항에 있어서,

상기 제어부는 상기 블록 어드레스 신호들과 인에이블 신호를 논리 조합하여 동작 신호를 생성하는 동작 신호 생성부;

상기 동작 신호에 응답하여 상기 블록 인에이블 신호를 생성하는 고전압 발생부; 및

상기 동작 신호에 응답하여 상기 소스 선택 라인과 접지 전압을 연결하거나 분리하는 스위칭부를 포함하는 플래시 메모리 소자.

**청구항 7**

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제 4 항에 있어서,

상기 제1 및 제2 블록 디코더는 상기 제1 및 제2 메모리 블록 중 비 선택된 메모리 블록의 상기 드레인 선택 라인에 접지 전압을 인가하여 상기 드레인 선택 트랜지스터를 턴오프시키는 플래시 메모리 소자.

**청구항 8**

소스 선택 트랜지스터, 다수의 메모리 셀, 및 드레인 선택 트랜지스터가 직렬 연결된 제1 및 제2 메모리 블록; 및

상기 제1 및 제2 메모리 블록에 대응하는 블록 어드레스 신호들에 응답하여 상기 소스 선택 트랜지스터를 제어하는 제어부를 포함하며,

상기 제1 및 제2 메모리 블록은 상기 소스 선택 트랜지스터를 공유하여 공통 소스 라인과 연결된 플래시 메모리 소자.

**청구항 9**

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

제 8 항에 있어서,

**청구항 10**

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제 8 항에 있어서,

상기 제1 및 제2 메모리 블록 중 비 선택된 메모리 블록의 상기 드레인 선택 트랜지스터는 상기 공통 소스 라인과 비트라인을 분리하는 플래시 메모리 소자.

**청구항 11**

삭제

**청구항 12**

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

제 8 항에 있어서,

상기 제어부는 상기 블록 어드레스 신호들 중 적어도 어느 하나가 인에이블되면 블록 인에이블 신호를 생성하여 출력하는 플래시 메모리 소자.

**청구항 13**

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

제 12 항에 있어서,

상기 블럭 인에이블 신호에 응답하여 글로벌 소스 선택 라인과 상기 소스 선택 트랜지스터의 게이트를 연결하는 패스부를 더 포함하는 플래시 메모리 소자.

**청구항 14**

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

제 8 항에 있어서,

상기 제1 및 제2 메모리 블럭에 각각 대응하는 블럭 어드레스 신호들에 응답하여 블럭 선택 신호를 출력하는 제 1 및 제2 블럭 디코더를 더 포함하는 플래시 메모리 소자.

**청구항 15**

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제 14 항에 있어서,

상기 제1 및 제2 블럭 디코더는 상기 제1 및 제2 메모리 블럭이 비선택될 때 상기 드레인 트랜지스터에 접지 전압을 인가하는 플래시 메모리 소자.

**청구항 16**

다수의 메모리 셀과 드레인 선택 트랜지스터가 직렬 연결된 다수의 메모리 블럭;

상기 다수의 메모리 블럭과 공통 소스 라인 사이에 공통으로 연결되는 공통 소스 스위칭부; 및

상기 다수의 메모리 블럭에 대응하는 블럭 어드레스들 신호에 응답하여 상기 공통 소스 스위칭부의 소스 선택 라인에 접지 전압을 인가하거나, 블럭 인에이블 신호를 생성하여 출력하는 제어부를 포함하는 플래시 메모리 소자.

**청구항 17**

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 공통 소스 스위칭부는 소스 선택 트랜지스터를 포함하며,

상기 소스 선택 트랜지스터는 상기 다수의 메모리 블럭 각각의 상기 다수의 메모리 셀 중 최외각 메모리 셀과 상기 공통 소스 라인 사이에 공통으로 연결되는 플래시 메모리 소자.

**청구항 18**

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 공통 소스 스위칭부는 상기 다수의 메모리 블럭 중 적어도 하나 이상의 메모리 블럭이 선택될 때 상기 공통 소스 라인과 상기 다수의 메모리 블럭을 연결하는 플래시 메모리 소자.

**청구항 19**

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 다수의 메모리 블럭에 각각 대응하는 상기 블럭 어드레스 신호들에 응답하여 블럭 선택 신호를 출력하는 다수의 블럭 디코더; 및

상기 블럭 선택 신호에 응답하여 다수의 글로벌 워드라인 및 글로벌 드레인 선택 라인을 상기 다수의 메모리 블럭의 다수의 워드라인 및 드레인 선택 라인에 각각 연결하고, 상기 블럭 인에이블 신호에 응답하여 글로벌 소스 선택 라인과 상기 소스 선택 라인을 연결하는 패스부를 더 포함하는 플래시 메모리 소자.

**청구항 20**

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 제어부는 상기 블럭 어드레스 신호들 중 적어도 어느 하나가 인에이블되면 상기 블럭 인에이블 신호를 생성하여 출력하는 플래시 메모리 소자.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 플래시 메모리 소자에 관한 것으로, 특히 면적을 감소시켜 소자의 집적도를 개선할 수 있는 플래시 메모리 소자에 관한 것이다.

**배경기술**

[0002] 최근 들어 전기적으로 프로그램(program)과 소거(erase)가 가능하고, 일정 주기로 데이터를 재작성 해야하는 리프레시(refresh) 기능이 필요 없는 반도체 메모리 소자의 수요가 증가하고 있다. 그리고 더 많은 용량의 데이터를 저장할 수 있는 대용량 메모리 소자의 개발을 위해서 메모리 소자의 고집적화에 대한 기술이 연구되고 있다.

[0003] 이에 따라 플래시 메모리에 관한 연구가 활발히 진행되고 있다. 플래시 메모리는 일반적으로 NAND형 플래시 메모리와 NOR형 플래시 메모리로 구분된다. NOR형 플래시 메모리는 메모리 셀들이 각각 독립적으로 비트라인과 워드라인에 연결되는 구조를 가지므로 랜덤 액세스 시간 특성이 우수하다. 반면, NAND형 플래시 메모리는 복수개의 메모리 셀들이 직렬로 연결되어 셀 스트링(string) 당 한 개의 컨택(contact)만이 필요하므로 집적도면에서 우수한 특성을 갖는다. 따라서, 고집적 플래시 메모리에는 주로 NAND형 구조가 사용된다.

[0004] 낸드형 플래시 메모리 소자는 드레인 선택 트랜지스터(Drain Select Transistor)와 소스 선택 트랜지스터(Source Select Transistor) 사이에 16개 또는 32개 단위로 셀들이 스트링(String) 형태로 직렬 연결되어 있다. 동일 워드라인(Word Line)을 공유하고 있는 셀 스트링을 그룹지어 하나의 블럭(Block)으로 정의한다. 이러한 메모리 블럭은 두 쌍씩 대칭적으로 이루어져 있으며, 블럭에 인가되는 전압의 상태에 따라 리드 동작을 위해 선택된 블럭과 선택되지 않은 블럭으로 나뉘게 된다.

[0005] 이러한 메모리 블럭은 다수개의 메모리 셀과 드레인 선택 트랜지스터 및 소스 선택 트랜지스터를 각각 포함하므로 소자에서 차지하는 면적이 크다.

**발명의 내용**

**해결하고자하는 과제**

[0006] 본 발명이 이루고자 하는 기술적 과제는 두개의 메모리 블럭이 하나의 소스 선택 트랜지스터부를 공유하여 소자의 면적을 감소시켜 소자의 넷 다이(Net Die)를 증가시켜 소자의 집적도를 개선할 수 있는 플래시 메모리 소자

를 제공하는 데 있다.

**과제 해결수단**

- [0007] 본 발명의 일 실시 예에 따른 플래시 메모리 소자는 다수의 메모리 셀과 드레인 선택 트랜지스터가 직렬 연결된 제1 및 제2 메모리 블럭, 및 상기 제1 및 제2 메모리 블럭과 공통 소스 라인 사이에 공통으로 연결되는 공통 소스 스위칭부를 포함한다.
- [0008] 상기 공통 소스 스위칭부는 소스 선택 트랜지스터를 포함하며, 상기 소스 선택 트랜지스터는 상기 제1 및 제2 메모리 블럭 각각의 상기 다수의 메모리 셀 중 최외각 메모리 셀과 상기 공통 소스 라인 사이에 공통으로 연결된다.
- [0009] 상기 공통 소스 스위칭부는 상기 제1 및 제2 메모리 블럭 중 적어도 하나 이상의 메모리 블럭이 선택될 때 상기 공통 소스 라인과 상기 제1 및 제2 메모리 블럭을 연결한다.
- [0010] 상기 제1 및 제2 메모리 블럭에 각각 대응하는 블럭 어드레스 신호들에 응답하여 블럭 선택 신호를 출력하는 제1 및 제2 블럭 디코더와, 상기 블럭 어드레스 신호들에 응답하여 상기 공통 소스 스위칭부의 소스 선택 라인에 접지 전압을 인가하거나, 블럭 인에이블 신호를 생성하여 출력하는 제어부, 및 상기 블럭 선택 신호에 응답하여 다수의 글로벌 워드라인 및 글로벌 드레인 선택 라인을 상기 제1 및 제2 메모리 블럭의 다수의 워드라인 및 드레인 선택 라인에 각각 연결하고, 상기 블럭 인에이블 신호에 응답하여 글로벌 소스 선택 라인과 상기 소스 선택 라인을 연결하는 패스부를 더 포함한다.
- [0011] 상기 제어부는 상기 블럭 어드레스 신호들 중 적어도 어느 하나가 인에이블되면 상기 블럭 인에이블 신호를 생성하여 출력한다.
- [0012] 상기 제어부는 상기 블럭 어드레스 신호들과 인에이블 신호를 논리 조합하여 동작 신호를 생성하는 동작 신호 생성부와, 상기 동작 신호에 응답하여 상기 블럭 인에이블 신호를 생성하는 고전압 발생부, 및 상기 동작 신호에 응답하여 상기 소스 선택 라인과 접지 전압을 연결하거나 분리하는 스위칭부를 포함한다.
- [0013] 상기 제1 및 제2 블럭 디코더는 상기 제1 및 제2 메모리 블럭 중 비 선택된 메모리 블럭의 상기 드레인 선택 라인에 접지 전압을 인가하여 상기 드레인 선택 트랜지스터를 턴오프시킨다.

**효과**

- [0014] 본 발명의 일 실시 예에 따르면, 두개의 메모리 블럭이 하나의 소스 선택 트랜지스터부를 공유하여 소자의 면적을 감소시켜 소자의 넷 다이(Net Die)를 증가시켜 소자의 집적도를 개선할 수 있는 플래시 메모리 소자를 제공하는 데 있다.

**발명의 실시를 위한 구체적인 내용**

- [0015] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허청구범위에 의해서 이해되어야 한다.
- [0016] 도 1은 본 발명의 일 실시 예에 따른 플래시 메모리 소자의 회로도이다.
- [0017] 도 1을 참조하면, 플래시 메모리 소자는 다수의 메모리 블럭(100 및 200), 다수의 메모리 블럭을 공통 소스 라인(CSL)에 연결하는 공통 소스 스위칭부(300), 다수의 메모리 블럭(100 및 200)의 워드라인들(WL<0~31>) 및 드레인 선택 라인(DSL)을 각각 글로벌 워드라인들(GWL<0~31>) 및 글로벌 드레인 선택 라인(GDSL)에 연결하고, 공통 소스 스위칭부(300)의 소스 선택 라인(SSL)과 글로벌 소스 선택 라인(GSSL)을 연결하는 패스부(400), 패스부

(400)에 블럭 선택 신호(BLKWL1, BLKWL2)를 인가하는 다수의 블럭 디코더(110, 210), 및 공통 소스 스위칭부(300)의 소스 선택 라인(SSL)을 제어하는 제어부(500)를 포함한다.

[0018] 다수의 메모리 블럭(100 및 200)은 구조가 동일하므로 하나의 메모리 블럭(100)을 예를 들어 설명한다. 메모리 블럭(100)은 다수의 메모리 셀(MC<0~31>)과 드레인 선택 트랜지스터(DST)과 직렬 연결되어 이븐 또는 오드 비트 라인(BLe 또는 BLo)에 연결되는 다수의 스트링을 포함한다. 이때 최외각의 메모리 셀(MC<0>)은 인접하는 메모리 블럭(200) 및 공통 소스 스위칭부(300)와 공동으로 연결된다.

[0019] 공통 소스 스위칭부(300)는 다수의 메모리 블럭(100 및 200)의 다수의 스트링 각각을 공통 소스 라인에 연결시키는 소스 선택 트랜지스터들(SST)을 포함한다. 즉 하나의 소스 선택 트랜지스터(SST)는 메모리 블럭(100 및 200)의 최외각의 메모리 셀(MC<0>)들과 공통 소스 라인(CSL)과 직렬 연결된다.

[0020] 패스부(400)는 다수의 고전압 트랜지스터(TR)들을 포함하며, 블럭 선택 신호(BLKWL1, BLKWL2)에 응답하여 메모리 블럭(100 및 200)의 워드라인들(WL<0~31>) 및 드레인 선택 라인(DSL)을 각각 글로벌 워드라인들(GWL<0~31>) 및 글로벌 드레인 선택 라인(GDSL)에 연결하고, 공통 소스 스위칭부(300)의 소스 선택 라인(SSL)과 글로벌 소스 선택 라인(GSSL)을 연결한다.

[0021] 다수의 블럭 디코더(110, 210)는 메모리 블럭(100, 200)에 각각 하나씩 대응되도록 구성되며, 그 구조는 동일하므로 하나의 블럭 디코더(110)를 예를 들어 설명한다. 블럭 디코더(110)는 앤드 게이트(AND1), 인버터(IV1), NMOS 트랜지스터(NMOS1), 및 고전압 발생기(111)를 포함한다. 앤드 게이트(AND1)는 디코딩된 블럭 어드레스 신호(Pi)와 인에이블 신호(Qi)을 논리 조합하여 제1 동작 신호(OS1)를 생성한다. 예를 들어 메모리 블럭(100)을 선택할 경우, 하이 레벨의 디코딩된 블럭 어드레스 신호(Pi)와 인에이블 신호(Qi)에 응답하여 하이 레벨의 제1 동작 신호(OS1)가 생성된다. 인버터(IV1)는 제1 동작 신호(OS1)를 반전시켜 NMOS 트랜지스터(NMOS1)의 게이트에 전송한다. NMOS 트랜지스터(NMOS1)는 접지 전원(Vss)과 메모리 블럭(100)의 드레인 선택 라인(DSL) 사이에 접속되고, 인버터(IV1)의 출력 신호에 응답하여 드레인 선택 라인(DSL)을 접지 전원(Vss)과 연결하거나 분리한다. 즉, 메모리 블럭(100)이 선택된 경우 하이 레벨의 제1 동작 신호(OS1)에 의해 드레인 선택 라인(DSL)은 접지 전원(Vss)과 분리되고, 메모리 블럭(100)이 비선택된 경우 로우 레벨의 제1 동작 신호(OS1)에 의해 드레인 선택 라인(DSL)은 접지 전원(Vss)과 연결되어 메모리 블럭(100)의 드레인 선택 트랜지스터(DST)를 턴오프시킨다. 고전압 발생기(111)는 제1 동작 신호(OS1)에 응답하여 고전압의 블럭 선택 신호(BLKWL1)를 생성한다. 예를 들어 메모리 블럭(100)을 선택할 경우 하이 레벨의 제1 동작 신호(OS1)에 응답하여 고전압의 블럭 선택 신호(BLKWL1)를 생성되고, 고전압의 블럭 선택 신호(BLKWL1)는 패스부(400)의 고전압 트랜지스터(TR)들을 턴온시켜 메모리 블럭(100)의 워드라인들(WL<0~31>)과 글로벌 워드라인들(GWL<0~31>)을 각각 연결시킨다.

[0022] 제어부(500)는 오어 게이트(OR), 앤드 게이트(AND3), 인버터(IV3), NMOS 트랜지스터(NMOS3) 및 고전압 발생기(510)를 포함한다.

[0023] 오어 게이트(OR)는 메모리 블럭(100 및 200)을 각각 대응하는 디코딩된 어드레스 신호(Pi, Pi+1)들을 논리 조합하여 조합된 어드레스 신호를 생성한다. 즉, 디코딩된 어드레스 신호(Pi, Pi+1)들 중 적어도 어느 하나가 인에이블되어 하이 레벨로 인가되면 하이 레벨의 조합된 어드레스 신호(AS)를 생성한다. 앤드 게이트(AND3)는 조합된 어드레스 신호(AS)와 인에이블 신호(Qi)를 논리 조합하여 제2 동작 신호(OS2)를 생성한다. 즉, 디코딩된 어드레스 신호(Pi, Pi+1)들 중 적어도 어느 하나가 인에이블되어 하이 레벨로 인가되면 하이 레벨의 제2 동작 신호(OS2)를 생성한다. 인버터(IV3)는 제2 동작 신호(OS2)를 반전시켜 NMOS 트랜지스터(NMOS3)의 게이트에 인가한다. NMOS 트랜지스터(NMOS3)는 공통 소스 스위칭부(300)의 소스 선택 라인(SSL)과 접지 전원(Vss) 사이에 연결되고, 인버터(IV3)의 출력 신호에 응답하여 소스 선택 라인(SSL)과 접지 전원(Vss)을 연결하거나 분리한다. 즉, 디코딩된 어드레스 신호(Pi, Pi+1)들 중 적어도 어느 하나가 인에이블되면 NMOS 트랜지스터(NMOS3)는 턴오프되어 소스 선택 라인(SSL)과 접지 전원(Vss)은 분리되고, 디코딩된 어드레스 신호(Pi, Pi+1)들이 모두 디스에이블 상태이면 NMOS 트랜지스터(NMOS3)가 턴오프되어 소스 선택 라인(SSL)과 접지 전원(Vss)은 연결된다. 고전압 발생기(510)는 제2 동작 신호(OS2)에 응답하여 블럭 인에이블 신호(BLK)를 생성한다. 따라서 블럭 인에이블 신호(BLK)는 메모리 블럭(100 및 200)들 중 적어도 어느 하나가 선택되면 인에이블된다. 블럭 인에이블 신호(BLK)는 패스부(400)에 인가되어 글로벌 소스 선택 라인(GSSL)과 공통 소스 스위칭부(300)의 소스 선택 라인(SSL)을 연결한다.

[0024] 본 발명의 일 실시 예에 따른 플래시 메모리 소자의 동작을 상세히 설명하면 다음과 같다.

[0025] 본 발명의 일 실시 예에서는 메모리 블럭(100)을 선택하여 동작하는 것을 예로 들어 설명한다.





도면

도면1

