



등록특허 10-2758370



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2025년01월21일

(11) 등록번호 10-2758370

(24) 등록일자 2025년01월17일

(51) 국제특허분류(Int. Cl.)
G11C 17/18 (2021.01) *H03K 17/06* (2006.01)
H03K 19/0185 (2006.01)
 (52) CPC특허분류
G11C 17/18 (2013.01)
H03K 17/063 (2013.01)
 (21) 출원번호 10-2023-0120784
 (22) 출원일자 2023년09월12일
 심사청구일자 2023년09월12일
 (56) 선행기술조사문헌
 KR101762919 B1

(73) 특허권자
 국립창원대학교 산학협력단
 경상남도 창원시 의창구 창원대학로 20(퇴촌동)
 (72) 발명자
 김영희
 경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)
 (74) 대리인
 이철희, 고윤호

전체 청구항 수 : 총 9 항

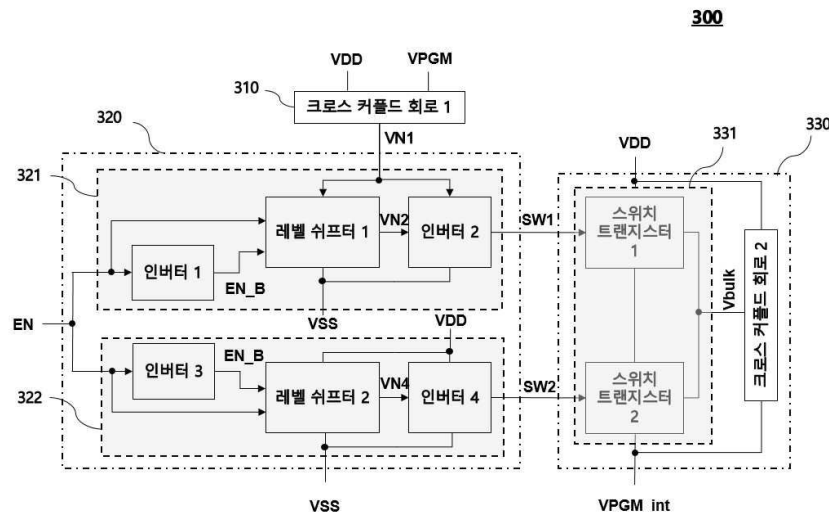
심사관 : 윤석채

(54) 발명의 명칭 프로그램 전압 스위칭회로

(57) 요약

본 발명은 웨이퍼 상태에서는 패드를 통해 프로그램 전압을 제공하지만, 패키지 상태에서는 상기 프로그램 전압 대신 내부의 제1 전원전압을 프로그램에 사용할 수 있도록 회로를 구성하여 패키지 핀의 개수를 감소시킬 수 있는 프로그램 전압 스위칭회로를 제안한다. 상기 프로그램 전압 스위칭회로는, 메모리 셀의 프로그램에 사용되는 내부 프로그램 전압을 생성하는 프로그램 전압 스위칭회로이며, 크로스 커플드 회로 1, 스위치 제어신호 생성회로 및 프로그램 전압 생성회로를 포함한다.

대표도 - 도3



(52) CPC특허분류

H03K 19/018521 (2013.01)

공지예외적용 : 있음

명세서

청구범위

청구항 1

메모리 셀의 프로그램에 사용되는 내부 프로그램 전압을 생성하는 프로그램 전압 스위칭회로에 있어서,

제1 전원전압 및 프로그램 전압 중 하나를 선택하여 제1노드전압으로 출력하는 크로스 커플드 회로 1;

상기 제1노드전압 및 프로그램 인에이블 신호에 응답하여 제1스위치 제어신호 및 제2스위치 제어신호를 생성하는 스위치 제어신호 생성회로; 및

상기 제1스위치 제어신호 및 상기 제2스위치 제어신호를 이용하여 상기 제1 전원전압을 상기 내부 프로그램 전압으로 스위칭하여 출력하는 프로그램 전압 생성회로;를 포함하며,

상기 프로그램 인에이블 신호는 상기 메모리 셀이 패키지 된 상태에서 활성화되며,

상기 제1 전원전압은 상기 메모리 셀의 웨이퍼 상태 및 패키지 상태에서 외부에서 공급할 수 있지만, 상기 프로그램 전압은 상기 메모리 셀의 웨이퍼 상에서는 외부에서 공급할 수 있지만 메모리 셀의 패키지 상태에서는 외부에서 공급하지 않는 프로그램 전압 스위칭회로.

청구항 2

제1항에 있어서, 상기 크로스 커플드 회로 1은,

일 단자가 상기 제1 전원전압에 연결되고 다른 일 단자는 제1 노드에 연결되며 게이트 단자는 상기 프로그램 전압이 인가되는 제1 P형 모스트랜지스터; 및

일 단자는 상기 프로그램 전압이 인가되고 다른 일 단자는 상기 제1 노드에 연결되며 게이트 단자는 상기 제1 전원전압에 연결된 제2 P형 모스트랜지스터;를 포함하며,

상기 제1 노드에서 상기 제1노드전압을 출력하는 프로그램 전압 스위칭회로.

청구항 3

제1항에 있어서, 상기 스위치 제어신호 생성회로는,

상기 제1노드전압 및 상기 프로그램 인에이블 신호에 응답하여 상기 제1스위치 제어신호를 생성하는 제1 스위치 제어신호 생성회로; 및

상기 프로그램 인에이블 신호에 응답하여 상기 제2스위치 제어신호를 생성하는 제2 스위치 제어신호 생성회로;를 포함하는

프로그램 전압 스위칭회로.

청구항 4

제3항에 있어서, 상기 제1 스위치 제어신호 생성회로는,

상기 프로그램 인에이블 신호의 위상을 반전시킨 역 프로그램 인에이블 신호를 생성하는 제1 인버터;

상기 프로그램 인에이블 신호 및 상기 역 프로그램 인에이블 신호에 응답하여 제2 노드전압을 생성하는 제1 레벨 쉬프터; 및

상기 제2 노드전압의 위상을 반전시킨 상기 제1 스위치 제어신호를 생성하는 제2 인버터;를 포함하며,

상기 제1 레벨 쉬프터 및 상기 제2 인버터는 상기 제1노드전압 및 제2 전원전압 사이에서 동작하는 프로그램 전압 스위칭회로.

청구항 5

제3항에 있어서, 상기 제2 스위치 제어신호 생성회로는,

상기 프로그램 인에이블 신호의 위상을 반전시킨 역 프로그램 인에이블 신호를 생성하는 제3 인버터;

상기 프로그램 인에이블 신호 및 상기 역 프로그램 인에이블 신호에 응답하여 제4 노드 전압을 생성하는 제2 레벨 쉬프터; 및

상기 제4 노드전압의 위상을 반전시켜 상기 제2 스위치 제어신호를 생성하는 제4 인버터;를 포함하며,

상기 제2 레벨 쉬프터 및 상기 제4 인버터는 상기 제1 전원전압 및 제2 전원전압 사이에서 동작하는 프로그램 전압 스위칭회로.

청구항 6

제1항에 있어서, 상기 스위치 제어신호 생성회로는,

상기 제1 스위치 제어신호 및 상기 제2 스위치 제어신호에 응답하여 상기 제1 전원전압을 상기 내부 프로그램 전압으로 스위칭하는 스위칭부를 포함하는 프로그램 전압 스위칭회로.

청구항 7

제6항에 있어서, 상기 스위칭부는,

상기 제1 스위치 제어신호에 응답하여 일 단자로 인가되는 상기 제1 전원전압을 다른 일 단자로 스위칭하는 제1 스위치 트랜지스터; 및

상기 제2 스위치 제어신호에 응답하여 일 단자로 인가되는 상기 제1 스위치 트랜지스터에서 스위칭 된 상기 제1 전원전압을 스위칭하여 다른 일 단자를 통해 상기 내부 프로그램 전압으로 출력하는 제2 스위치 트랜지스터;를

포함하는 프로그램 전압 스위칭회로.

청구항 8

제7항에 있어서, 상기 스위치 제어신호 생성회로는,

상기 스위칭부를 구성하는 상기 제1 스위치 트랜지스터 및 상기 제2 스위치 트랜지스터의 벌크의 전압준위를 제어하는 제2 크로스 커플드 회로를 더 포함하는 프로그램 전압 스위칭회로.

청구항 9

제8항에 있어서, 상기 제2 크로스 커플드 회로는,

일 단자가 상기 제1 전원전압에 연결되고 다른 일 단자는 상기 제1 스위치 트랜지스터 및 상기 제2 스위치 트랜지스터의 벌크단자에 각각 연결되며 게이트 단자에는 상기 내부 프로그램 전압이 인가되는 제11 P형 모스트랜지스터; 및

일 단자가 상기 내부 프로그램 전압에 연결되고 다른 일 단자는 상기 제1 스위치 트랜지스터 및 상기 제2 스위치 트랜지스터의 벌크단자에 연결되며 게이트 단자는 제1 전원전압(VDD)과 연결된 제12 P형 모스트랜지스터;를

포함하는 프로그램 전압 스위칭회로.

발명의 설명

기술 분야

본 발명은 eFuse OTP 메모리에 관한 것으로, 특히, 패키지의 핀을 추가하지 않으면서도 패키지의 내부에서 상기 메모리에 포함된 셀을 프로그램하는데 사용되는 내부 프로그램 전압을 생성하는 프로그램 전압 스위칭회로에 관한 것이다.

배경 기술

[0001]

- [0002] 1(one)회만 프로그램할 수 있는(One Time Programmable, 이하 OTP) 읽기 전용 메모리(Read Only Memory, ROM)은 메모리 셀에 프로그램된 이후의 데이터는 더 이상 수정할 수 없고 읽을 수만 있는 메모리 장치이다. 특히 eFuse(electrical Fuse) OTP 메모리 장치는, 메모리 장치 내부에 형성된 eFuse에 과전류(High Current)를 흘려 eFuse가 개방(open) 되도록 하여, eFuse 양단자 사이가 상당히 큰 저항값을 가지도록 하거나, 과전류를 흘리지 않고 그대로 두어 상당히 작은 크기의 저항 값을 가지도록 한다. 여기서 eFuse 양 단자의 저항값은 eFuse의 재질, 두께 및 길이에 따라 다르며, eFuse의 재질은 메탈 및 다결정 실리콘 등 다양하게 선택될 수 있다.
- [0003] 예를 들면, 전기적으로 연결된 상태의 eFuse 양단의 저항 값은 50~100Ω(Ohm) 정도가 될 수 있고, 전기적으로 개방된 상태의 eFuse 양단의 저항 값은 수십kΩ 이상이 된다.
- [0004] 1회만 프로그램할 수 있는 읽기 전용 메모리(이하, eFuse OTP 메모리)는 1 비트의 데이터를 전도 상태(conductive state) 및 고저항 상태(high resistive state) 상태 중 하나로 프로그램하며, 이러한 사실은 이 분야의 통상의 기술자에게는 자명한 사실이므로 여기서는 설명을 생략한다.
- [0005] 본 발명의 취지에 대한 이해를 돕기 위하여, 프로그램의 대상으로 선택한 듀얼 포트 eFuse OTP 셀의 구성 및 동작에 대해 설명한다.
- [0006] 도 1은 종래의 듀얼 포트 eFuse OTP 셀의 일 실시 예를 나타낸다.
- [0007] 도 1을 참조하면, 듀얼 포트 eFuse OTP 셀(100)은 eFuse OTP 메모리 장치(미도시)에 포함되며 2개의 트랜지스터(MN1, MN2) 및 하나의 eFuse를 포함한다.
- [0008] 읽기 전용 NMOS 트랜지스터인 제1 트랜지스터(MN1)는 일 단자가 비트라인(BL)에 연결되고 게이트 단자는 RWL(Read Word-Line)과 연결된다.
- [0009] 프로그램 전용 NMOS 트랜지스터인 제2 트랜지스터(MN2)은 일 단자가 제1 트랜지스터(MN1)의 다른 일 단자에 연결되고 다른 일 단자는 제2 전원전압(VSS)에 연결되며 게이트 단자는 WWL(Write Word-Line)과 연결된다. 후술하겠지만, 제1 전원전압(VDD)은 제2 전원전압(VSS)에 비해 전압준위가 높은 전원으로 기재될 것이다. 실시 예에 따라서는, 제2 전원전압(VSS)은 접지전압(GND) 즉 0V 전압과 동일한 전원으로 사용될 수도 있다.
- [0010] eFuse는 일 단자가 선택라인(SL)에 연결되고 다른 일 단자는 제1 트랜지스터(MN1) 및 제2 트랜지스터(MN2)의 공통 단자에 연결된다.
- [0011] 일반적으로 eFuse OTP 메모리에 포함되는 복수의 eFuse OPT 셀을 프로그램할 때, 프로그램의 대상으로 선택된 eFuse OPT 셀에 로직 하이 데이터를 저장하고자 하는 경우, 입력 데이터(DIN, 미도시)로 제1 전원전압(VDD)을 인가하고 입력 제어신호인 PGM 신호(미도시)에 하이 펄스(high pulse)를 인가하면, 선택라인(SL) 및 WWL에 프로그램 전압(VPGM)이 인가된다.
- [0012] 설명의 편의를 위해, 제1 전원전압(VDD)의 전압준위를 3.3V(Volts), 제2 전원전압(VSS)의 전압준위를 0V 그리고 프로그램 전압(VPGM)의 전압준위를 4.6V라고 가정한다.
- [0013] 도 2는 종래의 듀얼 포트 eFuse OTP 셀의 프로그램 과정을 나타낸다.
- [0014] 도 2의 좌측은 저장하고자 하는 데이터가 논리 로우(DIN이 '0')일 때의 eFuse OTP 셀로, 게이트 단자에 문턱전압 이상의 전압(4.6V)이 인가되므로 제2 트랜지스터(MN2)는 턴 온 상태를 유지하지만 선택라인(SL)에 0V 전압이 인가되므로, 선택라인(SL), eFuse, 제2 트랜지스터(MN2) 및 제2 전원전압(VSS) 사이에 전류가 흐르지 않기 때문에, eFuse는 단락 상태를 유지한다.
- [0015] 도 2의 우측은 저장하고자 하는 데이터가 논리 하이일 때(DIN이 '1')의 eFuse OTP 셀로, 게이트 단자에 문턱전압 이상의 전압(4.6V)이 인가되므로 제2 트랜지스터(MN2)는 턴 온 상태를 유지하고 선택라인(SL)에 프로그램 전압(VPGM)인 4.6V가 인가되므로, 선택라인(SL), eFuse, 제2 트랜지스터(MN2) 및 제2 전원전압(VSS) 사이에 전류가 흐르게 되며, 일정시간 전류가 흐르게 되면 전기 에너지에 의해 저항 값이 50~100Ω인 eFuse는 폭발(blow)하게 되고 따라서 선택라인(SL), eFuse, 제2 트랜지스터(MN2) 및 제2 전원전압(VSS) 사이에 전류가 차단(개방)된다.
- [0016] 상기와 같이 원하는 논리값으로 프로그램된 셀은, 이하에서 설명하는 읽기 모드에서, 제1 트랜지스터(MN1) 및 제2 트랜지스터(MN2)가 턴 온되었을 때, 선택된 eFuse OTP 셀에 저장된 데이터를 읽을 수 있다.
- [0017] 읽기 모드에서 비트라인(BL)은 VDD(3.3V)로 프리차지(pre-charge) 되어 있고 선택라인(SL)은 0V이므로, 해당 셀

의 eFuse가 폭발하지 않고 그대로 유지되는 경우에는 비트라인(BL)의 프리차지 전압은 선택라인(SL)으로 방전되므로 결국 비트라인(BL)의 전압준위는 0V가 되며, 해당 셀의 eFuse가 폭발한 경우에는 비트라인(BL)의 전압을 그대로 유지하여 3.3V가 될 것이다.

- [0018] 즉, 읽기 모드에서 해당 eFuse OTP 셀과 연결된 비트라인(BL)의 전압 준위를 검출하면 해당 eFuse OTP 셀에 프로그램된 논리 값을 읽을 수 있다.
- [0019] 프로그램 전압(VPGM)은 듀얼 포트 eFuse OTP 셀(100)의 프로그램에는 반드시 사용되어야 하지만 프로그램 이외에는 사용되지 않는 것이 일반적이기 때문에, 프로그램 전압(VPGM)을 생성하는 회로를 eFuse OTP 메모리에 별도로 형성시키지 않는다.
- [0020] 웨이퍼 상태의 듀얼 포트 eFuse OTP 셀(100)의 테스트를 위해서는 웨이퍼 상태에서는 패드를 통해 프로그램 전압(VPGM)이 공급되어야 한다.
- [0021] 특히 프로그램은 패키지 된 상태에서 사용되기 때문에, 프로그램 전압(VPGM)을 패키지의 외부에서 패키지 내부로 공급하기 위해서는 패키지 핀이 반드시 필요하다.
- [0022] 상술한 바와 같이, 종래의 듀얼 포트 eFuse OTP 셀(100)을 프로그램 하기 위해서는 프로그램 전압(VPGM)이 인가되어야 하지만, 프로그램 전압(VPGM)은 eFuse OTP 메모리 내부에서 별도로 생성시키지 않고 웨이퍼 또는 패키지의 외부에서 공급하여야 하는데, 특히 패키지에 별도의 핀을 설치하는 것은 패키지의 크기를 증가시키는 단점을 유발한다.

발명의 내용

해결하려는 과제

- [0023] 본 발명이 해결하고자 하는 기술적 과제는, 웨이퍼 상태에서는 패드를 통해 프로그램 전압을 제공하지만, 패키지 상태에서는 상기 프로그램 전압 대신 내부의 제1 전원전압을 프로그램에 사용할 수 있도록 회로를 구성하여 패키지 핀의 개수를 감소시킬 수 있는 프로그램 전압 스위칭회로를 제공하는 것에 있다.
- [0024] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0025] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 프로그램 전압 스위칭회로는, 메모리 셀의 프로그램에 사용되는 내부 프로그램 전압을 생성하는 프로그램 전압 스위칭회로이며, 크로스 커플드 회로 1, 스위치 제어신호 생성회로 및 프로그램 전압 생성회로를 포함한다.
- [0026] 상기 크로스 커플드 회로 1는 제1 전원전압 및 프로그램 전압 중 하나를 선택하여 제1노드전압으로 출력한다. 상기 스위치 제어신호 생성회로는 상기 제1노드전압 및 프로그램 인에이블 신호에 응답하여 제1스위치 제어신호 및 제2스위치 제어신호를 생성한다. 상기 프로그램 전압 생성회로는 상기 제1스위치 제어신호 및 상기 제2스위치 제어신호를 이용하여 상기 제1 전원전압을 상기 내부 프로그램 전압으로 스위칭 하여 출력한다. 상기 프로그램 인에이블 신호는 상기 메모리 셀이 패키지 된 상태에서 활성화되며, 상기 제1 전원전압은 상기 메모리 셀의 웨이퍼 상태 및 패키지 상태에서 외부에서 공급할 수 있지만, 상기 프로그램 전압은 상기 메모리 셀의 웨이퍼 상에서는 외부에서 공급할 수 있지만 메모리 셀의 패키지 상태에서는 외부에서 공급하지 않는다.
- [0027] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 효과

- [0028] 상술한 바와 같은 본 발명에 따른 프로그램 전압 스위칭회로는, 패키지의 핀을 추가하지 않으면서도 패키지의 내부에서 상기 메모리에 포함된 셀을 프로그램하는데 사용되는 내부 프로그램 전압을 생성할 수 있는 장점이 있다.
- [0029] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은

아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0030] 도 1은 종래의 듀얼 포트 eFuse OTP 셀의 일 실시 예를 나타낸다.
- 도 2는 종래의 듀얼 포트 eFuse OTP 셀의 프로그램 과정을 나타낸다.
- 도 3은 본 발명에 따른 프로그램 전압 스위칭회로의 일 실시 예를 나타낸다.
- 도 4는 본 발명에 따른 프로그램 전압 스위칭회로의 구체적인 일 실시 예를 나타낸다.
- 도 5는 웨이퍼 상태에서 본 발명에 따른 프로그램 전압 스위칭회로의 동작을 나타낸다.
- 도 6은 패키지 상태에서 본 발명에 따른 프로그램 전압 스위칭회로의 동작을 나타낸다.
- 도 7은 eFuse OTP 메모리를 구성하는 로우 구동회로를 나타낸다.
- 도 8은 eFuse OTP 메모리를 구성하는 SL 구동회로를 나타낸다.
- 도 9는 eFuse OTP 메모리를 구성하는 BL 센스 앰프회로를 나타낸다.
- 도 10은 CMOS 이미지센서 공정을 이용하여 조도센서용으로 설계된 128비트 eFuse OTP 메모리의 레이아웃 이미지를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 실시 예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야 한다.
- [0032] 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- [0033] 도 3은 본 발명에 따른 프로그램 전압 스위칭회로의 일 실시 예를 나타낸다.
- [0034] 도 3을 참조하면, 본 발명에 따른 프로그램 전압 스위칭회로(300)는 eFuse OTP 메모리를 구성하는 eFuse OTP 셀의 프로그램에 사용되는 내부 프로그램 전압(VPMG_int)을 생성하며, 크로스 커플드 회로 1(310), 스위치 제어신호 생성회로(320) 및 내부 프로그램 전압 생성회로(330)를 포함한다.
- [0035] 크로스 커플드 회로 1(310)는 제1 전원전압(VDD) 및 프로그램 전압(VPGM) 중 하나를 선택하여 제1노드전압(VN1)으로 출력한다. 설명의 편의를 위해 제1 전원전압(VDD)과 프로그램 전압(VPGM)은 각각 3.3V 및 4.6V로 가정한다. 따라서, 제1노드전압(VN1)은 3.3V 및 4.6V 중 하나의 전압준위를 가지게 될 것이다. 또한, 제2전원전압(VSS)는 0V라고 가정한다.
- [0036] 제1 전원전압(VDD) 및 프로그램 전압(VPGM)은, eFuse OTP 메모리 칩에 형성된 패드(미도시) 및 패드와 연결된 핀이 존재하는 경우에는, 웨이퍼 상태이든 패키지 상태이든 외부에서 공급할 수 있다.
- [0037] 본 발명은 웨이퍼 상태일 때에는 프로그램 전압(VPGM)을 공급할 수 있도록 설치된 패드를 통해 웨이퍼의 외부에서 공급할 수 있다. 그러나, 패키지 할 때에는 프로그램 전압(VPGM)을 공급할 수 있도록 설치된 패드에 대응하는 패키지 핀을 할당하지 않기 때문에, 패키지 상태일 때에는 핀을 할당한 제1 전원전압(VDD)은 외부에서 공급할 수 있도록 하지만, 핀을 할당하지 않은 프로그램 전압(VPGM)은 패키지 상태에서는 외부에서 공급하지 않도록 한다.
- [0038] 본 발명에 따른 프로그램 전압 스위칭회로(300)는 내부 프로그램 전압(VPGM_int)을 생성함으로써 패키지 상태에서 프로그램이 가능하도록 하며, 패키지 핀의 개수를 줄였을 때에도 정상적으로 OPT 메모리 셀의 프로그램이 가능하도록 하는 것이다.
- [0039] eFuse OTP 메모리 칩의 프로그램 전압(VPGM) 단자(패드)는 별도의 패키지 핀을 할당하지 않기 때문에, 패키지 상태일 때에는 플로팅(floating) 상태가 된다. 따라서, 크로스 커플드 회로 1(310)에 인가되는 프로그램 전압(VPGM) 단자의 전압 준위는 eFuse OTP 메모리 칩의 가장 낮은 전압 준위를 가지게 되는 것이 일반적이다. 본 발명에서는, 크로스 커플드 회로 1(310)에서 출력되는 제1노드전압(VN1)은 웨이퍼 상태일 때에는 외부에서 인가되

는 프로그램 전압(VPGM)의 전압준위를 가지도록 하고, 패키지 상태일 때에는 제1전원전압(VDD)의 전압준위를 가지도록 고안하였다. 이에 대한 구체적인 회로는 후술한다.

- [0040] 상기의 설명에서, 제1노드 N1의 전압준위를 VN1으로 가정하고 설명하였으며, 이하에서 해당 노드의 전압 준위도 제1 노드의 전압 준위와 동일한 논리로 기재될 것이다.
- [0041] 스위치 제어신호 생성회로(320)는 제1노드전압(VN1)의 전압 준위 및 프로그램 인에이블 신호(EN)에 응답하여 제1스위치 제어신호(SW1) 및 제2스위치 제어신호(SW2)를 생성한다. 프로그램 인에이블 신호(EN)는 패키지 상태의 eFuse OTP 셀을 프로그램하는 동안에 활성화된다.
- [0042] 스위치 제어신호 생성회로(320)는 제1노드전압(VN1)의 전압 준위 및 프로그램 인에이블 신호(EN)에 응답하여 제1스위치 제어신호(SW1)를 생성하는 제1 스위치 제어신호 생성회로(321) 및 프로그램 인에이블 신호(EN)에 응답하여 제2스위치 제어신호(SW2)를 생성하는 제2 스위치 제어신호 생성회로(322)를 포함한다.
- [0043] 제1 스위치 제어신호 생성회로(321)는 제1 인버터(인버터 1), 제1 레벨 쉬프터(레벨 쉬프터 1) 및 제2 인버터(인버터 2)를 포함한다.
- [0044] 제1 인버터(인버터 1)는 프로그램 인에이블 신호(EN)의 위상을 반전시킨 역 프로그램 인에이블 신호(EN_B)를 생성한다. 제1 레벨 쉬프터(레벨 쉬프터 1)는 프로그램 인에이블 신호(EN) 및 역 프로그램 인에이블 신호(EN_B)에 응답하여 제2 노드전압(VN2)을 생성한다. 제2 인버터(인버터 2)는 제2 노드전압(VN2)의 위상을 반전시킨 제1 스위치 제어신호(SW1)을 생성한다.
- [0045] 여기서, 제1 레벨 쉬프터(레벨 쉬프터 1) 및 제2 인버터(인버터 2)는 제1노드전압(VN1) 및 제2 전원전압(VSS) 사이에서 동작한다.
- [0046] 제2 스위치 제어신호 생성회로(322)는 제3 인버터(인버터 3), 제2 레벨 쉬프터(레벨 쉬프터 2) 및 제4 인버터(인버터 4)를 포함한다.
- [0047] 제3 인버터(인버터 3)는 프로그램 인에이블 신호(EN)의 위상을 반전시킨 역 프로그램 인에이블 신호(EN_B)를 생성한다. 제2 레벨 쉬프터(레벨 쉬프터 2)는 프로그램 인에이블 신호(EN) 및 역 프로그램 인에이블 신호(EN_B)에 응답하여 제4 노드 전압(VN4)을 생성한다. 제4 인버터(인버터 4)는 제4 노드전압(VN4)의 위상을 반전시킨 제2 스위치 제어신호(SW2)를 생성한다.
- [0048] 여기서, 제2 레벨 쉬프터(레벨 쉬프터 2) 및 제4 인버터(인버터 4)는 제1 전원전압(VDD) 및 제2 전원전압(VSS) 사이에서 동작한다.
- [0049] 프로그램 전압 생성회로(330)는 제1스위치 제어신호(SW1) 및 제2스위치 제어신호(SW2)를 이용하여 제1전원전압(VDD)을 내부 프로그램 전압(VPGM_int)으로 선택한다.
- [0050] 프로그램 전압 생성회로(330)는 제1 스위치 제어신호(SW1) 및 제2 스위치 제어신호(SW2)에 응답하여 제1 전원전압(VDD)을 내부 프로그램 전압(VPGM_int)으로 스위칭하는 스위칭부(331) 및 스위칭부를 구성하는 트랜지스터의 벌크(Bulk)의 전압준위를 제어하는 제2 크로스 커플드 회로(크로스 커플드 회로 2)를 포함한다.
- [0051] 스위칭부(331)는 제1 스위치 제어신호(SW1)에 응답하여 제1 전원전압(VDD)을 스위칭하는 제1 스위치 트랜지스터(스위치 트랜지스터 1) 및 제2 스위치 제어신호(SW2)에 응답하여 제1 스위치 트랜지스터(스위치 트랜지스터 1)에서 스위칭 된 제1 전원전압(VDD)을 내부 프로그램 전압(VPGM_int)으로 스위칭하는 제2 스위치 트랜지스터(스위치 트랜지스터 2)를 포함한다.
- [0052] 내부 프로그램 전압(VPGM_int)이 패키지 상태의 eFuse OTP 셀을 프로그램할 때 사용한다는 것에 대해서는 이미 설명하였다. 종래에는 별도의 패키지 핀을 이용하여 외부에서 프로그램 전압(VPGM)을 공급하였지만 프로그램 전압(VPGM)을 공급하는 패키지 핀이 요구된다는 점에서 패키지의 핀의 개수를 증가시키는 단점이 있었다.
- [0053] 상술한 바와 같이 본 발명에서는 패키지에 별도의 핀을 할당하지 않고 프로그램에 사용되는 내부 프로그램 전압(VPGM_int)을 내부에서 생성하여 사용할 수 있도록 하였다.
- [0054] 도 4는 본 발명에 따른 프로그램 전압 스위칭회로의 구체적인 일 실시 예를 나타낸다.
- [0055] 도 4를 참조하면, 본 발명에 따른 프로그램 전압 스위칭회로는 복수의 트랜지스터 및 복수의 인버터를 이용하여 구현할 수 있다.
- [0056] 이하의 설명에서 모스트랜지스터는 메탈-산화막-실리콘(MOS)으로 이루어진 트랜지스터를 의미하며, P형 모스트

랜지스터 및 N형 모스트랜지스터는 형성되는 채널(channel)의 타입에 따라 결정되는 모스트랜지스터를 의미한다.

- [0057] 제1 크로스 커플드 회로(크로스 커플드 회로 1)는 일 단자가 제1 전원전압(VDD)에 연결되고 다른 일 단자는 제1 노드(N1)에 연결되며 게이트 단자는 프로그램 전압(VPGM)에 연결된 제1 P형 모스트랜지스터(MP1) 및 일 단자가 프로그램 전압(VPGM)에 연결되고 다른 일 단자는 제1 노드(N1)에 연결되며 게이트 단자는 제1 전원전압(VDD)에 연결된 제2 P형 모스트랜지스터(MP2)를 포함한다. 제1 노드(N1)의 전압은 제1노드전압(VN1)이다.
- [0058] 제1 인버터(인버터 1)는 프로그램 인에이블 신호(EN)의 위상을 반전시킨 역 프로그램 인에이블 신호(EN_B)를 생성한다. 인버터는 다양한 방식으로 구현할 수 있으며 이 분야의 통상의 지식을 가진 기술자는 누구나 쉽게 구현할 수 있으므로, 여기서는 구체적인 회로에 대해서 설명하지 않는다.
- [0059] 제1 레벨 쉬프터(레벨 쉬프터 1)는 일 단자가 제1 노드(N1)에 연결되고, 게이트 단자는 제2 노드(N2)에 연결되는 제3 P형 모스트랜지스터(MP3), 일 단자가 제1 노드(N1)에 연결되고 다른 일 단자는 제2 노드(N2)에 연결되며 게이트 단자는 제3 모스트랜지스터(MP3)의 다른 일 단자와 연결되는 제4 P형 모스트랜지스터(MP4), 일 단자가 제3 P형 모스트랜지스터(MP3)의 다른 일 단자와 연결되고 다른 일 단자는 제2 전원전압(VSS)에 연결되며 게이트 단자에 프로그램 인에이블 신호(EN)가 인가되는 제1 N형 모스트랜지스터(MN1) 및 일 단자가 제2 노드(N2)에 연결되고 다른 일 단자가 제2 전원전압(VSS)에 연결되며 게이트 단자에 역 프로그램 인에이블 신호(EN_B)가 인가되는 제2 N형 모스트랜지스터(MN2)를 포함한다.
- [0060] 제2 인버터(인버터 2)는 일 단자가 제1 노드(N1)에 연결되고 다른 일 단자가 제3 노드(N3)에 연결되며 게이트 단자가 제2 노드(N2)에 연결되는 제5 P형 모스트랜지스터(MP5) 및 일 단자가 제3 노드(N3)에 연결되고 다른 일 단자가 제2 전원전압(VSS)에 연결되며 게이트 단자가 제2 노드(N2)에 연결되는 제3 N형 모스트랜지스터(MN3)를 포함한다.
- [0061] 여기서 제3 노드(N3)에 강하되는 신호가 제1 스위치 제어신호(SW1)이다.
- [0062] 제3 인버터(인버터 3)은 프로그램 인에이블 신호(EN)의 위상을 반전시킨 역 프로그램 인에이블 신호(EN_B)를 생성한다.
- [0063] 제2 레벨 쉬프터(레벨 쉬프터 2)는 일 단자가 제1 전원전압(VDD)에 연결되고, 게이트 단자는 제4 노드(N4)에 연결되는 제6 P형 모스트랜지스터(MP6), 일 단자가 제1 전원전압(VDD)에 연결되고 다른 일 단자는 제4 노드(N4)에 연결되며 게이트 단자는 제6 모스트랜지스터(MP6)의 다른 일 단자와 연결되는 제7 P형 모스트랜지스터(MP7), 일 단자가 제6 모스트랜지스터(MP6)의 다른 일 단자와 연결되고 다른 일 단자는 제2 전원전압(VSS)에 연결되며 게이트 단자에 프로그램 인에이블 신호(EN)가 인가되는 제4 N형 모스트랜지스터(MN4) 및 일 단자가 제4 노드(N4)에 연결되고 다른 일 단자가 제2 전원전압(VSS)에 연결되며 게이트 단자에 역 프로그램 인에이블 신호(EN_B)가 인가되는 제5 N형 모스트랜지스터(MN5)를 포함한다.
- [0064] 제4 인버터(인버터 4)는 일 단자가 제1 전원전압(VDD)에 연결되고 다른 일 단자가 제5 노드(N5)에 연결되며 게이트 단자가 제4 노드(N4)에 연결되는 제8 P형 모스트랜지스터(MP8) 및 일 단자가 제5 노드(N5)에 연결되고 다른 일 단자가 제2 전원전압(VSS)에 연결되며 게이트 단자가 제4 노드(N4)에 연결되는 제6 N형 모스트랜지스터(MN6)를 포함한다.
- [0065] 여기서 제5 노드(N5)에 강하되는 신호가 제2 스위치 제어신호(SW2)가 된다.
- [0066] 스위칭부(331)를 구성하는 제1 스위치 트랜지스터(스위치 트랜지스터 1)는 일 단자가 제1 전원전압(VDD)에 연결되고 게이트 단자에 제1 스위치 제어신호(SW1)가 연결된 제9 P형 모스트랜지스터(MP9)로 구현할 수 있으며, 제2 스위치 트랜지스터(스위치 트랜지스터 2)는 일 단자가 제9 P형 모스트랜지스터(MP9)의 다른 일 단자에 연결되고 다른 일 단자가 내부 프로그램 전압(VPGM_int)단자와 연결되고 게이트 단자에 제2 스위치 제어신호(SW2)가 인가되는 제10 P형 모스트랜지스터(MP10)로 구현할 수 있다.
- [0067] 제2 크로스 커플드 회로(크로스 커플드 회로 2)는 일 단자가 제1 전원전압(VDD)에 연결되고 다른 일 단자는 벌크단자(bulk)에 연결되며 게이트 단자는 내부 프로그램 전압(VPGM_int)과 연결된 제11 P형 모스트랜지스터(MP11) 및 일 단자가 내부 프로그램 전압(VPGM_int)에 연결되고 다른 일 단자는 벌크단자(bulk)에 연결되며 게이트 단자는 제1 전원전압(VDD)과 연결된 제12 P형 모스트랜지스터(MP12)를 포함한다.
- [0068] 여기서 벌크단자(bulk)는 제9 P형 모스트랜지스터(MP9) 및 제10 P형 모스트랜지스터(MP10)의 벌크 영역에 대응

하는 단자이다.

- [0069] 도 4에서 제1 레벨 쉬프터(레벨 쉬프터 1), 제2 인버터(인버터 2), 제2 레벨 쉬프터(레벨 쉬프터 2) 및 제4 인버터(인버터 4)를 구성하는 제3 P형 모스트랜지스터(MP1)부터 제8 P형 모스 P형 모스트랜지스터(MP8)의 벌크단자는 각각 자신의 일 단자 즉 소스 단자와 연결되고, 제1 크로스 커플드 회로(크로스 커플드 회로 1) 및 제2 크로스 커플드 회로(크로스 커플드 회로 2)를 구성하는 제1 P형 모스트랜지스터(MP1), 제2 P형 모스트랜지스터(MP2), 제11 P형 모스트랜지스터(MP11) 및 제12 P형 모스트랜지스터(MP12)의 벌크단자는 각각 자신의 다른 일 단자 즉 드레인 단자와 연결된다.
- [0070] 제9 P형 모스트랜지스터(MP9) 및 제10 P형 모스트랜지스터(MP10)의 벌크는 제2 크로스 커플드 회로(크로스 커플드 회로 2)를 구성하는 제11 P형 모스트랜지스터(MP11) 및 제12 P형 모스트랜지스터(MP12)의 공통 단자와 연결되어 있다.
- [0071] 상술한 바와 같이, 웨이퍼 상태에서는 eFuse OTP 셀의 연결관계 및 동작여부를 테스트 하여야 하므로, 내부에 형성된 2개의 패드(PAD, 미도시)를 통해 제1 전원전압(VDD) 뿐만 아니라 프로그램 전압(VPGM)도 외부에서 공급하여야 한다.
- [0072] 다만, 연결관계 및 정상동작이 확인된 칩은 조립하게 될 것인데, 조립 시 제1 전원전압(VDD)을 공급하는 패드는 패키지의 핀과 연결되지만 프로그램 전압(VPGM)을 공급하는 패드는 패키지의 핀에 할당되지 않을 것이다. 따라서 패키지 상태에서는 제1 전원전압(VDD)은 외부에서 공급할 수 있지만 프로그램 전압(VPGM)은 외부에서 공급할 수 없게 된다는 것에 대해서는 앞에서 설명하였다.
- [0073] 도 5는 웨이퍼 상태에서 본 발명에 따른 프로그램 전압 스위칭회로의 동작을 나타낸다.
- [0074] 도 6은 패키지 상태에서 본 발명에 따른 프로그램 전압 스위칭회로의 동작을 나타낸다.
- [0075] 도 5를 참조하면, 웨이퍼 상태에서는 3.3V의 제1 전원전압(VDD)과 4.6V의 프로그램 전압(VPGM)이 동시에 인가된다. 이러한 조건에서 제1 P형 모스트랜지스터(MP1)는 턴 오프(turn OFF) 되고 제2 P형 모스트랜지스터(MP2)는 턴 온(turn ON) 될 것이다. 따라서 제1노드(N1)에는 프로그램 전압(VPGM)이 강해질 것이다.
- [0076] 도 6을 참조하면, 패키지 상태에서는 3.3V의 제1 전원전압(VDD)만 인가되고 프로그램 전압(VPGM)은 인가되지 않으므로, 제2 P형 모스트랜지스터(MP2)의 일단자 및 제1 P형 모스트랜지스터(MP1)의 게이트는 하이 임피던스 상태가 된다. 그러나 이는 회로상으로 그렇다는 것이고, 실제 칩의 기판(substrate)은 일정한 전압이 공급되고 있으며, 따라서 하이 임피던스 상태의 노드는 칩이 사용하는 가장 낮은 전압준위를 가지게 된다는 것은 이분야의 통상의 기술자는 모두 알고 있으므로, 여기서는 구체적인 메커니즘에 대해 설명하지 않는다.
- [0077] 따라서 패키지 상태의 프로그램 전압(VPGM) 단자는 제2 전원전압(VSS)의 전압준위를 가지게 될 것이고, 앞에서 제2 전원전압(VSS)의 전압준위가 0V라고 이미 가정하였다. 따라서 제1 P형 모스트랜지스터(MP1)에는 제2 전원전압(VSS)이 인가되고 제2 P형 모스트랜지스터(MP2)에는 제1 전원전압(VDD)이 인가되므로, 제1 P형 모스트랜지스터(MP1)은 턴 온되고 제2 P형 모스트랜지스터(MP2)는 턴 오프된다. 즉, 제1 노드(N1)는 제1 전원전압(VDD)이 강해질 것이다.
- [0078] 본 발명의 레벨 쉬프터(레벨 쉬프터 1 및 레벨 쉬프터 2)는 프로그램 제어신호(EN)의 전압 준위와 동일한 전압 준위를 가지는 전압을 제2 노드(N2) 및 제4 노드(N4)에 각각 출력한다.
- [0079] 프로그램 제어신호(EN)의 전압준위가 논리 로우상태일 때, 즉 프로그램을 수행하지 않을 때, 제2 노드(N2) 및 제4 노드(N4)의 전압준위는 각각 논리 로우 상태가 되고, 2개의 노드(N2, N4)의 전압의 위상을 반전시키는 각각 2개의 인버터(인버터 2 및 인버터 4)를 통과한 제1 스위치 제어신호(SW1) 및 제2 스위치 제어신호(SW2)는 각각 논리 하이 상태가 된다.
- [0080] 프로그램 제어신호(EN)의 전압준위가 논리 하이 상태일 때, 즉 프로그램을 수행할 때, 제2 노드(N2) 및 제4 노드(N4)의 전압준위는 각각 논리 하이 상태가 되고, 2개의 노드(N2, N4)의 전압의 위상을 반전시키는 각각 2개의 인버터(인버터 2 및 인버터 4)를 통과한 제1 스위치 제어신호(SW1) 및 제2 스위치 제어신호(SW2)는 각각 논리 로우 상태가 된다.
- [0081] 제1 스위치 제어신호(SW1) 및 제2 스위치 제어신호(SW2)는 각각 P형 모스트랜지스터(MP9, MP10)의 게이트에 인가된다. 따라서 제1 스위치 제어신호(SW1) 및 제2 스위치 제어신호(SW2)가 논리 하이 값을 가질 때, 즉 프로그램을 수행하지 않을 때에는 스위칭부(331)을 구성하는 2개의 P형 모스트랜지스터(MP9, MP10)은 각각 턴 오프 상

태를 유지하므로, 내부 프로그램 전압(VPGM_int)은 플로팅 되고 결국 제2 전원전압(VSS)와 동일한 전압 준위를 가지게 될 것이다.

[0082] 반대로 제1 스위치 제어신호(SW1) 및 제2 스위치 제어신호(SW2)가 논리 로우 값을 가질 때, 즉 프로그램을 수행할 때에는 스위칭부(331)를 구성하는 2개의 P형 모스트랜지스터(MP9, MP10)은 각각 턴 온 상태를 유지하므로, 내부 프로그램 전압(VPGM_int)은 제1 전원전압(VDDD)와 동일한 전압 준위를 가지게 될 것이다.

[0083] 스위칭부(331)를 구성하는 2개의 P형 모스트랜지스터(MP9, MP10)의 벌크영역의 프로그램이 진행 중일 때의 전압 준위는, 제2 크로스 커플드 회로(크로스 커플드 회로 2)에 의해 제1 전원전압(VDD)의 전압준위를 갖게 됨에 따라 2개의 P형 모스트랜지스터(MP9, MP10)의 동작 천이시간(transition time)을 최소로 단축시킬 수 있다.

[0084] 본 발명에서는 웨이퍼 상에서 eFuse OTP 메모리를 테스트 할 때에는 프로그램 모드에서만 프로그램 전압(VPGM)을 패드를 통해 인가하고, 패키지 상태일 때에는 읽기 모드(read mode) 및 프로그램 검증용 읽기 모드(program-verify-read mode)에서는 본 발명에 따른 프로그램 전압 스위칭회로(300)를 이용하여 제1 전원전압(VDD)를 인가하도록 한다.

[0085] 도 7은 eFuse OTP 메모리를 구성하는 로우 구동회로를 나타낸다.

[0086] 도 8은 eFuse OTP 메모리를 구성하는 SL 구동회로를 나타낸다.

[0087] 도 7을 참조하면, 로우 구동회로(row driver circuit)는 로우 어드레스 신호를 디코딩하여 복수의 로우 중 하나의 로우를 선택하며, 도 8을 참조하면 SL 구동회로(selection line driver circuit)은 프로그램 모드에서 컬럼 어드레스의 디코딩에 의해 복수의 SL 구동회로 중 하나의 SL 구동회로를 선택한다.

[0088] 한편, SL 구동회로는 DIN이 디지털 로직 '1'인 경우는 선택된 SL에 4.6V의 프로그램 전압을 공급하는 반면, DIN이 디지털 로직 '0'인 경우는 선택된 SL을 0V로 구동한다.

[0089] 도 7 및 도 8에서 파란색 일점 쇄선의 내부는 디지털 로직 회로이며 종래에는 디지털 집적회로에 사용되는 1.8V LV(Low Voltage) 소자를 사용하였는데, 본 발명에서는 아날로그 회로에 사용되는 3.3V MV(Medium Voltage) 소자를 사용하여 본 발명의 효과를 검증하였다.

[0090] eFuse OTP 메모리의 BL 센스 앰프에서 BL의 프리차징 전압을 제1 전원전압(VDD)로 하는 경우 프로그램이 되지 않은 eFuse 링크가 폭발(Blowing)할 수 있으므로, 본 발명에서는 BL 센스 앰프회로에서 BL의 프리차징 전압을 제1 전원전압(VDD)이 아닌 제2 전원전압(VSS)을 변경하는 회로를 사용한다.

[0091] 도 9는 eFuse OTP 메모리를 구성하는 BL 센스 앰프회로를 나타낸다.

[0092] 도 9를 참조하면, 본 발명에 따른 BL 센스 앰프회로(900)는 읽기 모드와 프로그램 검증 읽기 모드에서 RWL 신호가 활성화되기 전에 읽기 전용 트랜지스터(Mn1)에 의해 BL 전압을 제2 전원전압(VSS)로 프리차징한다. 따라서, BL 전압은, 프로그램 된 eFuse OTP 셀을 읽는 경우에는 BL_LOADb 신호에 로우 펄스가 발생할 때 제1 전원전압(VDD)로 풀업 되고, 프로그램 되지 않은 eFuse OTP 셀은 RWL이 활성화되기 이전 프리차징 전압인 제2 전원전압(VSS)의 전압준위를 유지한다.

[0093] 도 10은 CMOS 이미지센서 공정을 이용하여 조도센서용으로 설계된 128비트 eFuse OTP 메모리의 레이아웃 이미지를 나타낸다.

[0094] 도 10을 참조하면, 128비트 eFuse OTP 메모리는 실제 조도센서 칩에 응용되어 웨이퍼 테스트와 패키지 테스트를 통해 본 발명의 기본 동작을 확인하였다.

[0095] 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 기술자라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방 가능함은 명백한 사실이다.

부호의 설명

[0096] 310: 크로스 커플드 회로 1

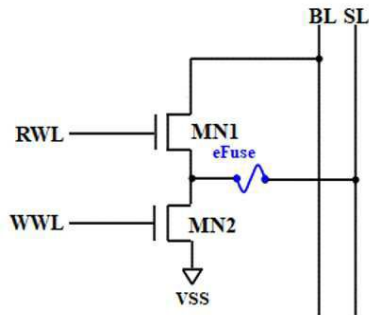
320: 스위치 제어신호 생성회로

330: 내부 프로그램 전압 생성회로

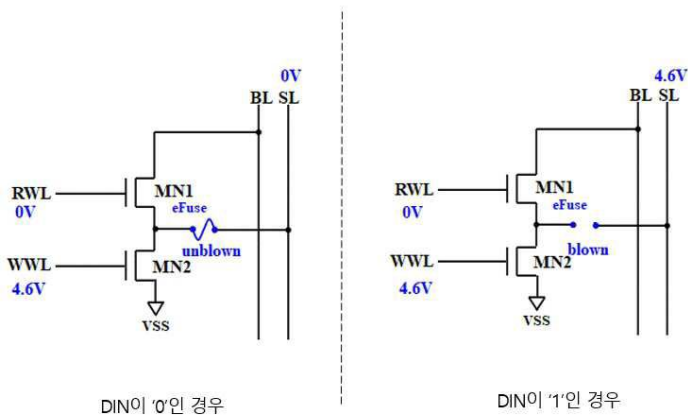
도면

도면1

100

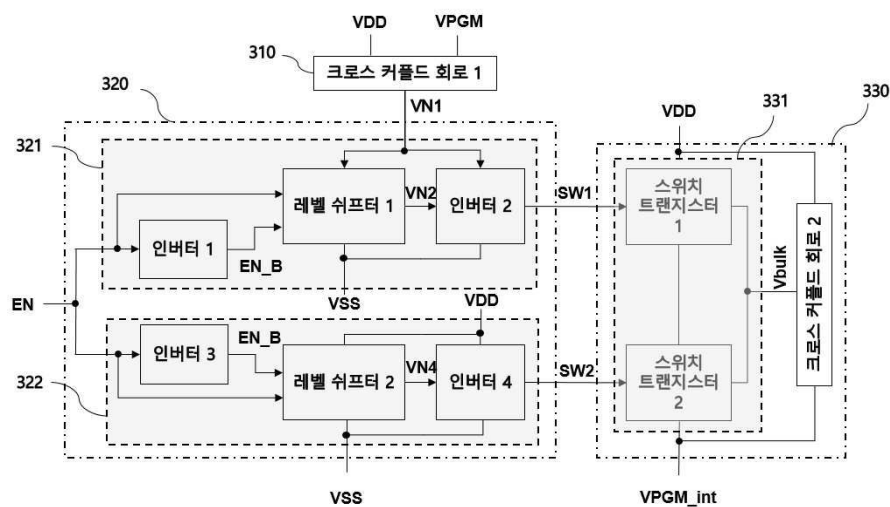


도면2

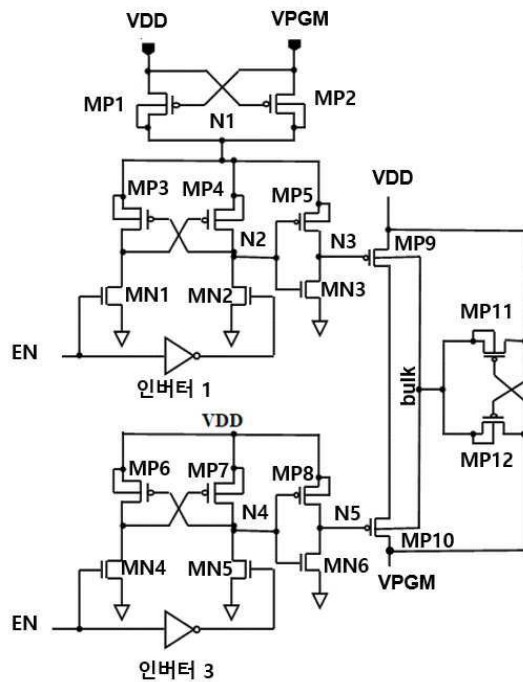


도면3

300



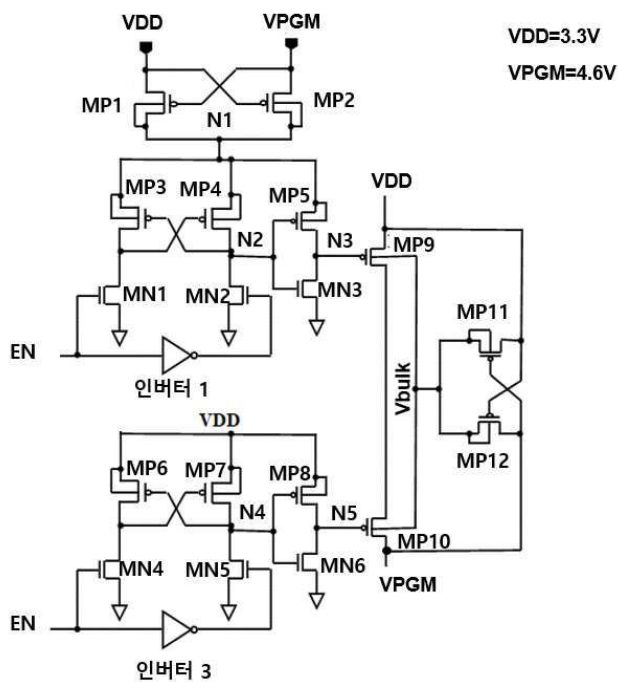
도면4



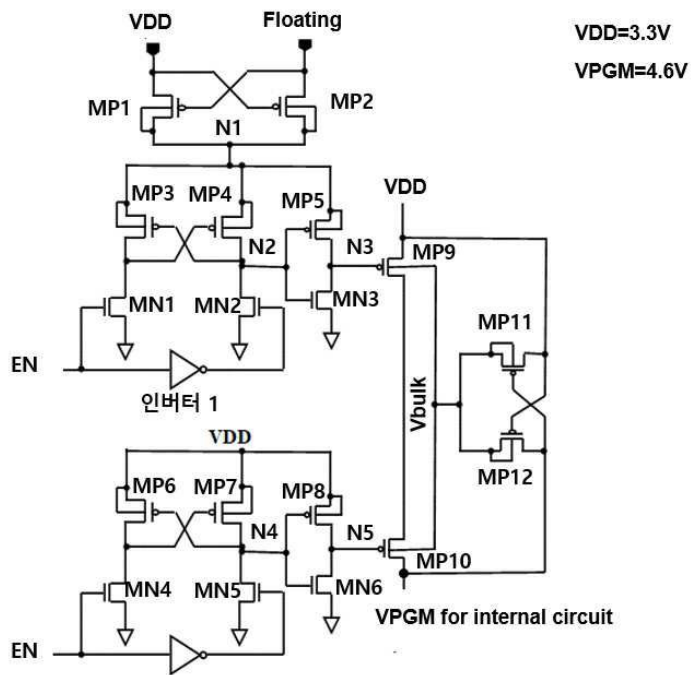
- 크로스 커플드 회로 1: MP1, MP2
- 레벨 쉬프터 1: MP3, MP4, MN1, MN2
- 인버터 2: MP5, MN3
- 레벨 쉬프터 2: MP6, MP7, MN4, MN5
- 인버터 4: MP8, MN6
- 스위치 트랜지스터 1: MP9
- 스위치 트랜지스터 2: MP10
- 크로스 커플드 회로 2: MP11, MP12

↓ : VSS

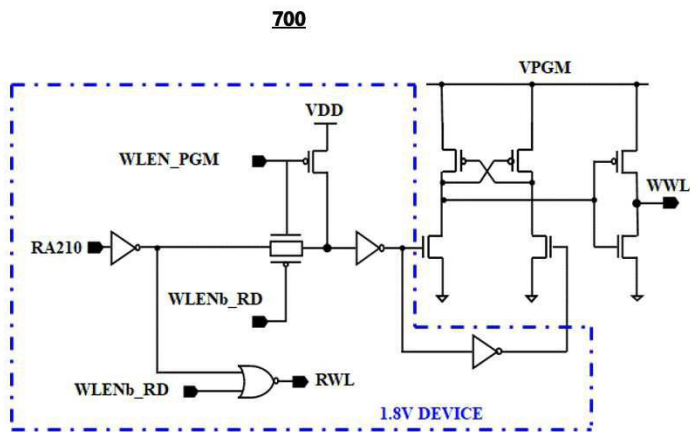
도면5



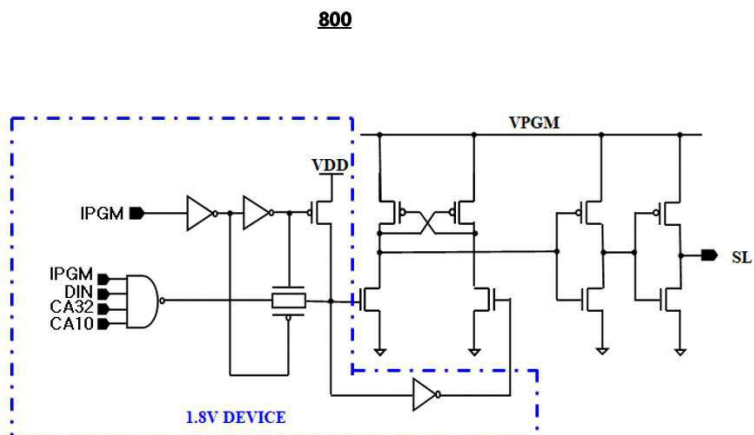
도면6



도면7

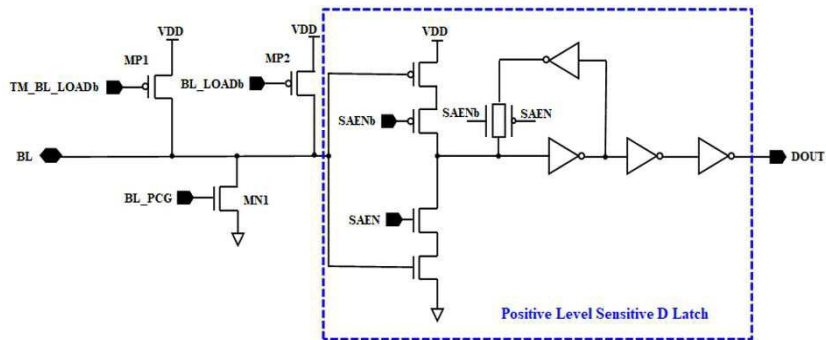


도면8



도면9

900



도면 10

