

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4057791号
(P4057791)

(45) 発行日 平成20年3月5日 (2008.3.5)

(24) 登録日 平成19年12月21日 (2007.12.21)

(51) Int. Cl.	F I
H03L 7/093 (2006.01)	H03L 7/08 E
H03L 7/10 (2006.01)	H03L 7/10 D

請求項の数 14 (全 20 頁)

(21) 出願番号 特願2001-83973 (P2001-83973)
 (22) 出願日 平成13年3月23日 (2001.3.23)
 (65) 公開番号 特開2002-208856 (P2002-208856A)
 (43) 公開日 平成14年7月26日 (2002.7.26)
 審査請求日 平成16年9月10日 (2004.9.10)
 (31) 優先権主張番号 00311746.2
 (32) 優先日 平成12年12月28日 (2000.12.28)
 (33) 優先権主張国 欧州特許庁 (EP)

前置審査

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (73) 特許権者 500385980
 ティーティービー コム リミテッド
 イギリス国、ハートフォードシャー エス
 ジー8 6イーイー、ロイストン、メルボ
 ルン、ケンブリッジ ロード、メルボルン
 サイエンス パーク (番地なし)
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 山脇 大造
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】 PLL回路および無線通信端末機器

(57) 【特許請求の範囲】

【請求項 1】

第1の周波数変調された入力信号と第2の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続されたVCOと、前記VCOの出力端に接続され前記VCOの出力周波数を周波数変換し前記第2の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された第1、第2、第3の定電流源と、前記電流出力型位相比較器と基準電位との間に接続されたスイッチとを有し、前記第1、第2、第3の定電流源のオンオフと前記スイッチの短絡、開放の制御手段を有し、

前記基準電位は0Vであり、前記第1と第3の定電流源は前記電流出力型位相比較器の出力端に定電流を出力し、前記第2の定電流源は前記電流出力型位相比較器の出力端から定電流を吸収し、

非動作状態では、前記第1、第2、第3の定電流源がオフで前記スイッチは短絡されており、前記非動作状態から動作状態への移行には第1と第2の手段が存在し、前記PLL回路の収束周波数が、前記スイッチの短絡時の前記VCOの出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第1の手段が用いられ、前記条件を満たさない場合には前記第2の手段が用いられるPLL回路であって、前記第1の手段においては、前記スイッチの開放と前記第1の定電流源のオンが行われ、前記第2の手段においては、まず前記スイッチの開放と前記第3の定電流源のオンが行われ、その一定期間の後、前記第3の定電流源のオフと前記第2の定電流源のオンが行われるものであり、該設

10

20

定周波数は前記VCOの発振周波数範囲の略中間に当たる周波数であり、

前記第1、第2の定電流源の出力電流値は等しく、前記第3の定電流源の出力電流値は前記第1、第2の定電流源の出力電流値の少なくとも2倍以上であることを特徴とするPLL回路。

【請求項2】

第1の周波数変調された入力信号と第2の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続されたVCOと、前記VCOの出力端に接続され前記VCOの出力周波数を周波数変換し前記第2の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された第1、第2、第3の定電流源と、前記電流出力型位相比較器と基準電位との間に接続されたスイッチとを有し、前記第1、第2、第3の定電流源のオンオフと前記スイッチの短絡、開放の制御手段を有し、

10

前記基準電位は電源電位であり、前記第1と第3の定電流源は前記電流出力型位相比較器の出力端から定電流を吸収し、前記第2の定電流源は前記電流出力型位相比較器の出力端に定電流を出力し、

非動作状態では、前記第1、第2、第3の定電流源がオフで前記スイッチは短絡されており、前記非動作状態から動作状態への移行には第1と第2の手段が存在し、前記PLL回路の収束周波数が、前記スイッチの短絡時の前記VCOの出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第1の手段が用いられ、前記条件を満たさない場合には前記第2の手段が用いられるPLL回路であって、前記第1の手段においては、前記スイッチの開放と前記第1の定電流源のオンが行われ、前記第2の手段においては、まず前記スイッチの開放と前記第3の定電流源のオンが行われ、その一定期間の後、前記第3の定電流源のオフと前記第2の定電流源のオンが行われるものであり、該設定周波数は前記VCOの発振周波数範囲の略中間に当たる周波数であり、

20

前記第1、第2の定電流源の出力電流値は等しく、前記第3の定電流源の出力電流値は前記第1、第2の定電流源の出力電流値の少なくとも2倍以上であることを特徴とするPLL回路。

【請求項3】

第1の周波数変調された入力信号と第2の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続されたVCOと、前記VCOの出力端に接続され前記VCOの出力周波数を周波数変換し前記第2の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された第1、第2の定電流源と、前記電流出力型位相比較器と第1の基準電位との間に接続された第1のスイッチと、前記電流出力型位相比較器の出力端と第2の基準電位との間に接続された第2のスイッチとを有し、前記第1、第2の定電流源のオンオフと前記第1と第2のスイッチの短絡、開放を制御する手段を有し、

30

前記第1の基準電位は0Vであり、前記第2の基準電位は電源電位であり、前記第1の定電流源は前記電流出力型位相比較器の出力端に定電流を出力し、前記第2の定電流源は前記電流出力型位相比較器の出力端から定電流を吸収し、

40

非動作状態では、前記第1、第2の定電流源がオフで前記第1のスイッチは短絡され、前記第2のスイッチは開放されており、前記非動作状態から動作状態への移行には第1と第2の手段が存在し、前記PLL回路の収束周波数が、前記第1のスイッチの短絡時の前記VCOの出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第1の手段が用いられ、前記条件を満たさない場合には前記第2の手段が用いられるPLL回路であって、前記第1の手段においては、前記第1のスイッチの開放と前記第1の定電流源のオンが行われ、前記第2の手段においては、まず前記第1のスイッチの開放と前記第2のスイッチの短絡が行われ、その一定期間の後、前記第2のスイッチの開放と前記第2の定電流源のオンが行われるものであり、該設定周波数は前記VCOの発振周波数範囲の略中間に当たる周波数であり、

50

前記第 1、第 2 の定電流源の出力電流値が等しいことを特徴とする PLL 回路。

【請求項 4】

第 1 の周波数変調された入力信号と第 2 の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続された VCO と、前記 VCO の出力端に接続され前記 VCO の出力周波数を周波数変換し前記第 2 の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された第 1、第 2 の定電流源と、前記電流出力型位相比較器と第 1 の基準電位との間に接続された第 1 のスイッチと、前記電流出力型位相比較器の出力端と第 2 の基準電位との間に接続された第 2 のスイッチとを有し、前記第 1、第 2 の定電流源のオンオフと前記第 1 と第 2 のスイッチの短絡、開放を制御する手段を有し、

10

前記第 1 の基準電位は電源電圧であり、前記第 2 の基準電位は 0 V であり、前記第 1 の定電流源は前記電流出力型位相比較器の出力端から定電流を吸収し、前記第 2 の定電流源は前記電流出力型位相比較器の出力端に定電流を出力し、

非動作状態では、前記第 1、第 2 の定電流源がオフで前記第 1 のスイッチは短絡され、前記第 2 のスイッチは開放されており、前記非動作状態から動作状態への移行には第 1 と第 2 の手段が存在し、前記 PLL 回路の収束周波数が、前記第 1 のスイッチの短絡時の前記 VCO の出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第 1 の手段が用いられ、前記条件を満たさない場合には前記第 2 の手段が用いられる PLL 回路であって、前記第 1 の手段においては、前記第 1 のスイッチの開放と前記第 1 の定電流源のオンが行われ、前記第 2 の手段においては、まず前記第 1 のスイッチの開放と前記第 2 のスイッチの短絡が行われ、その一定期間の後、前記第 2 のスイッチの開放と前記第 2 の定電流源のオンが行われるものであり、該設定周波数は前記 VCO の発振周波数範囲の略中間に当たる周波数であり、

20

前記第 1、第 2 の定電流源の出力電流値が等しいことを特徴とする PLL 回路。

【請求項 5】

第 1 の周波数変調された入力信号と第 2 の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続された VCO と、前記 VCO の出力端に接続され前記 VCO の出力周波数を周波数変換し前記第 2 の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された可変電流源と定電流源と、前記電流出力型位相比較器と基準電位との間に接続されたスイッチとを有し、前記可変電流源のオンオフ及び出力電流値と前記定電流源のオンオフと前記スイッチの短絡、開放を制御する手段を有し、

30

前記基準電位は 0 V であり、前記可変電流源は前記電流出力型位相比較器の出力端に電流を出力し、前記定電流源は前記電流出力型位相比較器の出力端から定電流を吸収し、

非動作状態では、前記可変電流源と前記定電流源がオフで前記スイッチは短絡されており、前記非動作状態から動作状態への移行には第 1 と第 2 の手段が存在し、前記 PLL 回路の収束周波数が、前記第 1 のスイッチの短絡時の前記 VCO の出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第 1 の手段が用いられ、前記条件を満たさない場合には前記第 2 の手段が用いられる PLL 回路であって、前記第 1 の手段においては、前記スイッチの開放と前記可変電流源のオンが行われ、前記可変電流源は第 1 の定電流値を出力し、前記第 2 の手段においては、まず前記スイッチの開放と前記可変電流源のオンが行われ、前記可変電流源は第 2 の定電流値を出力し、その一定期間の後、前記可変電流源のオフと前記定電流源のオンが行われるものであり、該設定周波数は前記 VCO の発振周波数範囲の略中間に当たる周波数であり、

40

前記第 1 の定電流値と前記定電流の出力電流値は等しく、前記第 2 の定電流値は前記第 1 の定電流値と前記定電流の出力電流値の少なくとも 2 倍以上であることを特徴とする PLL 回路。

【請求項 6】

50

第 1 の周波数変調された入力信号と第 2 の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続された VCO と、前記 VCO の出力端に接続され前記 VCO の出力周波数を周波数変換し前記第 2 の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された可変電流源と定電流源と、前記電流出力型位相比較器と基準電位との間に接続されたスイッチとを有し、前記可変電流源のオンオフ及び出力電流値と前記定電流源のオンオフと前記スイッチの短絡、開放を制御する手段を有し、

前記基準電位は電源電位であり、前記可変電流源は前記電流出力型位相比較器の出力端から電流を吸収し、前記定電流源は前記電流出力型位相比較器の出力端に定電流を出力し、

10

非動作状態では、前記可変電流源と前記定電流源がオフで前記スイッチは短絡されており、前記非動作状態から動作状態への移行には第 1 と第 2 の手段が存在し、前記 PLL 回路の収束周波数が、前記第 1 のスイッチの短絡時の前記 VCO の出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第 1 の手段が用いられ、前記条件を満たさない場合には前記第 2 の手段が用いられる PLL 回路であって、前記第 1 の手段においては、前記スイッチの開放と前記可変電流源のオンが行われ、前記可変電流源は第 1 の定電流値を出力し、前記第 2 の手段においては、まず前記スイッチの開放と前記可変電流源のオンが行われ、前記可変電流源は第 2 の定電流値を出力し、その一定期間の後、前記可変電流源のオフと前記定電流源のオンが行われるものであり、該設定周波数は前記 VCO の発振周波数範囲の略中間に当たる周波数であり、

20

前記第 1 の定電流値と前記定電流の出力電流値は等しく、前記第 2 の定電流値は前記第 1 の定電流値と前記定電流の出力電流値の少なくとも 2 倍以上であることを特徴とする PLL 回路。

【請求項 7】

ベースバンド回路と、前記ベースバンド回路から第 1 のベースバンド信号が入力される変調器と、前記変調器の出力に接続された PLL 回路と、前記 PLL 回路の出力に接続された電力増幅器と、前記ベースバンド回路に第 2 のベースバンド信号を出力する受信回路と、アンテナと、前記アンテナと前記受信回路の入力と前記電力増幅器の出力とが接続されるセレクトとを有する無線通信端末機器であって、

30

前記ベースバンド回路は前記無線通信端末機器の動作の制御信号を出力し、

前記 PLL 回路が、第 1 の周波数変調された入力信号と第 2 の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続された VCO と、前記 VCO の出力端に接続され前記 VCO の出力周波数を周波数変換し前記第 2 の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された第 1、第 2 の定電流源と、前記電流出力型位相比較器と第 1 の基準電位との間に接続された第 1 のスイッチと、前記電流出力型位相比較器の出力端と第 2 の基準電位との間に接続された第 2 のスイッチとを有し、前記第 1、第 2 の定電流源のオンオフと前記第 1 と第 2 のスイッチの短絡、開放を制御する手段を有する PLL 回路からなり、

40

前記 PLL 回路において、前記第 1 の基準電位は 0 V であり、前記第 2 の基準電位は電源電位であり、前記第 1 の定電流源は前記電流出力型位相比較器の出力端に定電流を出力し、前記第 2 の定電流源は前記電流出力型位相比較器の出力端から定電流を吸収し、

前記 PLL 回路において、非動作状態では、前記第 1、第 2 の定電流源がオフで前記第 1 のスイッチは短絡され、前記第 2 のスイッチは開放されており、前記非動作状態から動作状態への移行には第 1 と第 2 の手段が存在し、前記 PLL 回路の収束周波数が、前記第 1 のスイッチの短絡時の前記 VCO の出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第 1 の手段が用いられ、前記条件を満たさない場合には前記第 2 の手段が用いられる PLL 回路であって、前記第 1 の手段においては、前記第 1 のスイッチの開放と前記第 1 の定電流源のオンが行われ、前記第 2 の手段においては、まず前

50

記第 1 のスイッチの開放と前記第 2 のスイッチの短絡が行われ、その一定期間の後、前記第 2 のスイッチの開放と前記第 2 の定電流源のオンが行われるものであり、該設定周波数は前記 VCO の発振周波数範囲の略中間に当たる周波数であり、

前記 PLL 回路において、前記第 1、第 2 の定電流源の出力電流値が等しいことを特徴とする無線通信端末機器。

【請求項 8】

ベースバンド回路と、前記ベースバンド回路から第 1 のベースバンド信号が入力される変調器と、前記変調器の出力に接続された PLL 回路と、前記 PLL 回路の出力に接続された電力増幅器と、前記ベースバンド回路に第 2 のベースバンド信号を出力する受信回路と、アンテナと、前記アンテナと前記受信回路の入力と前記電力増幅器の出力とが接続されるセレクタとを有する無線通信端末機器であって、

10

前記ベースバンド回路は前記無線通信端末機器の動作の制御信号を出力し、

前記 PLL 回路が、第 1 の周波数変調された入力信号と第 2 の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続された VCO と、前記 VCO の出力端に接続され前記 VCO の出力周波数を周波数変換し前記第 2 の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された第 1、第 2 の定電流源と、前記電流出力型位相比較器と第 1 の基準電位との間に接続された第 1 のスイッチと、前記電流出力型位相比較器の出力端と第 2 の基準電位との間に接続された第 2 のスイッチとを有し、前記第 1、第 2 の定電流源のオンオフと前記第 1 と第 2 のスイッチの短絡、開放を制御する手段を有する PLL 回路からなり、

20

前記 PLL 回路において、前記第 1 の基準電位は電源電圧であり、前記第 2 の基準電位は 0 V であり、前記第 1 の定電流源は前記電流出力型位相比較器の出力端から定電流を吸収し、前記第 2 の定電流源は前記電流出力型位相比較器の出力端に定電流を出力し、

前記 PLL 回路において、非動作状態では、前記第 1、第 2 の定電流源がオフで前記第 1 のスイッチは短絡され、前記第 2 のスイッチは開放されており、前記非動作状態から動作状態への移行には第 1 と第 2 の手段が存在し、前記 PLL 回路の収束周波数が、前記第 1 のスイッチの短絡時の前記 VCO の出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第 1 の手段が用いられ、前記条件を満たさない場合には前記第 2 の手段が用いられる PLL 回路であって、前記第 1 の手段においては、前記第 1 のスイッチの開放と前記第 1 の定電流源のオンが行われ、前記第 2 の手段においては、まず前記第 1 のスイッチの開放と前記第 2 のスイッチの短絡が行われ、その一定期間の後、前記第 2 のスイッチの開放と前記第 2 の定電流源のオンが行われるものであり、該設定周波数は前記 VCO の発振周波数範囲の略中間に当たる周波数であり、

30

前記 PLL 回路において、前記第 1、第 2 の定電流源の出力電流値が等しいことを特徴とする無線通信端末機器。

【請求項 9】

第 1 の周波数変調された入力信号と第 2 の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続された VCO と、前記 VCO の出力端に接続され前記 VCO の出力周波数を周波数変換し前記電流出力型位相比較器の前記第 2 の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された第 1、第 2 の定電流源と、前記電流出力型位相比較器と第 1 の基準電位との間に接続された第 1 のスイッチと、前記電流出力型位相比較器の出力端と第 2 の基準電位との間に接続された第 2 のスイッチとを有し、前記第 1、第 2 の定電流源のオンオフと前記第 1 と第 2 のスイッチの短絡、開放を制御するコントローラを有し、

40

前記第 1 の基準電位は 0 V であり、前記第 2 の基準電位は電源電位であり、前記第 1 の定電流源は前記電流出力型位相比較器の出力端に定電流を出力し、前記第 2 の定電流源は前記電流出力型位相比較器の出力端から定電流を吸収し、

非動作状態では、前記第 1、第 2 の定電流源がオフで前記第 1 のスイッチは短絡され、

50

前記第 2 のスイッチは開放されており、前記非動作状態から動作状態への移行には第 1 と第 2 の手段が存在し、前記 PLL 回路の収束周波数が、前記第 1 のスイッチの短絡時の前記 VCO の出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第 1 の手段が用いられ、前記条件を満たさない場合には前記第 2 の手段が用いられる PLL 回路であって、前記第 1 の手段においては、前記第 1 のスイッチの開放と前記第 1 の定電流源のオンが行われ、前記第 2 の手段においては、まず前記第 1 のスイッチの開放と前記第 2 のスイッチの短絡が行われ、その一定期間の後、前記第 2 のスイッチの開放と前記第 2 の定電流源のオンが行われるものであり、該設定周波数は前記 VCO の発振周波数範囲の略中間に当たる周波数であり、

前記第 1、第 2 の定電流源の出力電流値が等しいことを特徴とする PLL 回路。

10

【請求項 10】

第 1 の周波数変調された入力信号と第 2 の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続された VCO と、前記 VCO の出力端に接続され前記 VCO の出力周波数を周波数変換し前記電流出力型位相比較器の前記第 2 の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された第 1、第 2 の定電流源と、前記電流出力型位相比較器と第 1 の基準電位との間に接続された第 1 のスイッチと、前記電流出力型位相比較器の出力端と第 2 の基準電位との間に接続された第 2 のスイッチとを有し、前記第 1、第 2 の定電流源のオンオフと前記第 1 と第 2 のスイッチの短絡、開放を制御するコントローラを有し、

20

前記第 1 の基準電位は電源電圧であり、前記第 2 の基準電位は 0 V であり、前記第 1 の定電流源は前記電流出力型位相比較器の出力端から定電流を吸収し、前記第 2 の定電流源は前記電流出力型位相比較器の出力端に定電流を出力し、

非動作状態では、前記第 1、第 2 の定電流源がオフで前記第 1 のスイッチは短絡され、前記第 2 のスイッチは開放されており、前記非動作状態から動作状態への移行には第 1 と第 2 の手段が存在し、前記 PLL 回路の収束周波数が、前記第 1 のスイッチの短絡時の前記 VCO の出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第 1 の手段が用いられ、前記条件を満たさない場合には前記第 2 の手段が用いられる PLL 回路であって、前記第 1 の手段においては、前記第 1 のスイッチの開放と前記第 1 の定電流源のオンが行われ、前記第 2 の手段においては、まず前記第 1 のスイッチの開放と前記第 2 のスイッチの短絡が行われ、その一定期間の後、前記第 2 のスイッチの開放と前記第 2 の定電流源のオンが行われるものであり、該設定周波数は前記 VCO の発振周波数範囲の略中間に当たる周波数であり、

30

前記第 1、第 2 の定電流源の出力電流値が等しいことを特徴とする PLL 回路。

【請求項 11】

請求項 9 または 10 のいずれかに記載の PLL 回路において、

前記第 1 のスイッチは、前記 VCO の入力電位に依存しない信号によって制御され、前記第 2 のスイッチは、前記 VCO の入力電位に依存しない信号によって制御されることを特徴とする PLL 回路。

【請求項 12】

40

第 1 の周波数変調された入力信号と第 2 の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続された VCO と、前記 VCO の出力端に接続され前記 VCO の出力周波数を周波数変換し前記電流出力型位相比較器の前記第 2 の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された可変電流源と定電流源と、前記電流出力型位相比較器と基準電位との間に接続されたスイッチとを有し、前記可変電流源のオンオフ及び出力電流値と前記定電流源のオンオフと前記スイッチの短絡、開放を制御するコントローラを有し、

前記基準電位は 0 V であり、前記可変電流源は前記電流出力型位相比較器の出力端に電流を出力し、前記定電流源は前記電流出力型位相比較器の出力端から定電流を吸収し、

50

非動作状態では、前記可変電流源と前記定電流源がオフで前記スイッチは短絡されており、前記非動作状態から動作状態への移行には第１と第２の手段が存在し、前記PLL回路の収束周波数が、前記第１のスイッチの短絡時の前記VCOの出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第１の手段が用いられ、前記条件を満たさない場合には前記第２の手段が用いられるPLL回路であって、前記第１の手段においては、前記スイッチの開放と前記可変電流源のオンが行われ、前記可変電流源は第１の定電流値を出力し、前記第２の手段においては、まず前記スイッチの開放と前記可変電流源のオンが行われ、前記可変電流源は第２の定電流値を出力し、その一定期間の後、前記可変電流源のオフと前記定電流源のオンが行われるものであり、該設定周波数は前記VCOの発振周波数範囲の略中間に当たる周波数であり、

10

前記第１の定電流値と前記定電流の出力電流値は等しく、前記第２の定電流値は前記第１の定電流値と前記定電流の出力電流値の少なくとも２倍以上であることを特徴とするPLL回路。

【請求項１３】

第１の周波数変調された入力信号と第２の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、前記電流出力型位相比較器の出力端に接続された低域通過フィルタと、前記低域通過フィルタの出力端に接続されたVCOと、前記VCOの出力端に接続され前記VCOの出力周波数を周波数変換し前記電流出力型位相比較器の前記第２の入力信号を出力するミキサと、前記電流出力型位相比較器の出力端に接続された可変電流源と定電流源と、前記電流出力型位相比較器と基準電位との間に接続されたスイッチとを有し、前記可変電流源のオンオフ及び出力電流値と前記定電流源のオンオフと前記スイッチの短絡、開放を制御するコントローラを有し、

20

前記基準電位は電源電位であり、前記可変電流源は前記電流出力型位相比較器の出力端から電流を吸収し、前記定電流源は前記電流出力型位相比較器の出力端に定電流を出力し、

非動作状態では、前記可変電流源と前記定電流源がオフで前記スイッチは短絡されており、前記非動作状態から動作状態への移行には第１と第２の手段が存在し、前記PLL回路の収束周波数が、前記第１のスイッチの短絡時の前記VCOの出力周波数と設定周波数との間の周波数であるという条件を満たす場合には前記第１の手段が用いられ、前記条件を満たさない場合には前記第２の手段が用いられるPLL回路であって、前記第１の手段においては、前記スイッチの開放と前記可変電流源のオンが行われ、前記可変電流源は第１の定電流値を出力し、前記第２の手段においては、まず前記スイッチの開放と前記可変電流源のオンが行われ、前記可変電流源は第２の定電流値を出力し、その一定期間の後、前記可変電流源のオフと前記定電流源のオンが行われるものであり、該設定周波数は前記VCOの発振周波数範囲の略中間に当たる周波数であり、

30

前記第１の定電流値と前記定電流の出力電流値は等しく、前記第２の定電流値は前記第１の定電流値と前記定電流の出力電流値の少なくとも２倍以上であることを特徴とするPLL回路。

【請求項１４】

請求項１２または１３のいずれかに記載のPLL回路において、

40

前記スイッチは前記VCOの入力電位に依存しない信号によって制御されることを特徴とするPLL回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、IF（中間周波数）信号をRF（無線周波数）信号に周波数変換するPLL回路の収束の高速化に適用して有効な技術に関する。

【０００２】

【従来の技術】

移動体通信端末に用いられる送信機にはいくつかの方式が存在する。もっとも一般的なも

50

のは、ベースバンド信号を変調器でIF（中間周波数）信号に変換し、それをアンテナから送信すべき周波数にミキサで変換するミキサ方式である。この他に、該方式のミキサの代わりにPLL回路を用いて周波数変換するPLL方式がある。PLL方式は、定振幅変調しか扱えないという欠点はあるものの、送信雑音をミキサ方式に比べて大幅に低減できるという特長があり、主にGSM（Global System for Mobile communications）システムの無線通信端末機器に用いられている。その動作原理の詳細は、例えば、IEEE journal of solid-state circuits Vol. 32, No. 12, pp. 2089 - 2096, "A 2.7-V GSM RF Transceiver IC"に記されている。

【0003】

図12は、該PLL方式で用いられるPLL回路の一例を示した図である。該PLL回路は、電流出力型位相比較器100と、定電流源101と、ミキサ105と、低域通過フィルタ（LPF）103と、電圧制御発振器104と、スイッチ（SW）102とから構成される。以下の説明において、VCO104は正の感度をもつものと仮定する。LPF103には、一般に、図12に示す様な受動素子から成る2次LPFが使用される。また、SW102には制御信号LOGIC1が与えられる。LOGIC1が0の場合にSW102は開放状態となり、LOGIC1が1の場合にSW102はグランドに短絡する。

【0004】

電流出力型位相比較器100には、位相周波数比較器ではなく、高速動作可能なミキサ型の位相比較器が用いられる。これにより、送信機の周波数構成の自由度を上げることができる。位相比較器の欠点は、2つの入力の周波数差が大きい場合に、出力電圧がLPF103によって抑圧されVCO104に伝わらないということである。つまり、収束初期段階でのVCO104の出力周波数によっては該PLL回路が収束することができない。この欠点を解消するために、定電流源101とSW102が接続されている。該PLL回路が収束する前に必ずSW102をグランドに接続しVCO104の入力電位をグランド電位に設定する。その後、SW102を開放して収束を開始する。電流出力型位相比較器100の出力がVCO104に伝わらない場合でも、定電流源101がLPF103の容量を充電することにより、VCO104の入力電位が上昇する。これにより、電流出力型位相比較器100の2つの入力周波数は近づいていくことができる。該入力周波数が十分近づくと、電流出力型位相比較器100の出力がVCO104の入力に伝わり、収束が可能となる。

【0005】

GSMシステムにはTDMA（Time Division Multiple Access）方式が用いられている。1フレームは120/26msで、15/26msの8つのタイムスロットから構成される。1スロットを受信に、他の1スロットを送信に使用する。図13は、端末の送受信タイミングを示した一例である。この例では、タイムスロット1を受信に、タイムスロット4を送信に割り当てている。送受信間隔は2つのタイムスロット分である。ただし、端末から基地局への伝播遅延を考慮にいれ、送信は最大3024/13μsのタイミングアドバンス分早く行われる。

【0006】

前記PLL方式が、前述のGSMのTDMA動作に従いどのように動作するかを、前記の従来のPLL回路と、図14に示すタイミングチャートを用いて説明する。説明の便宜のため、電流出力型位相比較器100の入力の中心周波数を270MHz、ミキサ105に輸入される局発信号LOの周波数を1180MHzとする。また、VCO104の入力感度は正であり、入力電位が0Vの時の出力周波数を850MHzとする。端末が送信タイミングにない場合、LOGIC1には1が入力され、電流出力型位相比較器100の出力が0Vとなる。これにより、LPF103の容量に蓄積された電荷が放電され、VCO104の入力電位もまた0Vとなる。したがって、VCO104の出力周波数は850MHzとなる。時刻t1になると、LOGIC1には0が入力され、SW102は開放状態となる。この時のミキサ105の出力周波数は、850MHzと1180MHzの和と差、すなわち、2030MHzと330MHzである。和成分は、LPF103で抑圧され収

10

20

30

40

50

束に寄与しないので、ここでは差成分のみを考える。したがって、電流出力型位相比較器 100 の出力周波数は、 $330 - 270 = 60 \text{ MHz}$ となる。GSM システムに用いる場合、一般に該 PLL 回路の帯域は約 1 MHz に設計されるので、ミキサ 105 の出力信号は LPF 103 で十分抑圧され、前記容量への電荷蓄積に寄与しない。つまり、フィードバックが切れた状態となる。しかし、定電流源 101 からの定電流により該容量に電荷が蓄積され、VCO 104 の入力電位は上昇する。その結果、VCO 104 の出力周波数は 850 MHz から上昇していく。VCO 104 の出力周波数が、例えば、 908 MHz に上昇した場合を考える。この時、電流出力型位相比較器 100 の出力周波数は 2 MHz となる。したがって、LPF 103 での抑圧度が減少し、前記容量への電荷蓄積に寄与することができる。すなわち、フィードバックが回復する。フィードバックが回復したことにより、該 PLL 回路は最終的に収束し、VCO 104 の出力周波数は、 $1180 - 270 = 910 \text{ MHz}$ となる。収束は、送信期間の始まる時刻 t_2 よりも早く完了しなければならない。送信期間が終了する時刻 t_3 に、LOGIC 1 には 1 が入力され、再び VCO 104 の入力電位を 0 V とし、次の送信期間に備える。

【0007】

図 15 は、上記収束過程における VCO 104 の入力電位の変化を示した一例である。時刻 t_1 までは、該入力電位は 0 V である。時刻 t_1 に SW 102 が開放となり、該入力電位が直線的に上昇を始める。該上昇の傾きは、主に定電流源 101 の出力電流 I_1 と、LPF 103 の総容量 C により決まり、 I_1 / C で与えられる。その後、フィードバックを回復し収束を完了する。VCO 104 の感度を K_v 、該入力電位が 0 V 時の VCO 104 の出力周波数を f_0 、収束時の VCO 104 の出力周波数を f_1 とすると、収束時の該入力電位 V_1 は数式 1 で与えられる。

【0008】

$$V_1 = (f_1 - f_0) / K_v \cdots (\text{数式 1})$$

該 PLL 回路の収束時間 t_s は、該出力電流 I_1 によって該総容量 C が V_1 に充電される時間で近似できるので、 t_s は数式 2 で与えられる。

【0009】

$$t_s = (f_1 - f_0) / K_v \cdot C / I_1 \cdots (\text{数式 2})$$

したがって、 f_1 が高いほど収束時間が長くなる。例えば GSM システムでは、送信周波数の最高周波数 915 MHz に収束するときにもっとも収束時間が長くなる。

【0010】

近年、高速データ通信サービスの要求が急速に高まってきた。それに伴い、GSM システムにおいても従来のデータレートを改善する方式がいくつか提案され、実用に向け検討が行われている。その一つが GPRS (General Packet Radio Service) である。GPRS は、図 16 に示すように複数のタイムスロットを送信または受信に割り当てることでデータレートを高める方式である。図 13 と図 16 を比較すれば明らかなように、GPRS では前記 PLL 回路が収束に使える時間が従来の GSM に比べ約半分である。そこで、前記 PLL 回路の収束時間を短縮する必要がでてきた。

【0011】

【発明が解決しようとする課題】

前述の様に、従来の PLL 回路の収束時間 t_s は数式 2 で与えられる。 t_s を短縮するには、数式 2 に含まれるパラメータを変更する必要がある。一般に、VCO 104 はモジュール部品として供給されるため、その特性値、 f_0 と K_v は固定値である。また、 I_1 / C は以下の 1) 2) に示す制限により自由に変更することが困難である。1) 電流出力型位相比較器 100 の出力電流と C の比は、システムパラメータである変調帯域幅や許容雑音量によって決定される。2) 該出力電流と I_1 の比により該 PLL 回路の収束安定性が決まる。つまり、従来の PLL 回路の場合、前述の制限を満たしながら、収束時間を短縮することは困難である。

【0012】

そこで、本発明の目的は、前述の制限を満たしながら、従来の PLL 回路の最大収束時間

10

20

30

40

50

を短縮することである。

【 0 0 1 3 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 4 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 5 】

上記目的を達成するために、本発明のPLL回路は、少なくとも電流出力型位相比較器と、低域通過フィルタと、VCOとを含むPLL回路であって、収束開始前には該VCOの入力電位を0Vとし、該PLL回路の収束周波数が設定周波数よりも低い場合には、該入力電位を0Vから収束電位までPLLフィードバックループにより収束させ、該収束周波数が該設定周波数よりも高い場合には、まず該入力電位を0Vから電源電圧まで該PLLフィードバックループを使わずに上昇させ、その後、該入力電位を該電源電圧から収束電位まで該PLLフィードバックループにより収束させるものである。

10

【 0 0 1 6 】

また、上記目的を達成するための他の動作として、本発明のPLL回路は、少なくとも電流出力型位相比較器と、低域通過フィルタと、VCOとを含むPLL回路であって、収束開始前に該VCOの入力電位を電源電圧とし、該PLL回路の収束周波数が設定周波数よりも高い場合には、該入力電位を該電源電圧から収束電位までPLLフィードバックループにより収束させ、該収束周波数が該設定周波数よりも低い場合には、まず該入力電位を該電源電圧から0Vまで該PLLフィードバックループを使わずに下降させ、その後、該入力電位を0Vから収束電位まで該PLLフィードバックループにより収束させるものである。

20

【 0 0 1 7 】

また、上記目的を達成するために、本発明のPLL回路の構成は、第1の入力信号と第2の入力信号の位相差に比例した信号を出力する電流出力型位相比較器と、該電流出力型位相比較器の出力端に接続されたLPFと、該LPFの出力端に接続されたVCOと、該VCOの出力端に接続され第2の信号を出力するミキサと、該電流出力型位相比較器の出力端に定電流を出力する第1と第2の定電流源と、該電流出力型位相比較器の出力端から定電流を吸収する第3の定電流源と、該電流出力型位相比較器とグランドとの間に接続された第1のスイッチとを有し、該第1、第2、第3の定電流源のオンオフと該第1のスイッチの開放、短絡を制御する手段を有するものである。

30

【 0 0 1 8 】

また、上記目的を達成するための他の構成として、該本発明のPLL回路において、該第2の定電流源を該電流出力型位相比較器の出力端と電源電位との間に接続された第2のスイッチに置き換え、該第2のスイッチのオンオフを制御する手段を追加するものである。

【 0 0 1 9 】

また、上記目的を達成するための他の構成として、該本発明のPLL回路において、該第1と第2の定電流源を可変電流源に置き換え、該可変電流源のオンオフと出力電流値を制御する手段を追加するものである。

40

【 0 0 2 0 】

また、本発明の無線通信端末機器は、ベースバンド回路と、該ベースバンド回路から第1のベースバンド信号が入力される変調器と、該変調器の出力に接続されたPLL回路と、該PLL回路の出力に接続された電力増幅器と、該ベースバンド回路に第2のベースバンド信号を出力する受信回路と、アンテナと、該アンテナと該受信回路の入力と該電力増幅器の出力とが接続されるアンテナスイッチとを有し、該ベースバンド回路は該無線通信端末機器の動作の制御信号を出力する無線通信端末機器において、該PLL回路が、前記記載のPLL回路からなることを特徴とするものである。また、該セレクトはアンテナスイ

50

ッチまたはデュプレクサである。

【 0 0 2 1 】

【 発明の実施の形態 】

以下、本発明の実施の形態を図面を用いて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。さらに、従来の技術で説明した内容と重複する部分についての説明も省略する。

【 0 0 2 2 】

図 1 は、本発明の P L L 回路の第 1 の実施の形態を示した構成図である。

【 0 0 2 3 】

本発明に係る P L L 回路は、電流出力型位相比較器 1 0 0 と、定電流源 1 0 1 , 2 0 0 , 2 0 1 と、ミキサ 1 0 5 と、 L P F 1 0 3 と、 V C O 1 0 4 と、 S W 1 0 2 とから構成される。定電流源 1 0 1 と 2 0 0 の出力電流は同じ値である ($I_1 = I_2$)。また、定電流源 2 0 1 の出力電流 I_3 は、定電流源 1 0 1 と 2 0 0 よりも大きな値、例えば 5 0 倍の値である。以下の説明において、 V C O 1 0 4 は正の感度をもつものと仮定する。 S W 1 0 2 には制御信号 L O G I C 1 が与えられる。 L O G I C 1 が 0 の場合に S W 1 0 2 は開放状態となり、 L O G I C 1 が 1 の場合に S W 1 0 2 はグランドに短絡する。また、定電流源 1 0 1 , 2 0 0 , 2 0 1 にはそれぞれ制御信号 L O G I C 2 , 3 , 4 が与えられる。 L O G I C 2 , 3 , 4 が 0 の場合に該 L O G I C が入力される定電流源はそれぞれオフとなり、 1 の場合にそれぞれオンとなる。

【 0 0 2 4 】

電流出力型位相比較器 1 0 0、ミキサ 1 0 5、 S W 1 0 2、 L P F 1 0 3、 V C O 1 0 4 の動作は、前述の従来の P L L 回路と同様である。

【 0 0 2 5 】

該 P L L 回路には 2 つの動作モードがある。該動作モードの一例を図 2 , 3 , 4 , 5 及び 6 を用いて説明する。図 2 は、定電流源 2 0 0 と 2 0 1 を用いない動作モード 1 のタイミングチャートである。非送信期間の時刻 t_4 において、 L O G I C 1 を 1 から 0 にして S W 1 0 2 を短絡状態から開放状態にする。また、 L O G I C 2 を 0 から 1 にして定電流源 1 0 1 をオフからオンにする。 L O G I C 3 と 4 は常に 0 であり、定電流源 2 0 0 と 2 0 1 は常にオフにする。動作モード 1 における該 P L L 回路の動作は、前述の従来の P L L 回路の動作と同様であり、収束周波数が高いほど収束時間が長くなる。送信期間が終了すると、 L O G I C 1 は 0 から 1 にして S W 1 0 2 を開放状態から短絡状態にする。また、 L O G I C 2 は 1 から 0 にして定電流源 1 0 1 をオンからオフにして、次の送信期間に備える。

【 0 0 2 6 】

図 3 は、動作モード 1 における V C O 1 0 4 の入力電位の変化を示した一例である。収束過程は従来の P L L 回路と同様である。

【 0 0 2 7 】

図 4 は、定電流源 1 0 1 を用いない動作モード 2 のタイミングチャートである。 L O G I C 2 は常に 0 として、定電流源 1 0 1 を常にオフにする。非送信期間の時刻 t_5 において、 L O G I C 1 を 1 から 0 にして S W 1 0 2 を短絡状態から開放状態にする。また、 L O G I C 3 を 0 から 1 にして定電流源 2 0 1 をオフからオンにする。定電流源 2 0 1 の出力大電流により L P F 1 0 3 の容量が高速充電され V C O 1 0 4 の入力電位が最大電位まで急上昇する。該最大電位は、定電流源 2 0 1 の電源電圧によって決定される。その後、時刻 t_6 において L O G I C 3 を 1 から 0 にして、定電流源 2 0 1 をオンからオフにする。また、 L O G I C 4 を 0 から 1 にして、定電流源 2 0 0 をオフからオンにする。定電流源 2 0 0 によって L P F 1 0 3 に蓄積された電荷が放電され、 V C O 1 0 4 の入力電位は該最大電位から下降していき、最終的に収束周波数に収束する。この場合、収束周波数が高いほど収束時間が短くなる。送信期間が終了すると、 L O G I C 1 は 0 から 1 にして S W 1 0 2 を開放状態から短絡状態にする。また、 L O G I C 4 は 1 から 0 にして定電流源 2 0 0 をオンからオフにして、次の送信期間に備える。

【 0 0 2 8 】

図 5 は、動作モード 2 における V C O 1 0 4 の入力電位の変化を示した一例である。時刻 t_5 までは、該入力電位は 0 V である。時刻 t_5 に S W 1 0 2 が開放となり、該入力電位が直線的に上昇を始める。該上昇の傾きは、主に定電流源 2 0 1 の出力電流 I_3 と、L P F 1 0 3 の総容量 C により決まり、 I_3 / C で与えられる。前述の様に I_3 は I_1 の、例えば 5 0 倍、と大きいため、該上昇の傾きは該動作モード 1 における I_1 によって決まる傾き I_1 / C の 5 0 倍となる。つまり、非常に高速に該入力電位が最大電位まで上昇する。時刻 t_6 になると、定電流源 2 0 1 がオフとなり定電流源 2 0 0 が動作を始める。定電流源 2 0 0 により該入力電位は直線的に下降を始める。該下降の傾きは、主に定電流源 2 0 0 の出力電流 I_2 と、該 C により決まり、 I_2 / C で与えられる。その後、該 P L L 回路はフィードバックを回復し収束を完了する。動作モード 1 における収束時間 t_{s1} は、従来の P L L 回路と同様に与えられる。動作モード 2 における収束時間 t_{s2} は、 $t_d = t_6 - t_5$ 、該入力電位が最大電位の時の V C O 1 0 4 の出力周波数を f_2 とすると数式 3 で与えられる。

10

【 0 0 2 9 】

$t_{s2} = (f_2 - f_1) / K_v \cdot C / I_2 + t_d \quad \cdots \text{(数式 3)}$

図 6 は、 $K_v = 35 \text{ MHz/V}$ 、 $C = 16 \text{ nF}$ 、 $I_1 = I_2 = 0.54 \text{ mA}$ 、 $f_0 = 845 \text{ MHz}$ 、 $f_2 = 943 \text{ MHz}$ 、 $t_d = 10 \mu\text{s}$ の場合の、収束時間 t_s の収束周波数 f_1 依存性を動作モード 1 と 2 について示したものである。G S M システムの場合を想定し、 f_1 は 880 MHz から 915 MHz で計算を行った。また、収束時間の計算には、数式 2 と 3 を用いた。図から分かるように、動作モード 1 のみを用いる従来の P L L 回路の最大収束時間は約 $60 \mu\text{s}$ である。しかし、 f_1 が 900 MHz 以下では動作モード 1 を、 900 MHz 以上では動作モード 2 を用いれば、最大収束時間は約 $47 \mu\text{s}$ に短縮が可能である。

20

【 0 0 3 0 】

図 7 は、定電流源 1 0 1、2 0 0、2 0 1 の実施例を示す回路図である。該回路は、基準電流発生回路 6 0 0、6 0 1、5 つのカレントミラー回路、P M O S トランジスタ M 1 - M 4 及びインバータ I N V 1、I N V 2 とから構成される。5 つのカレントミラー回路はそれぞれ ($Q_1 - Q_4$, $R_1 - R_3$)、($Q_5 - Q_8$, $R_4 - R_6$)、($Q_9 - Q_{11}$, R_7, R_8)、($Q_{12} - Q_{14}$, R_9, R_{10})、($Q_{15} - Q_{17}$, R_{11}, R_{12}) から構成される。基準電流発生回路 6 0 0、6 0 1 は、バンドギャップリファレンス (B G R) 回路で発生する温度補償された基準電位から定電流を生成し出力する回路である。

30

【 0 0 3 1 】

基準電流発生回路 6 0 0 の出力電流から、図 1 の I_1 と I_2 が生成される。また、基準電流発生回路 6 0 1 からは I_3 が生成される。 I_1 、 I_2 のオンオフ制御は、M 1 - M 4、I N V 1、I N V 2 からなるスイッチ回路によって実現される。例えば、L O G I C 3 が 1 の場合、M 3 のソース・ドレイン間はオープンとなり、M 4 のソース・ドレイン間はショートとなる。したがって、 Q_5 と Q_7 のベース間がショートされるので Q_7 のコレクタから I_1 が出力される。L O G I C 3 が 0 の場合は、 Q_7 のベースが電源電圧となるので Q_7 のコレクタ電流はほぼ 0 となる。 I_3 のオンオフ制御は、基準電流発生回路 6 0 1 のオンオフによって行われる。

40

【 0 0 3 2 】

電流出力型位相比較器 1 0 0 のバイアス電流もまた、基準電流発生回路 6 0 0 から生成される。前述の様に、電流出力型位相比較器 1 0 0 の出力電流と I_1 、 I_2 との比によって該 P L L 回路の収束安定性を決定する。 I_1 、 I_2 及び該バイアス電流を同一の基準電流から生成することで、該出力電流と I_1 、 I_2 との比のばらつきを低減することができる。

【 0 0 3 3 】

たとえば、図 7 において、L O G I C 3 で制御される I_3 は、 I_1 、 I_2 に比べて 8 倍の

50

電流を流している。この 8 倍は、カレントミラー回路のエミッタ抵抗比に基準電流源から出力される電流値をかけたものの比である。具体的には、

$(R_{11} / R_{12}) \times (R_9 / R_{10}) \times 601$ の発生する電流値と、

$(R_4 / R_6) \times (R_2 / R_3) \times 600$ の発生する電流値との比が 8 : 1 になっている。

【0034】

以上のような構成において、 $0.35 \mu\text{m BiCMOS}$ プロセスを用いた例では、前記従来の PLL 回路に比べ約 6 % の回路面積の増加だけで本発明に係る PLL 回路の第 1 の実施の形態を実現できている。

【0035】

図 8 は、LOGIC 1, 2, 3, 4 の生成回路の実施例を示す回路図である。該回路は、第 1 の実施の形態の PLL 回路 700 と、第 1 の実施の形態のミキサ 105 に入力される LO 信号を生成するための PLL 回路 701 と、カウンタ 710 と、論理回路 711 とから構成される。また、PLL 回路 701 は、温度補償型水晶発振器 (TCXO) 704 と、分周器 705, 707 と、位相比較器 706 と、LPF 708 と、VCO 709 とから構成される。点線 703 で囲まれた回路は同一 IC 内に製造される回路である。TCXO 704 は、温度補償された周波数精度の高い基準信号源として用いられ、例えば、13 MHz の信号を出力する。分周器 705 は TCXO 704 の出力信号を分周し、位相比較器 706 に信号を出力する。分周比は、例えば 1 / 65 で、200 kHz の信号を出力する。分周器 705 の出力信号がカウンタ 710 に入力されるので、カウンタ 710 の入力と出力の間には、分周器 705 の出力信号の周期の整数倍の遅延が生じる。したがって、該遅延を用いて図 4 における t_5 から t_6 への遅延を実現することができる。論理回路 711 は、カウンタ 710 の出力信号と該 IC 外部から入力される LOGIC 5, 6 とから LOGIC 1, 2, 3, 4 を生成し、PLL 回路 700 へと出力する。LOGIC 5 は、図 2, 4 における t_4 , t_5 を決めるための信号であり、LOGIC 6 は、前述の動作モードを決めるための信号である。

【0036】

次に、本発明に係る PLL 回路の第 2 の実施の形態を説明する。

【0037】

図 9 は、本発明の PLL 回路の第 2 の実施の形態を示した構成図である。該 PLL 回路は、第 1 の実施の形態において、定電流源 201 を電源電圧に接続された SW 300 に置き換えたことを特徴とする回路である。SW 300 と LOGIC 3 以外の回路の動作は第 1 の実施の形態と同様である。SW 300 は、図 4 の時刻 t_5 から t_6 の間にのみオンになる。これにより、LPF 103 の入力端子と電源が短絡され、LPF 103 の容量が電源からの電流で最大電位まで高速充電される。

【0038】

次に、本発明に係る PLL 回路の第 3 の実施の形態を説明する。

【0039】

図 10 は、本発明の PLL 回路の第 3 の実施の形態を示した構成図である。該 PLL 回路は、第 1 の実施の形態において、定電流源 101 と 201 を可変電流源 500 に置き換えたことを特徴とする回路である。可変電流源 500 は、LOGIC 2 と 4 によりオンオフ制御と出力電流値制御が可能である。可変電流源 500、LOGIC 2 と 4 により、第 1 の実施の形態の定電流源 101, 201 と LOGIC 2 と 3 と同じ機能を実現する。

【0040】

本発明にかかる無線通信端末機器の一例を図 11 に示す。該無線通信端末機器は、ベースバンド回路 400 と、変調器 401 と、本発明に係る PLL 回路 402 と、電力増幅器 (PA) 403 とから構成される送信系と、アンテナスイッチ 404 と、アンテナ 406 と、受信回路 405 とから構成される。

【0041】

ベースバンド回路 400 は、音声信号やデータ信号に基づいて変調器 401 にベースバン

10

20

30

40

50

ド信号407を出力し、受信回路405から入力されるベースバンド信号408に基づいて音声信号やデータ信号を再生する。また、該無線通信端末機器を構成する回路410を制御するための制御信号409を出力する。変調器401において、ベースバンド信号407に基づきIF帯の変調信号が生成される。変調器401の出力信号はPLL回路402に入力され、周波数変換が施された後、PA403に出力される。PA403において、信号は電力を増幅され、アンテナスイッチ404を通してアンテナ406から送信される。アンテナスイッチ404により、送信時にはアンテナ406とPA403が接続され、受信時にはアンテナ406と受信回路405が接続される。アンテナ406で受信された信号は、受信回路405に入力され、復調が行われ、ベースバンド信号408が出力される。

10

【0042】

したがって、本実施の形態によれば、PLL回路の電流出力型位相比較器100の出力に、LPF103充電用の定電流源101と、放電用の定電流源200と、高速充電用の定電流源201を接続することで、該PLL回路の収束周波数が低い場合には、定電流源101を用いてVCO104の入力電位を0Vから上昇させて収束させ、該収束周波数が高い場合には、定電流源201を用いて該入力電位を一旦最大電位にし、その後、定電流源200を用いて該入力電位を最大電圧から下降させて収束させるように、収束周波数により上記動作を選択することで該PLL回路の最大収束時間を短縮することができる。

【0043】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

20

【0044】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0045】

本発明によれば、従来のPLL回路に2つの定電流源を追加するだけで、最大収束時間を約半分に短縮できるという効果がある。

【図面の簡単な説明】

30

【図1】本発明のPLL回路の第1の実施の形態を示す構成図である。

【図2】本発明のPLL回路の動作モード1を示すタイミングチャートである。

【図3】本発明のPLL回路の動作モード1におけるVCO入力電位を示す特性図である。

。

【図4】本発明のPLL回路の動作モード2を示すタイミングチャートである。

【図5】本発明のPLL回路の動作モード2におけるVCO入力電位を示す特性図である。

。

【図6】本発明と従来のPLL回路の収束時間比較を示す特性図である。

【図7】本発明のPLL回路の定電流源の実施例を示す回路図である。

【図8】本発明のPLL回路のLOGICの生成回路の実施例を示す回路図である。

40

【図9】本発明のPLL回路の第2の実施の形態を示す構成図である。

【図10】本発明のPLL回路の第3の実施の形態を示す構成図である。

【図11】本発明のPLL回路を用いた無線通信端末機器の一例を示す構成図である。

【図12】従来のPLL回路を示す構成図である。

【図13】GSMシステム用無線通信端末機器の送受信タイミングを示す説明図である。

【図14】従来のPLL回路の動作を示すタイミングチャートである。

【図15】従来のPLL回路のVCO入力電位を示す特性図である。

【図16】GPRSシステム用無線通信端末機器の送受信タイミングを示す説明図である。

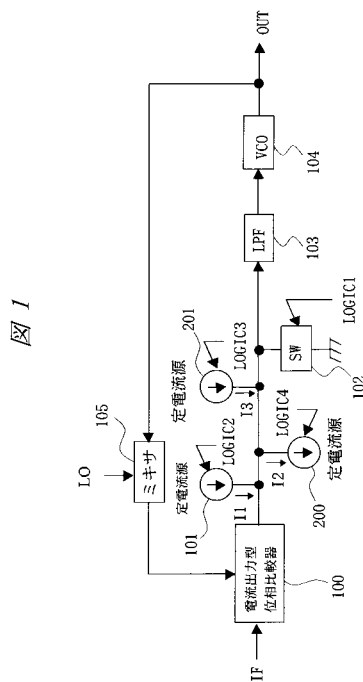
。

【符号の説明】

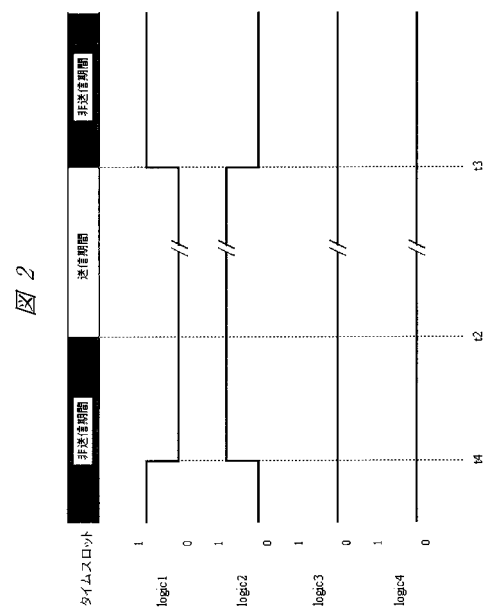
50

- | | |
|-------|----------------------|
| 1 0 0 | 電流出力型位相比較器 |
| 1 0 1 | ， 2 0 0 ， 2 0 1 定電流源 |
| 1 0 2 | ， 3 0 0 スイッチ（ S W ） |
| 1 0 3 | 低域通過フィルタ（ L P F ） |
| 1 0 4 | 電圧制御発振器（ V C O ） |
| 1 0 5 | ミキサ |
| 4 0 0 | ベースバンド回路 |
| 4 0 1 | 変調器 |
| 4 0 2 | P L L 回路 |
| 4 0 3 | 電力増幅器（ P A ） |
| 4 0 4 | アンテナスイッチ |
| 4 0 5 | 受信回路 |
| 4 0 6 | アンテナ |
| 4 0 7 | ， 4 0 8 ベースバンド信号 |
| 4 0 9 | 制御信号 |
| 5 0 0 | 可変電流源 |

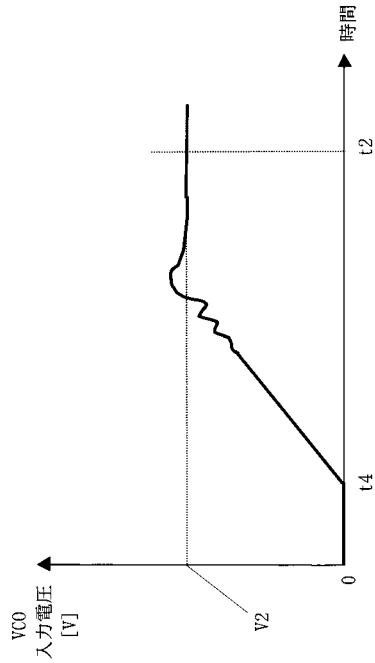
【 図 1 】



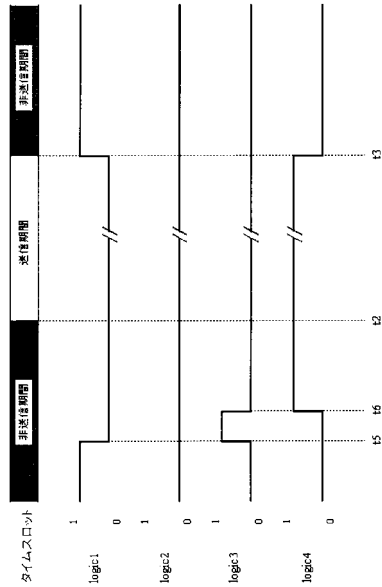
【圖 2】



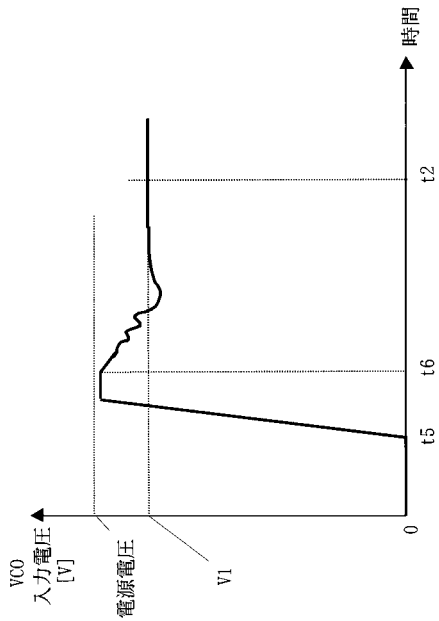
【図 3】



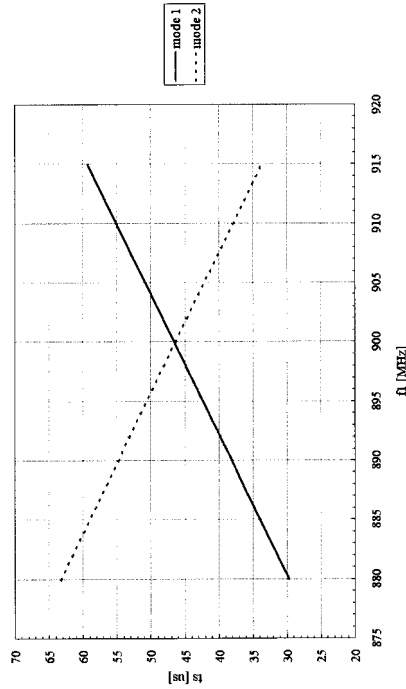
【図 4】



【図 5】

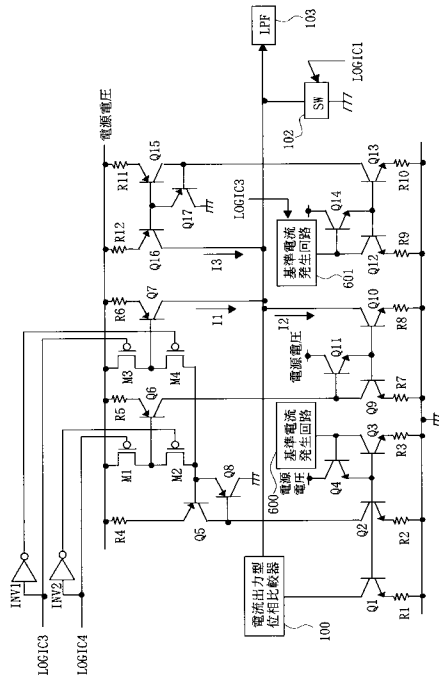


【図 6】



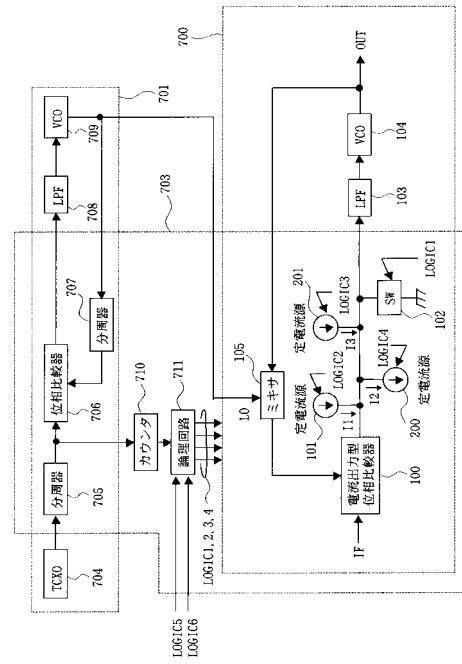
【図 7】

図 7



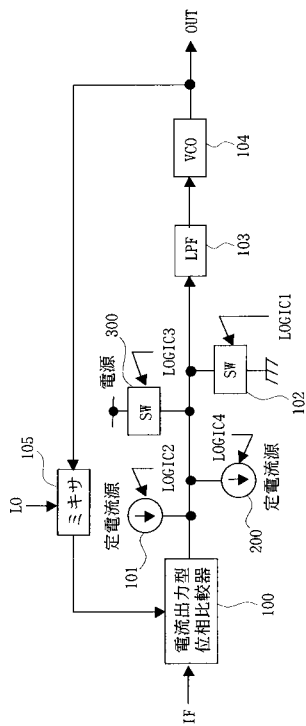
【図 8】

図 8



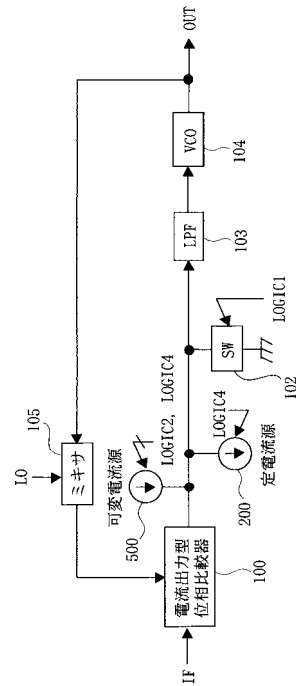
【図 9】

図 9

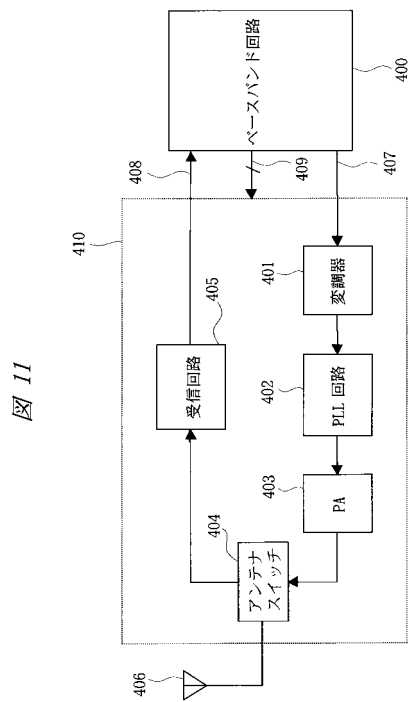


【図 10】

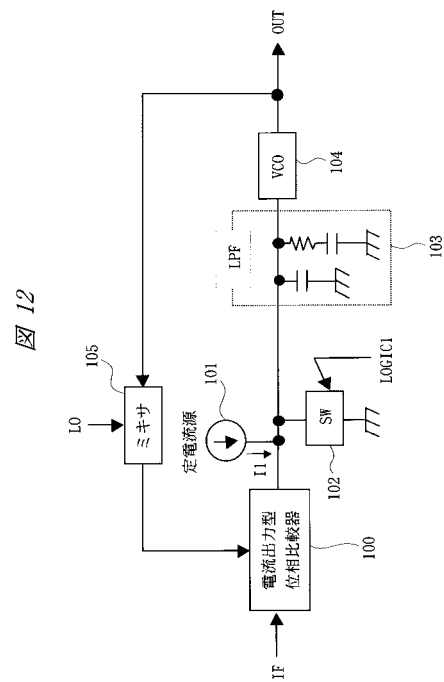
図 10



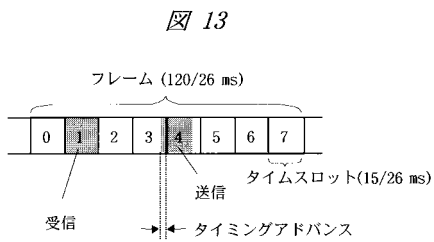
【図 1 1】



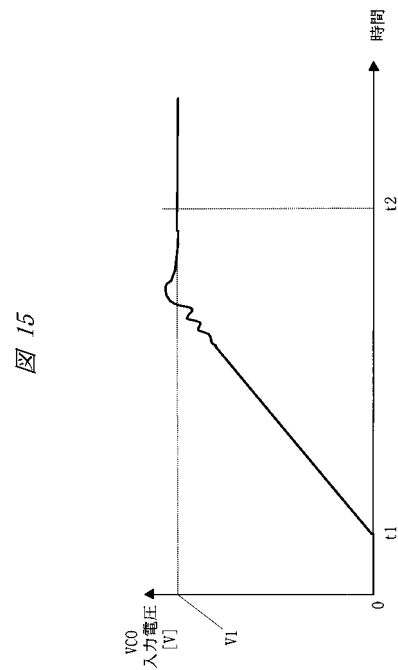
【図 1 2】



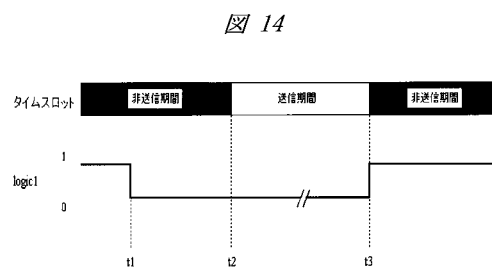
【図 1 3】



【図 1 5】

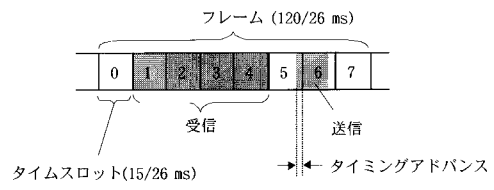


【図 1 4】



【図 16】

図 16



フロントページの続き

(72)発明者 田中 聡

東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

(72)発明者 林 範雄

東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 渡辺 一雄

東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

(72)発明者 ロバート・アストル・ヘンシャウ

イギリス国、ハートフォードシャー エスジー 8 6 イーイー、ロイストン、メルボルン、ケンブリッジ ロード、メルボルン サイエンس パーク、ティーティーピー コム リミテッド内

審査官 崎間 伸洋

(56)参考文献 特開平 1 0 - 2 1 5 1 7 1 (J P , A)

特開平 0 8 - 1 3 9 5 9 9 (J P , A)

英国特許第 0 2 3 3 8 1 2 7 (G B , B)

特開平 1 1 - 2 8 4 5 0 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H03L 7/06-7/23