

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5172267号  
(P5172267)

(45) 発行日 平成25年3月27日 (2013.3.27)

(24) 登録日 平成25年1月11日 (2013.1.11)

(51) Int. Cl.

H01L 27/146 (2006.01)

F I

H01L 27/14

E

請求項の数 7 (全 14 頁)

<p>(21) 出願番号 特願2007-263205 (P2007-263205)                  (22) 出願日 平成19年10月9日 (2007.10.9)                  (65) 公開番号 特開2009-94273 (P2009-94273A)                  (43) 公開日 平成21年4月30日 (2009.4.30)                  審査請求日 平成22年7月13日 (2010.7.13)</p>	<p>(73) 特許権者 306037311                  富士フイルム株式会社                  東京都港区西麻布2丁目26番30号                  (74) 代理人 100115107                  弁理士 高松 猛                  (74) 代理人 100151194                  弁理士 尾澤 俊之                  (74) 代理人 100164758                  弁理士 長谷川 博道                  (72) 発明者 乾谷 正史                  神奈川県足柄上郡開成町牛島577番地                  富士フイルム株式会社内                  審査官 脇水 佳弘</p>
--	--

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項1】

基板上方に一次元状又は二次元状に配設された多数の光電変換素子を有する固体撮像素子を備える撮像装置であって、

前記多数の光電変換素子が複数の光電変換素子群に分割され、

前記光電変換素子が、画素電極と、前記画素電極よりも上方に形成された対向電極と、前記対向電極と前記画素電極の間に配置された有機の光電変換材料で構成される光電変換層とからなり、

前記対向電極と前記光電変換層は、前記多数の光電変換素子で共通の一枚構成であり、

前記固体撮像素子は、前記基板と前記多数の光電変換素子との間に前記複数の光電変換素子群の各々に対応して設けられた半導体基板を備え、

前記半導体基板には、前記半導体基板に対応する前記光電変換素子群の各光電変換素子で発生した電荷に応じた信号を出力する信号出力部が形成されており、

前記半導体基板には、前記半導体基板に対応する前記光電変換素子群の各光電変換素子の前記画素電極と電気的に接続された導電性部材からなるパッド部が設けられ、

前記パッド部に前記信号出力部が接続されており、

前記信号出力部を駆動するための駆動信号を発生する駆動信号発生手段と、

前記駆動信号発生手段によって発生された駆動信号を符号化する符号化手段とを備え、

前記基板が、前記駆動信号発生手段及び前記符号化手段が形成された回路基板であり、

前記固体撮像素子の前記複数の半導体基板の各々には、前記符号化手段から供給された

10

20

駆動信号を復号化して、該復号化した駆動信号を、該各々の半導体基板に設けられた前記信号出力部に供給する復号化手段が含まれる撮像装置。

【請求項 2】

請求項 1 記載の撮像装置であって、  
前記駆動信号発生手段が、1つの前記半導体基板に設けられた前記信号出力部を駆動するのに必要な数だけ前記駆動信号を発生するものであり、  
前記符号化手段が、前記駆動信号を符号化した駆動信号を、前記固体撮像素子に含まれる全ての前記復号化手段に同時に供給するものである撮像装置。

【請求項 3】

請求項 1 又は 2 記載の撮像装置であって、  
前記固体撮像素子の前記復号化手段と前記回路基板の前記符号化手段との接続配線が前記半導体基板を貫通して設けられている撮像装置。

10

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項記載の撮像装置であって、  
前記固体撮像素子が、前記光電変換層の上方に設けられたモザイクカラーフィルタを備える撮像装置。

【請求項 5】

請求項 1 ~ 3 のいずれか 1 項記載の撮像装置であって、  
前記光電変換層の上方に設けられたシンチレータを備える撮像装置。

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項記載の撮像装置であって、  
前記信号出力部が、前記パッド部に接続され、前記パッド部に接続された画素電極で捕集された電荷を信号に変換して出力する MOS 回路を含んで構成されている撮像装置。

20

【請求項 7】

請求項 1 ~ 5 のいずれか 1 項記載の撮像装置であって、  
前記信号出力部が、前記パッド部に接続された電荷蓄積部と、前記電荷蓄積部に蓄積された電荷を読み出して転送する電荷転送素子と、前記電荷転送素子によって転送した電荷に応じた信号を出力する出力部とを含んで構成されている撮像装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、基板上方に一次元状又は二次元状に配設された多数の光電変換素子を有する固体撮像素子に関する。

【背景技術】

【0002】

複写機やFAXのドキュメントスキャナには、読み取り幅を原稿幅と同寸法とし、原稿にほぼ密着して原稿を読み取る一次元イメージセンサ、いわゆる等倍密着型ラインセンサが多く使われている。等倍密着型ラインセンサは、原稿像をイメージセンサ上に縮小結像させる光学系が不要で、スキャナの小型化、ローコスト化が期待される。

【0003】

40

しかしながら、シリコンウエハを用いた現状の半導体プロセスでは、ウエハサイズ（現在最大でも直径300mm）以上のサイズのイメージセンサを製造できず、複数のイメージセンサを繋ぎ合わせて用いられている。イメージセンサの繋ぎ合わせ法として、非特許文献 1、2 に示される如く、パッケージされた複数個のイメージセンサを画素を重複させて千鳥状に配列する方法やイメージセンサーチップ自身を繋ぎ合わす方法が提案されている。

【0004】

しかし、現状の半導体プロセスで製造されるイメージセンサは、画素毎の感度バラツキや黒レベルバラツキがウエハ内でもウエハロット間でも存在し、複数のイメージセンサを繋ぎ合わせると、繋ぎ目での感度や黒レベルの特性バラツキが発生し、これにより、スキャンされた画像に筋状の固定パターンノイズが発生する。その為、この固定パターンノイ

50

ズを抑圧するための信号処理回路が別途必要となる。

【0005】

一方、非特許文献3の如く、シリコンウエハを用いた半導体プロセスではなく、フラットパネルディスプレイで用いられているa-Si（アモルファスシリコン）プロセスにより、繋ぎ目なく一度に大サイズのイメージセンサを製造することも提案されている。また、a-Siで大サイズイメージセンサを製造することは、ラインセンサのみならず、医療分野で使われる大サイズのX線センサにも、非特許文献4の如く、採用されている。

【0006】

しかしながら、a-Siは、結晶シリコンであるシリコンウエハに比べて、電子正孔の移動度が低く、製造での電気特性バラツキ（特に $V_{th}$ ）が大きい為、高感度、高速読み出し、高S/Nのイメージセンサには適さない。

【0007】

CCDやCMOSセンサは、単結晶シリコンで作られており、高感度、高速読み出しに優れているが、シリコンウエハを基板として製造する為、シリコンウエハの直径、現状最大でも12インチ（300mm）以上のセンサを製造することは不可能である。

【0008】

一方、アモルファスシリコンを用いればディスプレイデバイスの製造で構築されたプロセスにより基板サイズの制約がなく大サイズのセンサが製造可能であるが、アモルファスシリコンは単結晶シリコンに比べて電子正孔の移動度が1/100以下である為、原理的に高速読み出しが望めない。

【0009】

上記課題を克服して、高感度、高速読み出し、大サイズセンサを実現する方法として、CCDやMOSセンサを複数個繋ぎ合わせた繋ぎ合わせ型センサが提案され使われている（特許文献1～4参照）。

【0010】

- 【非特許文献1】テレビジョン学会技術報告, ED681, p49, 1982
- 【非特許文献2】テレビジョン学会技術報告, ED812, p25, 1984
- 【非特許文献3】「電子技術」, 1989-7, p51-p56
- 【非特許文献4】「応用物理」, 第73巻, 第7号, p931-p934, 2004
- 【特許文献1】特開2000-278605号公報
- 【特許文献2】特開2001-42042号公報
- 【特許文献3】特開2003-163796号公報
- 【特許文献4】特開2003-198813号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

繋ぎ合わせ型センサの課題は、その繋ぎ合わせ方法にある。

CCDやCMOSセンサは、配列された複数のフォトダイオードと各フォトダイオードに接続され順次信号電荷を読み出す信号読み出し回路で構成されているが、フォトダイオード、信号読み出し回路ともチップ端面ぎりぎりまでに形成することが出来ない（チップ端面の影響で性能が劣化するため）。したがって、繋ぎ合わせた結果を踏まえて、フォトダイオードを等間隔に配置することが出来ない。

【0012】

その為、画像を分割する光学系を撮像レンズとイメージセンサの中間に挿入して分割撮像するか、複数の撮像素子をオーバーラップさせて平行に配置し信号処理で合成するかの何れかの方法が使われている。

【0013】

また、CCDやCMOSセンサは製造上、1素子毎に特性、特に感度特性と黒レベルにバラツキが生じる。その為、たとえ機械的に高精度で配置出来たととしても、素子と素子の繋ぎ部分で感度差や黒レベル差が発生し固定パターンノイズとなる。固定パターンノイズは信号

10

20

30

40

50

処理回路で抑制出来るが費用がかさむ。

【 0 0 1 4 】

以上の如く、繋ぎ合わせ型センサは、高感度、高速読み出しではあるが、繋ぎ合わせの為にコストがかさみ、撮像光学系が大型化するという欠点があった。また、エリアセンサの場合は、最低でも2方向、4枚以上のセンサーチップを4方向の端面で繋ぎ合わせる必要があるが、4方向の端面に画素を配置するのはほとんど不可能であった。

【 0 0 1 5 】

本発明は、上記事情に鑑みてなされたものであり、固定パターンノイズ発生がなく、また、繋ぎ合わせの為に光学系も不要で、高感度、高速読み出し、大サイズ、ローコストを実現可能な固体撮像素子を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 6 】

( 1 ) 基板上方に一次元状又は二次元状に配設された多数の光電変換素子を有する固体撮像素子を備える撮像装置であって、前記多数の光電変換素子が複数の光電変換素子群に分割され、前記光電変換素子が、画素電極と、前記画素電極よりも上方に形成された対向電極と、前記対向電極と前記画素電極の間に配置された有機の光電変換材料で構成される光電変換層とからなり、前記対向電極と前記光電変換層は、前記多数の光電変換素子で共通の一枚構成であり、前記固体撮像素子は、前記基板と前記多数の光電変換素子との間に前記複数の光電変換素子群の各々に対応して設けられた半導体基板を備え、前記半導体基板には、前記半導体基板に対応する前記光電変換素子群の各光電変換素子で発生した電荷に応じた信号を出力する信号出力部が形成されており、前記半導体基板上には、前記半導体基板に対応する前記光電変換素子群の各光電変換素子の前記画素電極と電気的に接続された導電性部材からなるパッド部が設けられ、前記パッド部に前記信号出力部が接続されており、前記信号出力部を駆動するための駆動信号を発生する駆動信号発生手段と、前記駆動信号発生手段によって発生された駆動信号を符号化する符号化手段とを備え、前記基板が、前記駆動信号発生手段及び前記符号化手段が形成された回路基板であり、前記固体撮像素子の前記複数の半導体基板の各々には、前記符号化手段から供給された駆動信号を復号化して、該復号化した駆動信号を、該各々の半導体基板に設けられた前記信号出力部に供給する復号化手段が含まれる撮像装置。

( 2 ) ( 1 ) 記載の撮像装置であって、前記駆動信号発生手段が、1つの前記半導体基板に設けられた前記信号出力部を駆動するのに必要な数だけ前記駆動信号を発生するものであり、前記符号化手段が、前記駆動信号を符号化した駆動信号を、前記固体撮像素子に含まれる全ての前記復号化手段に同時に供給するものである撮像装置。

( 3 ) ( 1 ) 又は ( 2 ) 記載の撮像装置であって、前記固体撮像素子の前記復号化手段と前記回路基板の前記符号化手段との接続配線が前記半導体基板を貫通して設けられている撮像装置。

( 4 ) ( 1 ) ~ ( 3 ) のいずれか1つに記載の撮像装置であって、前記固体撮像素子が、前記光電変換層の上方に設けられたモザイクカラーフィルタを備える撮像装置。

( 5 ) ( 1 ) ~ ( 3 ) のいずれか1つに記載の撮像装置であって、前記光電変換層の上方に設けられたシンチレータを備える撮像装置。

( 6 ) ( 1 ) ~ ( 5 ) のいずれか1つに記載の撮像装置であって、前記信号出力部が、前記パッド部に接続され、前記パッド部に接続された画素電極で捕集された電荷を信号に変換して出力するMOS回路を含んで構成されている撮像装置。

( 7 ) ( 1 ) ~ ( 5 ) のいずれか1つに記載の撮像装置であって、前記信号出力部が、前記パッド部に接続された電荷蓄積部と、前記電荷蓄積部に蓄積された電荷を読み出して転送する電荷転送素子と、前記電荷転送素子によって転送した電荷に応じた信号を出力する出力部とを含んで構成されている撮像装置。

【 発明の効果 】

【 0 0 3 1 】

本発明によれば、固定パターンノイズ発生がなく、また、繋ぎ合わせの為に光学系も不

10

20

30

40

50

要で、高感度、高速読み出し、大サイズ、ローコストを実現可能な固体撮像素子を提供することができる。

【発明を実施するための最良の形態】

【0032】

以下、本発明の実施形態について図面を参照して説明する。

【0033】

(第一実施形態)

図1は、本発明の第一実施形態である固体撮像素子の概略構成を示す断面模式図である。図2は、図1に示す信号読み出し回路素子2の詳細構成を示す回路図である。図3は、図1に示す固体撮像素子の全体構成を示す模式図である。

10

図1に示す固体撮像素子100は、回路基板1と、回路基板1上に図3に示すように一次元状に配設された複数の信号読み出し回路素子2と、複数の信号読み出し回路素子2上に形成された光電変換部4とを備える。

【0034】

光電変換部4は、一次元状に配列された多数の画素電極41と、多数の画素電極41上に形成された1枚構成の光電変換層42と、光電変換層42上に形成された1枚構成の対向電極43と、対向電極43上に形成された保護層44とを備える。

【0035】

光電変換層42は、入射光のうちの特定の波長域の光を吸収して、この光に応じた電荷を発生する有機又は無機の光電変換材料で構成されている。有機の光電変換材料を用いる場合には、例えば、緑色の波長域の光を吸収するキナクリドンを用いることができる。光電変換層42として、セレンを主成分とする光電変換材料を採用した場合には、光電変換層42においてX線を検出することができ、X線センサを実現することができる。

20

【0036】

画素電極41は、導電性材料で構成されていればどのような材料を用いても良い。対向電極43は、光電変換層42に入射光を入射させる必要があるため、入射光のうち少なくとも光電変換層42で吸収する波長域の光を透過することのできる材料(例えばITO)で構成されている。対向電極43には、所定のバイアス電圧が印加されるようになっており、このバイアス電圧が印加されることにより、画素電極41及び対向電極43間にバイアス電圧が印加され、光電変換層42で発生した電荷(電子、正孔)のうちの例えば電子が画素電極41に移動して、ここで捕集されるようになっている。

30

【0037】

画素電極41と、対向電極43のうちの該画素電極41と重なる部分と、光電変換層42のうちの該画素電極41と重なる部分とにより、1つの光電変換素子が構成されている。図1に示す固体撮像素子は、この光電変換素子を多数有している。この多数の光電変換素子は、複数の光電変換素子群に分割されており、この複数の光電変換素子群の各々に対応して信号読み出し回路素子2が設けられている。

【0038】

尚、一對の電極と、これらに挟まれる光電変換層とを有する光電変換素子の構成としては、アモルファスシリコンのショットキー型又はPIN型又はMIS(Metal Insulator Semiconductor)型のフォトダイオード構造を採用することもできる。

40

【0039】

保護層44は、多数の光電変換素子を保護するための層であり、入射光を透過することが可能な絶縁材料で構成されている。

【0040】

図1及び図2に示すように、信号読み出し回路素子2は、結晶シリコンやポリシリコン等の半導体基板20と、パッド部22と、絶縁層23と、走査回路29と、コントローラ30と、MOS回路21、CDS27、トランジスタ28、A/D変換器31、抵抗32、信号線24、リセット線25、及び行選択線26を含む信号出力部とを備える。

【0041】

50

MOS回路21とパッド部22は、それぞれ、信号読み出し回路素子2に対応する光電変換素子群に含まれる各光電変換素子の画素電極41に対応して設けられている。

【0042】

パッド部22は、対応する画素電極41と、該画素電極41に対応するMOS回路21の入力端子とを電氣的に接続するものであり、導電性材料で構成されている。

【0043】

図2に示すように、MOS回路21は、画素電極41で捕集された電荷をリセットするためのリセットトランジスタ21aと、該電荷を電荷量に応じた信号に変換して出力する出力トランジスタ21bと、出力トランジスタ21bからの出力信号を信号線24に選択的に出力する行選択トランジスタ21cとを含む公知の3トランジスタ構成となっている。

10

【0044】

リセットトランジスタ21aのゲートにはリセット線25を介して走査回路29が接続されている。行選択トランジスタ21cのゲートには行選択線26を介して走査回路29が接続されている。行選択トランジスタ21cの出力端子には信号線24が接続されている。MOS回路21は、走査回路29から行選択線26を介して行選択信号が供給されると、対応する画素電極41に捕集された電荷に応じた信号が行選択トランジスタ21cから信号線24に出力され、信号の出力後、リセット線25を介してリセット信号が供給されると、リセットトランジスタ21aによって画素電極41で捕集されていた電荷がリセットされる。走査回路29は、行選択信号を各MOS回路21に順次供給していくことで、全てのMOS回路21から信号を出力させる。

20

【0045】

コントローラ30は、走査回路29を制御するものであり、固体撮像素子100を搭載する撮像装置を統括制御するシステム制御部によって制御される。

【0046】

CDS27は、信号線24に出力された信号に相関二重サンプリング処理を行ってノイズ除去を行う回路である。A/D変換器31は、CDS27からの出力信号をデジタル信号に変換する。

【0047】

このように、信号出力部は、公知のCMOSプロセスによって、半導体基板20内及び半導体基板20上に形成されている。パッド部22は、信号出力部が形成された半導体基板20上に形成されている。絶縁層23は、パッド部22の表面以外を絶縁するためのものである。

30

【0048】

回路基板1には、信号読み出し回路素子2から出力されたデジタル信号を一時記憶するメモリや、メモリに記憶されたデジタル信号にデジタル信号処理を行って画像データを生成するデジタル信号処理回路や、該画像データの圧縮伸張を行う圧縮伸張回路や、上記システム制御部等の撮像装置の構成要素が形成されている。信号読み出し回路素子2の出力端子と、回路基板1の入力端子との接続は、半導体基板20を貫通する貫通配線50によって行われている。

40

【0049】

画素電極41は、対応するパッド部22上に形成されており、その平面積は、パッド部22の平面積よりも十分に大きくなっている。これにより、製造工程時における画素電極41とパッド部22との位置ずれを許容することができる。又、画素電極41は、複数の信号読み出し回路素子2の上に等間隔で配列されている。

【0050】

以上のように構成された固体撮像素子100の動作を説明する。

露光期間が終了すると、各光電変換素子群の光電変換素子で発生した信号が、その光電変換素子群に対応する信号読み出し回路素子2から出力され、この信号が回路基板1のメモリに記憶される。メモリへの信号の書き込みを並列処理することができる構成を採用す

50

れば、信号読み出し回路素子 2 からの信号の読み出しは、全ての信号読み出し回路素子 2 で同時に行うことが可能である。並列処理ができない構成の場合には、各信号読み出し回路素子 2 からの信号の読み出しはタイミングをずらして行われる。

【 0 0 5 1 】

固体撮像素子 1 0 0 に含まれる多数の光電変換素子からの全信号がメモリに記憶されると、この信号から該多数の光電変換素子と同じ数の解像度の画像データが生成され、記録メディアに記録される。

【 0 0 5 2 】

以上のように構成された固体撮像素子 1 0 0 の製造方法を説明する。

まず、回路基板 1 にデジタル信号処理回路等の必要な回路を形成する。次に、半導体基板 2 0 に公知の C M O S プロセスによって信号出力部と走査回路 2 9 とコントローラ 3 0 と貫通配線 5 0 を形成し、これらの上にパッド部 2 2 を形成し、パッド部 2 2 の上に絶縁材料を成膜し、これをパッド部 2 2 が露出するまで平坦化して絶縁層 2 3 を形成して、信号読み出し回路素子 2 を作成する。信号読み出し回路素子 2 を複数作成した後、複数の信号読み出し回路素子 2 を、パッド部 2 2 が一直線状になるように、また、パッド部 2 2 の高さが一定となるように、回路基板 1 上に実装する（図 4 ( a )）。このとき、回路基板 1 の回路と貫通配線 5 0 との接続も行う。信号読み出し回路素子 2 の実装後、複数の信号読み出し回路素子 2 を、接着剤等で回路基板 1 に固着する。

【 0 0 5 3 】

次に、パッド部 2 2 及び絶縁層 2 3 上に導電性材料を成膜し、これをパターニングしてパッド部 2 2 上に等間隔で画素電極 4 1 を形成する。画素電極 4 1 の平面積はパッド部 2 2 の平面積よりも十分に大きいため、パッド部 2 2 の形成位置にばらつきがあっても、画素電極 4 1 を等間隔に形成することができ、光電変換素子の配列ピッチを一定にすることができる。

【 0 0 5 4 】

次に、画素電極 4 1 上に絶縁材料を成膜し、これを画素電極 4 1 が露出するまで平坦化して、画素電極 4 1 同士の隙間に絶縁層 5 1 を形成する（図 4 ( b )）。尚、パッド部 2 2 及び絶縁層 2 3 上に絶縁材料を成膜した後、フォトリソ技術により、画素電極 4 1 同士の隙間が存在すべき領域のみに該絶縁材料を残し、その後、導電性材料を成膜し、C M P によって平坦化することで、画素電極 4 1 と絶縁層 5 1 を形成することも可能である。

【 0 0 5 5 】

次に、画素電極 4 1 及び絶縁層 5 1 上に、複数の半導体基板 2 0 上に渡って光電変換材料を成膜して、複数の半導体基板 2 0 の上方に 1 枚構成の光電変換層 4 2 を形成する。次に、光電変換層 4 2 上に I T O を成膜して 1 枚構成の対向電極 4 3 を形成し、この上に透明樹脂等を成膜して保護層 4 4 を形成し（図 4 ( c )）、図 1 に示す素子を得る。

【 0 0 5 6 】

以上のように、画素電極 4 1 については、信号読み出し回路素子 2 に比べると遥かに加工精度が低くてよく、又、パッド部 2 2 との位置合わせ精度も低くて良い。又、光電変換部 4 の画素電極 4 1 よりも上の構成要素は、材料の成膜処理のみで形成することができる。したがって、光電変換部 4 の形成には、アモルファスシリコンセンサに用いられているプロセスを採用することができ、大サイズの光電変換部 4 を作成することができる。又、大サイズの光電変換部 4 から信号を読み出す手段を、シリコンウエハやポリシリコンウエハを用いて形成した信号読み出し回路素子 2 を複数繋ぎ合わせることで実現しているため、製造での電気特性バラツキを少なくすることができる。

【 0 0 5 7 】

このように、固体撮像素子 1 0 0 によれば、繋ぎ目なく大サイズの光電変換部を作成することができ、又、大サイズの光電変換部から得られる信号を、半導体基板を利用した信号読み出し回路素子 2 で読み出すことができるため、繋ぎ合わせに起因した固定パターンノイズの発生がなく、又、繋ぎ合わせのための光学系も不要な、高感度、高速読み出し、大サイズ、ローコストなラインセンサを提供することができる。

10

20

30

40

50

## 【0058】

又、固体撮像素子100によれば、信号読み出し回路素子2と回路基板1との接続を、半導体基板20を貫通する貫通配線によって行っているため、この接続のための配線を半導体基板20の表面に形成する必要がなく、信号読み出し回路素子2の構成要素の配置レイアウトの自由度を向上させることができ、多数の光電変換素子を一定のピッチで配置することが容易となる。

## 【0059】

尚、図1において、光電変換層42の上方、例えば対向電極43と保護層44との間に、多数の光電変換素子毎に分割されたモザイクカラーフィルタ（例えば、赤色を透過するカラーフィルタ、緑色を透過するカラーフィルタ、青色を透過するカラーフィルタの3種類をモザイク状に並べたもの）を設け、光電変換層42を可視域の光を吸収してこれに応じた電荷を発生する材料で構成することで、カラー撮像を行うことが可能となる。

10

## 【0060】

又、図1において、光電変換層42の上方、例えば対向電極43と保護層44との間にシンチレータを設け、光電変換層42を、X線を吸収してこれに応じた電荷を発生する材料で構成することで、X線撮像を行うことが可能となる。

## 【0061】

又、固体撮像素子100の信号出力部の構成は、上述した以外に、パッド部22に接続された電荷蓄積部と、電荷蓄積部に蓄積された電荷を読み出して転送する電荷転送素子（CCD）と、電荷転送素子によって転送した電荷に応じた信号を出力する出力部とを含むCCD回路で構成しても良い。

20

## 【0062】

又、以上の説明では、信号読み出し回路素子2と回路基板1との接続を、半導体基板20を貫通する貫通配線によって行うものとしたが、信号読み出し回路素子2の空いた領域に信号出力部に接続されたパッドを設け、このパッドと回路基板1とを配線で接続するようにしても良い。

## 【0063】

又、以上の説明では、図4(a)に示す状態から、画素電極41、光電変換層42、対向電極43、及び保護層44を順番に積層して形成していくものとしたが、図4(a)に示す状態の素子と、図4(c)の画素電極41よりも上の素子とを別々に形成しておき、これらの素子を貼り合わせることで、図4(c)に示す素子を作成することも可能である。

30

## 【0064】

（第二実施形態）

第二実施形態で説明する固体撮像素子は、第一実施形態で説明した固体撮像素子100の信号読み出し回路素子2の配列を一次元状から二次元状に変更し、各信号読み出し回路素子2に対応する光電変換素子の配列を一次元状から二次元状に変更し、この変更に伴い、各信号読み出し回路素子2の構成と、回路基板1の構成を変更したものとなっている。

## 【0065】

図5は、本発明の第二実施形態である固体撮像素子200の全体構成を示す模式図である。図6は、本発明の第二実施形態である固体撮像素子200の平面模式図である。図7は、図6に示す信号読み出し回路素子2の詳細構成を示した回路図である。固体撮像素子200の断面模式図は図1と同様である。

40

## 【0066】

固体撮像素子200は、回路基板1と、回路基板1上に図5に示すように二次元状に配設された4つ以上の信号読み出し回路素子2（ここでは4つとする）と、信号読み出し回路素子2上に形成された光電変換部4とを備える。各信号読み出し回路素子2の上に形成された光電変換素子は、全体として二次元状に配列されており、これにより、エリアセンサが構成される。以下では、各信号読み出し回路素子2の上にこの信号読み出し回路素子2に対応して形成された光電変換素子の数を、例えば（縦3000×横3000）個とす

50



る。つまり、固体撮像素子200は、3600万画素の画像を得ることができるものとなっている。

【0067】

信号読み出し回路素子2は、対応する光電変換素子群の各光電変換素子の画素電極41に対応する3000個のパッド部22と、3000個のパッド部22の各々に接続された3000個のMOS回路21とを備える。

【0068】

水平方向に並ぶ3000個のMOS回路21からなるMOS回路行には、行選択線26及びリセット線25が対応して設けられている。MOS回路行の各行選択トランジスタ21cのゲートには行選択線26が接続され、MOS回路行の各リセットトランジスタ21aのゲートにはリセット線25が接続されている。行選択線26及びリセット線25は、垂直走査パルスデコーダ34に接続されている。

10

【0069】

垂直方向に並ぶ3000個のMOS回路21からなるMOS回路列には、信号線24と、CDS27と、A/D変換器31と、列選択トランジスタ33とが対応して設けられている。MOS回路列の各行選択トランジスタ21cの出力端子には信号線24が接続されている。信号線24は、CDS27に接続され、CDS27は列選択トランジスタ33の入力に接続され、列選択トランジスタ33のゲートは水平走査パルスレコーダ35に接続されている。列選択トランジスタ33の出力にはA/D変換器31が接続されている。

【0070】

MOS回路21、CDS27、トランジスタ28、A/D変換器31、抵抗32、信号線24、リセット線25、行選択線26、及び列選択トランジスタ33により、信号出力部が構成されている。

20

【0071】

図6に示すように、回路基板1には、各信号読み出し回路素子2から出力された信号を処理する回路の他に、垂直走査パルスエンコーダ36と、垂直走査回路37と、水平走査パルスエンコーダ38と、水平走査回路39とが形成されている。垂直走査パルスエンコーダ36と、垂直走査回路37と、水平走査パルスエンコーダ38と、水平走査回路39は、固体撮像素子200を搭載する撮像装置側の構成要素であり、固体撮像素子200を駆動する駆動手段として機能する。

30

【0072】

垂直走査回路37は、1つの信号読み出し回路素子2に含まれる各MOS回路行に出力すべき3000個の行選択信号と3000個のリセット信号を生成するものであり、1つの信号読み出し回路素子2に含まれる行選択線26とリセット線25の総数と同じ6000本の信号線が接続されている。

【0073】

垂直走査パルスエンコーダ36は、垂直走査回路37と接続されている6000本の信号線から受け取った行選択信号とリセット信号をそれぞれ符号化してその数を減らして、各信号読み出し回路素子2の垂直走査パルスデコーダ34に同時に出力する。

【0074】

垂直走査パルスデコーダ34は、垂直走査パルスエンコーダ36から受け取った行選択信号とリセット信号をそれぞれ復号化して、3000個の行選択信号と3000個のリセット信号を復元し、これを各リセット線25及び各行選択線26に順次供給する。

40

【0075】

水平走査回路39は、1つの信号読み出し回路素子2に含まれる各列選択トランジスタ33に出力すべき3000個の列選択信号を生成するものであり、1つの信号読み出し回路素子2に含まれる列選択トランジスタ33の総数と同じ3000本の信号線が接続されている。

【0076】

水平走査パルスエンコーダ38は、水平走査回路39と接続されている3000本の信

50

号線から受け取った列選択信号を符号化してその数を減らして、各信号読み出し回路素子 2 の水平走査パルスデコーダ 3 5 に同時に出力する。

【 0 0 7 7 】

水平走査パルスデコーダ 3 5 は、水平走査パルスエンコーダ 3 8 から受け取った列選択信号を復号化して、3 0 0 0 個の列選択信号を復元し、これを各列選択トランジスタ 3 3 に供給する。

【 0 0 7 8 】

垂直走査パルスデコーダ 3 4 と垂直走査パルスエンコーダ 3 6 との接続配線及び水平走査パルスデコーダ 3 5 と水平走査パルスエンコーダ 3 8 との接続配線は、図 1 に示したように、半導体基板 2 0 を貫通する貫通配線 5 0 によって形成されている。

【 0 0 7 9 】

垂直走査パルスデコーダ 3 4 は、行選択線 2 6 に行選択信号を上から順次供給することで、MOS 回路行を上から順次選択する。水平走査パルスデコーダ 3 5 は、1 つの MOS 回路行が選択されている期間に、列選択トランジスタ 3 3 に列選択信号を左から順次供給することで、選択中の MOS 回路行の各 MOS 回路 2 1 から信号を順次出力させることができる。このような処理により、各信号読み出し回路素子 2 の各光電変換素子で発生した信号を外部に出力させることができる。

【 0 0 8 0 】

以上のように構成された固体撮像素子 2 0 0 の製造方法を説明する。

まず、回路基板 1 にデジタル信号処理回路、垂直走査パルスエンコーダ 3 6、垂直走査回路 3 7、水平走査パルスエンコーダ 3 8、及び水平走査回路 3 9 等の必要な回路を形成する。次に、半導体基板 2 0 に公知の CMOS プロセスによって信号出力部と垂直走査パルスデコーダ 3 4 と水平走査パルスデコーダ 3 5 と貫通配線 5 0 を形成し、これらの上にパッド部 2 2 を形成し、パッド部 2 2 の上に絶縁材料を成膜し、これをパッド部 2 2 が露出するまで平坦化して絶縁層 2 3 を形成して、信号読み出し回路素子 2 を作成する。

【 0 0 8 1 】

信号読み出し回路素子 2 を 4 つ作成した後、この信号読み出し回路素子 2 を、パッド部 2 2 が二次元状になるように、また、パッド部 2 2 の高さが一定となるように、回路基板 1 上に実装する。このとき、回路基板 1 の回路と貫通配線 5 0 との接続も行う。信号読み出し回路素子 2 の実装後、4 つの信号読み出し回路素子 2 を、接着剤等で回路基板 1 に固着する。この後は、第一実施形態と同様の方法で画素電極 4 1、光電変換層 4 2、対向電極 4 3、及び保護層 4 4 を形成して固体撮像素子 2 0 0 を完成させる。

【 0 0 8 2 】

以上のように、固体撮像素子 2 0 0 によれば、信号読み出し回路素子 2 を二次元状に配置し、これに対応して光電変換素子を形成することで、大サイズのイメージセンサを実現することができる。又、信号読み出し回路素子 2 には、垂直走査回路 3 7 及び水平走査回路 3 9 を設けずに、垂直走査パルスデコーダ 3 4 と水平走査パルスデコーダ 3 5 を設け、回路基板 1 に、垂直走査回路 3 7 及び垂直走査パルスエンコーダ 3 6 と水平走査回路 3 9 及び水平走査パルスエンコーダ 3 8 とを設けるものとしている。垂直走査パルスデコーダ 3 4 及び水平走査パルスデコーダ 3 5 の回路規模は、垂直走査回路 3 7 及び水平走査回路 3 9 の回路規模よりも十分に小さい。このため、信号読み出し回路素子 2 に含まれるパッド部 2 2 や MOS 回路 2 1 の配置レイアウトの自由度を向上させることができ、多数の光電変換素子を一定のピッチで配置することが容易となる。

【 0 0 8 3 】

又、垂直走査回路 3 7 及び水平走査回路 3 9 の各々からの信号を MOS 回路に直接入力するのではなく、垂直走査パルスデコーダ 3 4、水平走査パルスデコーダ 3 5、垂直走査パルスエンコーダ 3 6、水平走査パルスエンコーダ 3 8 を介して入力するようにすることで、回路基板 1 と信号読み出し回路素子 2 との接続配線の数を大幅に減らすことができる。このため、3 6 0 0 万画素という大サイズのイメージセンサであっても、その製造に必要な配線の引き回しを問題なく行うことができる。

10

20

30

40

50

## 【 0 0 8 4 】

又、各信号読み出し回路素子 2 内の垂直走査パルスデコーダ 3 4 と水平走査パルスレコーダ 3 5 には、垂直走査パルスエンコーダ 3 6 及び水平走査パルスエンコーダ 3 8 から同一のタイミングで信号が入力されるため、信号読み出し処理を、全ての信号読み出し回路素子 2 で並列に行うことができ、信号読み出しに要する時間を短縮することができる。

## 【 0 0 8 5 】

尚、固体撮像素子 1 0 0 においても、本実施形態と同様に、エンコーダとデコーダを設けた構成としても良い。この場合は、図 2 の走査回路 2 9 と、走査回路 2 9 で生成された信号をエンコードするエンコーダを回路基板 1 に設け、図 2 の走査回路 2 9 の代わりに、該エンコーダからの信号をデコードするデコーダを設けた構成とすれば良い。この場合も、回路基板 1 に設けたエンコーダから、各信号読み出し回路素子 2 のデコーダに信号を同時に供給することで、各信号読み出し回路素子 2 からの信号読み出し処理を同時に行うことができ、撮像時間を短縮することができる。

10

## 【 図面の簡単な説明 】

## 【 0 0 8 6 】

【 図 1 】 本発明の第一実施形態である固体撮像素子の概略構成を示す断面模式図

【 図 2 】 図 1 に示す信号読み出し回路素子の詳細構成を示す回路図

【 図 3 】 図 1 に示す固体撮像素子の全体構成を示す模式図

【 図 4 】 図 1 に示す固体撮像素子の製造工程を示す断面模式図

【 図 5 】 本発明の第二実施形態である固体撮像素子の全体構成を示す模式図

20

【 図 6 】 本発明の第二実施形態である固体撮像素子の平面模式図

【 図 7 】 図 6 に示す信号読み出し回路素子の詳細構成を示した回路図

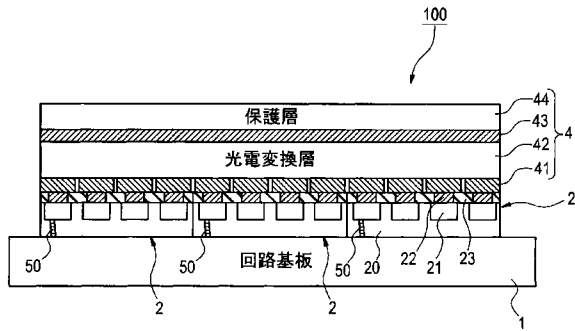
## 【 符号の説明 】

## 【 0 0 8 7 】

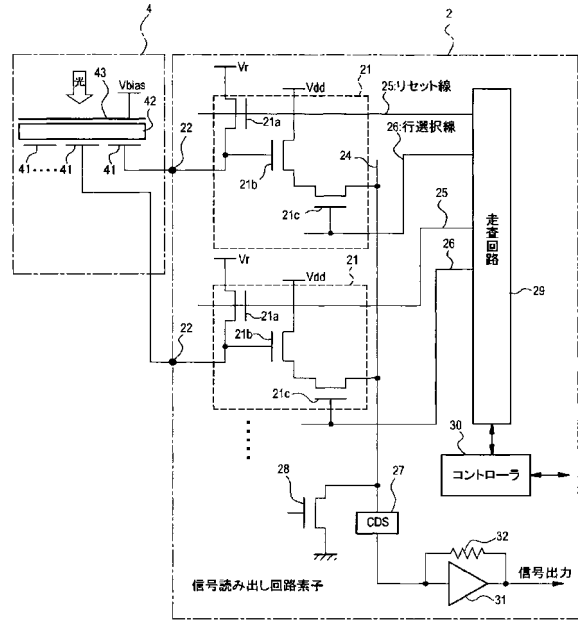
- 1 回路基板
- 2 信号読み出し回路素子
  - 2 1 MOS 回路
  - 2 2 パッド部
  - 2 3 絶縁層
  - 4 1 画素電極
  - 4 2 光電変換層
  - 4 3 対向電極
- 1 0 0 固体撮像素子

30

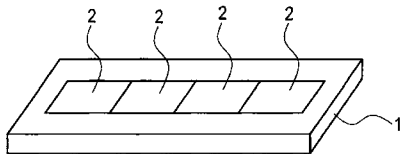
【図1】



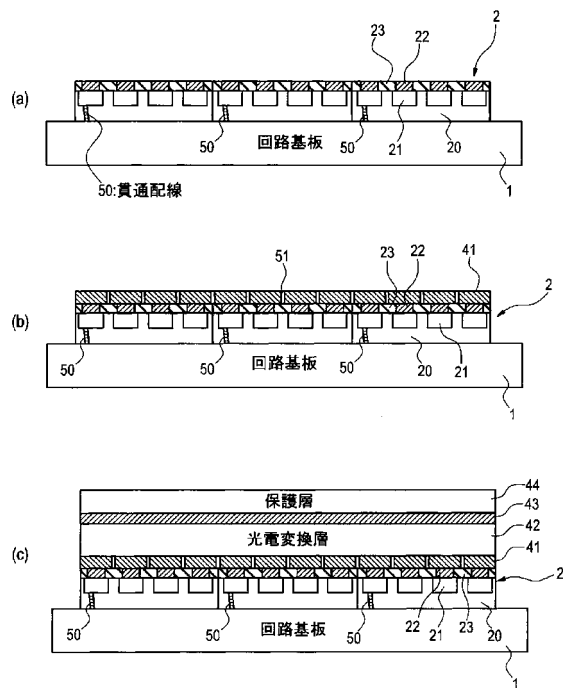
【図2】



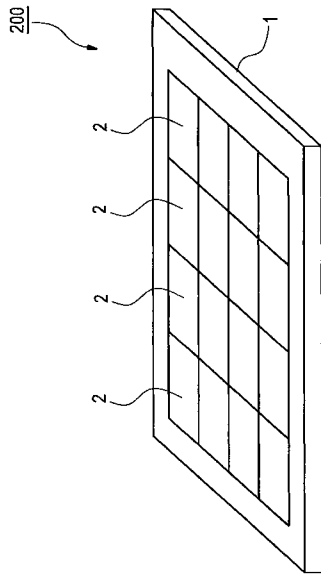
【図3】



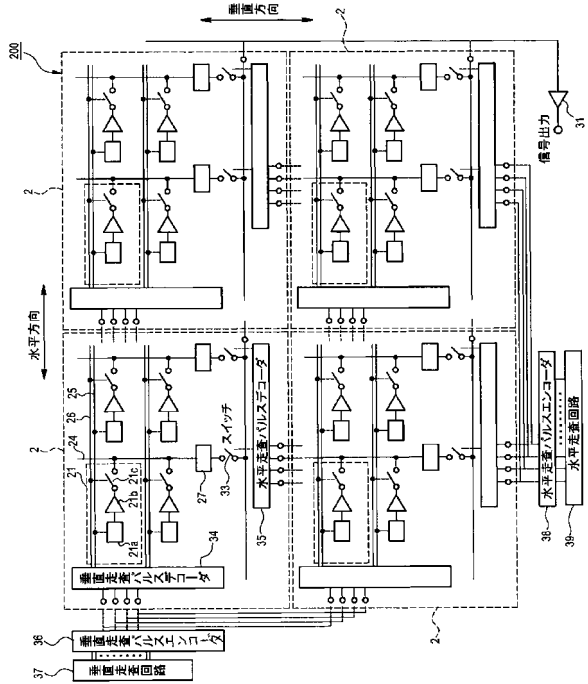
【図4】



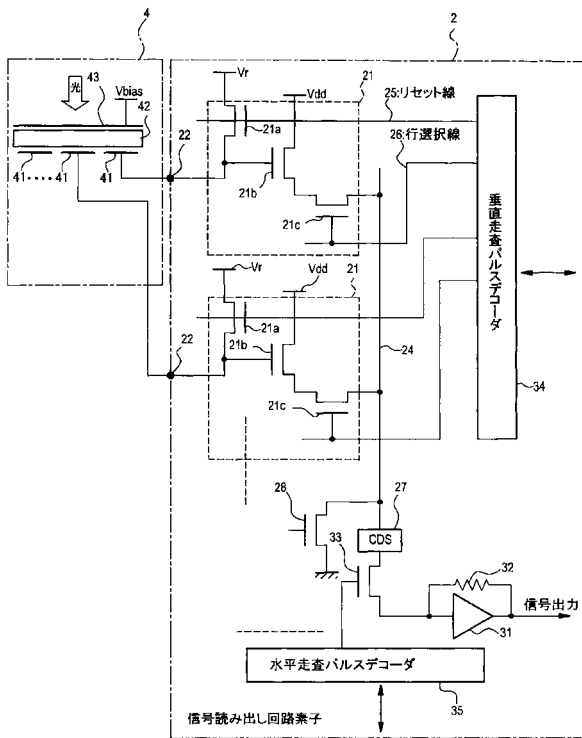
【図5】



【図6】



【図7】



---

フロントページの続き

- (56)参考文献 特開2006-108525(JP,A)  
特開平05-013748(JP,A)  
特開2007-101256(JP,A)  
特開昭60-093893(JP,A)  
特開2004-146816(JP,A)  
特開平03-270177(JP,A)  
特開平09-298287(JP,A)  
特開2006-087566(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/339  
H01L 27/14  
H01L 27/146 - 27/148  
H01L 29/762