

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 8 月 21 日 (2014.8.21)

【公表番号】特表 2013-533628 (P2013-533628A)

【公表日】平成 25 年 8 月 22 日 (2013.8.22)

【年通号数】公開・登録公報 2013-045

【出願番号】特願 2013-518511 (P2013-518511)

【国際特許分類】

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 45/00 (2006.01)

H 0 1 L 49/00 (2006.01)

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 4 8

H 0 1 L 45/00 A

H 0 1 L 45/00 Z

H 0 1 L 49/00 Z

【手続補正書】

【提出日】平成 26 年 7 月 1 日 (2014.7.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリデバイスの基材と、

前記基材にわたり前記メモリデバイスの第 1 のデバイスレベル内に配置される、複数の第 1 のメモリセルと、

前記第 1 のデバイスレベルおよび前記基材にわたり前記メモリデバイスの第 2 のデバイスレベル内に配置される、複数の第 2 のメモリセルであって、前記第 1 のデバイスレベルは前記第 2 のデバイスレベルとは異なる第 2 のメモリセルと、

前記第 1 のメモリセルへのアクセスを制御するための、前記第 1 のデバイスレベル内に形成される第 1 の制御ゲートであって、前記第 1 のメモリセルのそれぞれが、前記第 1 の制御ゲートの空洞内に形成されるメモリ素子を含む、第 1 の制御ゲートと、

前記第 2 のメモリセルへのアクセスを制御するための、前記第 2 のデバイスレベル内に形成される第 2 の制御ゲートであって、前記第 2 のメモリセルのそれぞれが、前記第 2 の制御ゲートの空洞内に形成されるメモリ素子を含む、第 2 の制御ゲートと、

導電材料を介して共通ソースおよび前記メモリセルに選択的に結合されるデータ線と、を含む、装置。

【請求項 2】

前記第 1 および第 2 のメモリセルが、第 1 の方向で配置構成される複数のメモリセル、

および第 2 の方向で配置構成される複数のメモリセルを含み、
共通ソースと、

前記共通ソースおよび前記メモリセルに、導電材料を通じて選択的に結合されるように構成される、データ線と、を更に含み、前記導電材料が、前記第 1 および第 2 のメモリセルを、第 3 の方向で貫通して延び、前記第 3 の方向が、前記第 1 および第 2 の方向と実質的に垂直である、請求項 1 に記載の装置。

【請求項 3】

前記共通ソースが、前記第 1 および第 2 のメモリセルと基材との間にあるように、前記共通ソースが、前記メモリデバイスの前記基材の上に形成されることにより、消去動作の間に、前記第 1 および第 2 のメモリセルの少なくとも一方の前記メモリ素子からの電子が、前記共通ソースへ移動することが可能になる、請求項 2 に記載の装置。

【請求項 4】

メモリデバイスの第 1 のデバイスレベル内に配置される複数の第 1 のメモリセルと、
前記メモリデバイスの第 2 のデバイスレベル内に配置される複数の第 2 のメモリセルと

前記第 1 のメモリセルにアクセスするための前記第 1 のデバイスレベル内に形成される第 1 の制御ゲートであって、前記第 1 のメモリセルの各々は前記第 1 の制御ゲート内の空洞内に形成されるメモリ素子を含む第 1 の制御ゲートと、

前記第 2 のメモリセルにアクセスするための前記第 2 のデバイスレベル内に形成される第 2 の制御ゲートであって、前記第 2 のメモリセルの各々は前記第 2 の制御ゲート内の空洞内に形成されるメモリ素子を含み、前記第 1 および第 2 のメモリセルは、第 1 の方向に並んだ複数のメモリセルおよび第 2 の方向に並んだ複数のメモリセルを含む第 2 の制御ゲートと、

共通ソースと、

前記共通ソースと前記第 1 および第 2 のメモリセルに導電材料を介して選択的に結合されるように構成されたデータ線であって、前記導電材料は、前記第 1 および第 2 のメモリセルを前記第 1 および第 2 の方向に実質的に垂直な第 3 の方向に通るように伸延し、前記第 1 および第 2 のメモリセルが、前記共通ソースと基材との間にあるように、前記共通ソースが、前記メモリデバイスの前記基材の上に形成される装置。

【請求項 5】

前記第 1 のメモリセルが、前記第 2 のメモリセルと、実質的に垂直に位置合わせされる、請求項 1 に記載の装置。

【請求項 6】

前記第 1 のメモリセルのそれぞれの前記メモリ素子が、前記第 2 のメモリセルのうちの 1 つの前記メモリ素子と、実質的に垂直に位置合わせされる、請求項 1 に記載の装置。

【請求項 7】

前記メモリデバイスのメモリ動作の間、前記第 1 および第 2 のメモリセルに関連する前記データ線に、前記第 1 および第 2 のメモリセルを選択的に結合させるための、トランジスタを更に含み、前記トランジスタの少なくとも 1 つが、ダブルゲートを含む、請求項 1 に記載の装置。

【請求項 8】

前記メモリデバイスのメモリ動作の間、前記第 1 および第 2 のメモリセルに関連するデータ線に、前記第 1 および第 2 のメモリセルを選択的に結合させるための、トランジスタを更に含み、前記トランジスタの少なくとも 1 つが、取り囲まれたゲートを含む、請求項 1 に記載の装置。

【請求項 9】

リング形状を有し、メモリ素子の第 1 のデバイスレベル内に配置される第 1 のメモリ素子を含む、第 1 の不揮発性メモリセルと、

リング形状を有し、メモリ素子の第 3 のデバイスレベル内に配置される第 2 のメモリ素子を含む、第 2 の不揮発性メモリセルであって、前記第 1 のデバイスレベルは前記第 2 の

デバイスレベルとは異なる、第 2 の不揮発性メモリセルと、

前記第 1 および第 2 のメモリ素子を貫通して延びる導電材料と、

前記導電材料を通り共通ソースと前記第 1 および第 2 のメモリセルに選択的に結合されるように構成されたデータ線と、
を含む、装置。

【請求項 10】

前記第 1 のメモリセルにアクセスするための制御ゲートとして動作するように構成される、第 1 の追加的導電材料であって、前記第 1 のメモリ素子および前記第 1 の追加的導電材料が、前記メモリデバイスの、前記第 1 のデバイスレベル内に配置される、第 1 の追加的導電材料と、

前記第 2 のメモリセルにアクセスするための制御ゲートとして動作するように構成される、第 2 の追加的導電材料であって、前記第 2 のメモリ素子および前記第 2 の追加的導電材料が、前記メモリデバイスの、前記第 2 のデバイスレベル内に配置される、第 2 の追加的導電材料と、

を更に含む、請求項 9 に記載の装置。

【請求項 11】

前記第 1 および第 2 のメモリセルのそれぞれが、前記対応するメモリ素子と前記導電材料との間に、第 1 の誘電体を更に含む、請求項 10 に記載の装置。

【請求項 12】

前記第 1 および第 2 のメモリセルのそれぞれが、前記対応するメモリ素子と前記対応する追加的導電材料との間に、第 2 の誘電体を更に含む、請求項 11 に記載の装置。

【請求項 13】

前記データ線が、前記基材と前記第 1 のメモリセルとの間に配置される、請求項 9 に記載の装置。

【請求項 14】

前記第 1 および第 2 のメモリセルが、前記基材と前記データ線との間に配置される、請求項 9 に記載の装置。

【請求項 15】

メモリデバイスの基材と、

前記基材にわたり前記メモリデバイスの第 1 のデバイスレベル内に配置され、第 1 の側壁を有する第 1 の空洞を含む、第 1 の導電材料と、

前記第 1 のデバイスレベルおよび前記基材にわたり前記メモリデバイスの第 2 のデバイスレベル内に配置され、第 2 の側壁を有する第 2 の空洞を含む第 2 の導電材料であって、前記第 1 のデバイスレベルは前記第 2 のデバイスレベルとは異なる、第 2 の導電材料と、

前記第 1 の側壁および前記第 2 の側壁上に形成される、第 1 の誘電体と、

前記第 1 の空洞内に配置され、前記第 1 の誘電体の第 1 の部分によって、前記第 1 の導電材料から電氣的に絶縁される、第 1 のメモリ素子と、

前記第 2 の空洞内に配置され、前記第 1 の誘電体の第 2 の部分によって、前記第 2 の導電材料から電氣的に絶縁される、第 2 のメモリ素子と、

前記第 1 のメモリ素子の側面上、および前記第 2 のメモリ素子の側面上に形成される、第 2 の誘電体と、

前記第 1 のデバイスレベルから前記第 2 のデバイスレベルへ延び、前記第 2 の誘電体の少なくとも対応する部分によって、前記第 1 および第 2 のメモリ素子から電氣的に絶縁されるように、前記第 1 および第 2 のメモリ素子に対向する、導電チャネルと、

を含む、装置。

【請求項 16】

前記第 1 および第 2 のメモリ素子が、ポリシリコンを含む、請求項 15 に記載の装置。

【請求項 17】

前記第 1 および第 2 のメモリ素子が、誘電材料を含む、請求項 15 に記載の装置。

【請求項 18】

前記誘電材料が、シリコン窒化物を含む、請求項 17 に記載の装置。

【請求項 19】

前記第 1 の導電材料と前記第 2 の導電材料との間に、誘電材料を更に含む、請求項 15 に記載の装置。

【請求項 20】

メモリデバイスの第 1 のデバイスレベル内に配置される第 1 の導電材料であって、前記第 1 の導電材料は第 1 の空洞を含み、前記第 1 の空洞は第 1 の側壁を有する第 1 の導電材料と、

メモリデバイスの第 2 のデバイスレベル内に配置される第 2 の導電材料であって、前記第 1 の導電材料は第 2 の空洞を含み、前記第 2 の空洞は第 2 の側壁を有する第 2 の導電材料と、

前記第 1 の側壁および前記第 2 の側壁上に形成される第 1 の誘電材料と、

前記第 1 の空洞内に配置され、前記第 1 の誘電材料の第 1 の部分によって前記第 1 の導電材料から電氣的に絶縁されている第 1 のメモリ素子と、

前記第 2 の空洞内に配置され、前記第 2 の誘電材料の第 2 の部分によって前記第 2 の導電材料から電氣的に絶縁されている第 2 のメモリ素子と、

前記第 1 のメモリ素子の側面および前記第 2 のメモリ素子の側面上に形成される第 2 の誘電材料と、

前記第 1 のデバイスレベルから、前記第 2 のデバイスレベルに伸延し、前記第 1 および第 2 のメモリ素子に対向し、前記第 2 の誘電材料の少なくともそれぞれの部分によって前記第 1 および第 2 のメモリ素子から電氣的に絶縁される導電チャンネルと、

基材と、

前記導電チャンネルに選択的に結合されるように構成され、前記第 2 の導電材料と前記基材との間に配置される、データ線と、

を含む装置。

【請求項 21】

前記導電チャンネルに選択的に結合されるように構成されるデータ線であって、前記第 1 および第 2 のメモリ素子が、前記データ線と前記基材との間に配置される、データ線と、
を更に含む、請求項 15 に記載の装置。