

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年8月21日(2014.8.21)

【公表番号】特表2013-533628(P2013-533628A)

【公表日】平成25年8月22日(2013.8.22)

【年通号数】公開・登録公報2013-045

【出願番号】特願2013-518511(P2013-518511)

【国際特許分類】

| | | |
|--------|---------|-----------|
| H 01 L | 27/115 | (2006.01) |
| H 01 L | 21/8247 | (2006.01) |
| H 01 L | 21/336 | (2006.01) |
| H 01 L | 29/788 | (2006.01) |
| H 01 L | 29/792 | (2006.01) |
| H 01 L | 27/105 | (2006.01) |
| H 01 L | 45/00 | (2006.01) |
| H 01 L | 49/00 | (2006.01) |

【F I】

| | | |
|--------|-------|-------|
| H 01 L | 27/10 | 4 3 4 |
| H 01 L | 29/78 | 3 7 1 |
| H 01 L | 27/10 | 4 4 8 |
| H 01 L | 45/00 | A |
| H 01 L | 45/00 | Z |
| H 01 L | 49/00 | Z |

【手続補正書】

【提出日】平成26年7月1日(2014.7.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリデバイスの基材と、

前記基材にわたり前記メモリデバイスの第1のデバイスレベル内に配置される、複数の第1のメモリセルと、

前記第1のデバイスレベルおよび前記基材にわたり前記メモリデバイスの第2のデバイスレベル内に配置される、複数の第2のメモリセルであって、前記第1のデバイスレベルは前記第2のデバイスレベルとは異なる第2のメモリセルと、

前記第1のメモリセルへのアクセスを制御するための、前記第1のデバイスレベル内に形成される第1の制御ゲートであって、前記第1のメモリセルのそれぞれが、前記第1の制御ゲートの空洞内に形成されるメモリ素子を含む、第1の制御ゲートと、

前記第2のメモリセルへのアクセスを制御するための、前記第2のデバイスレベル内に形成される第2の制御ゲートであって、前記第2のメモリセルのそれぞれが、前記第2の制御ゲートの空洞内に形成されるメモリ素子を含む、第2の制御ゲートと、

導電材料を介して共通ソースおよび前記メモリセルに選択的に結合されるデータ線と、
を含む、装置。

【請求項2】

前記第1および第2のメモリセルが、第1の方向で配置構成される複数のメモリセル、

および第2の方向で配置構成される複数のメモリセルを含み、

共通ソースと、

前記共通ソースおよび前記メモリセルに、導電材料を通じて選択的に結合されるように構成される、データ線と、を更に含み、前記導電材料が、前記第1および第2のメモリセルを、第3の方向で貫通して延び、前記第3の方向が、前記第1および第2の方向と実質的に垂直である、請求項1に記載の装置。

【請求項3】

前記共通ソースが、前記第1および第2のメモリセルと基材との間にあるように、前記共通ソースが、前記メモリデバイスの前記基材の上に形成されることにより、消去動作の間に、前記第1および第2のメモリセルの少なくとも一方の前記メモリ素子からの電子が、前記共通ソースへ移動することが可能になる、請求項2に記載の装置。

【請求項4】

メモリデバイスの第1のデバイスレベル内に配置される複数の第1のメモリセルと、
前記メモリデバイスの第2のデバイスレベル内に配置される複数の第2のメモリセルと

前記第1のメモリセルにアクセスするための前記第1のデバイスレベル内に形成される第1の制御ゲートであって、前記第1のメモリセルの各々は前記第1の制御ゲート内の空洞内に形成されるメモリ素子を含む第1の制御ゲートと、

前記第2のメモリセルにアクセスするための前記第2のデバイスレベル内に形成される第2の制御ゲートであって、前記第2のメモリセルの各々は前記第2の制御ゲート内の空洞内に形成されるメモリ素子を含み、前記第1および第2のメモリセルは、第1の方向に並んだ複数のメモリセルおよび第2の方向に並んだ複数のメモリセルを含む第2の制御ゲートと、

共通ソースと、

前記共通ソースと前記第1および第2のメモリセルに導電材料を介して選択的に結合されるように構成されたデータ線であって、前記導電材料は、前記第1および第2のメモリセルを前記第1および第2の方向に実質的に垂直な第3の方向に通るように伸延し、前記第1および第2のメモリセルが、前記共通ソースと基材との間にあるように、前記共通ソースが、前記メモリデバイスの前記基材の上に形成される装置。

【請求項5】

前記第1のメモリセルが、前記第2のメモリセルと、実質的に垂直に位置合わせされる、請求項1に記載の装置。

【請求項6】

前記第1のメモリセルのそれぞれの前記メモリ素子が、前記第2のメモリセルのうちの1つの前記メモリ素子と、実質的に垂直に位置合わせされる、請求項1に記載の装置。

【請求項7】

前記メモリデバイスのメモリ動作の間、前記第1および第2のメモリセルに関連する前記データ線に、前記第1および第2のメモリセルを選択的に結合させるための、トランジスタを更に含み、前記トランジスタの少なくとも1つが、ダブルゲートを含む、請求項1に記載の装置。

【請求項8】

前記メモリデバイスのメモリ動作の間、前記第1および第2のメモリセルに関連するデータ線に、前記第1および第2のメモリセルを選択的に結合させるための、トランジスタを更に含み、前記トランジスタの少なくとも1つが、取り囲まれたゲートを含む、請求項1に記載の装置。

【請求項9】

リング形状を有し、メモリ素子の第1のデバイスレベル内に配置される第1のメモリ素子を含む、第1の不揮発性メモリセルと、

リング形状を有し、メモリ素子の第3のデバイスレベル内に配置される第2のメモリ素子を含む、第2の不揮発性メモリセルであって、前記第1のデバイスレベルは前記第2の

デバイスレベルとは異なる、第2の不揮発性メモリセルと、
前記第1および第2のメモリ素子を貫通して延びる導電材料と、
前記導電材料を通り共通ソースと前記第1および第2のメモリセルに選択的に結合され
るように構成されたデータ線と、
を含む、装置。

【請求項10】

前記第1のメモリセルにアクセスするための制御ゲートとして動作するように構成される、第1の追加的導電材料であって、前記第1のメモリ素子および前記第1の追加的導電材料が、前記メモリデバイスの、前記第1のデバイスレベル内に配置される、第1の追加的導電材料と、

前記第2のメモリセルにアクセスするための制御ゲートとして動作するように構成される、第2の追加的導電材料であって、前記第2のメモリ素子および前記第2の追加的導電材料が、前記メモリデバイスの、前記第2のデバイスレベル内に配置される、第2の追加的導電材料と、

を更に含む、請求項9に記載の装置。

【請求項11】

前記第1および第2のメモリセルのそれぞれが、前記対応するメモリ素子と前記導電材料との間に、第1の誘電体を更に含む、請求項10に記載の装置。

【請求項12】

前記第1および第2のメモリセルのそれぞれが、前記対応するメモリ素子と前記対応する追加的導電材料との間に、第2の誘電体を更に含む、請求項11に記載の装置。

【請求項13】

前記データ線が、前記基材と前記第1のメモリセルとの間に配置される、請求項9に記載の装置。

【請求項14】

前記第1および第2のメモリセルが、前記基材と前記データ線との間に配置される、請求項9に記載の装置。

【請求項15】

メモリデバイスの基材と、

前記基材にわたり前記メモリデバイスの第1のデバイスレベル内に配置され、第1の側壁を有する第1の空洞を含む、第1の導電材料と、

前記第1のデバイスレベルおよび前記基材にわたり前記メモリデバイスの第2のデバイスレベル内に配置され、第2の側壁を有する第2の空洞を含む第2の導電材料であって、前記第1のデバイスレベルは前記第2のデバイスレベルとは異なる、第2の導電材料と、

前記第1の側壁および前記第2の側壁上に形成される、第1の誘電体と、

前記第1の空洞内に配置され、前記第1の誘電体の第1の部分によって、前記第1の導電材料から電気的に絶縁される、第1のメモリ素子と、

前記第2の空洞内に配置され、前記第1の誘電体の第2の部分によって、前記第2の導電材料から電気的に絶縁される、第2のメモリ素子と、

前記第1のメモリ素子の側面上、および前記第2のメモリ素子の側面上に形成される、第2の誘電体と、

前記第1のデバイスレベルから前記第2のデバイスレベルへ延び、前記第2の誘電体の少なくとも対応する部分によって、前記第1および第2のメモリ素子から電気的に絶縁されるように、前記第1および第2のメモリ素子に対向する、導電チャネルと、

を含む、装置。

【請求項16】

前記第1および第2のメモリ素子が、ポリシリコンを含む、請求項15に記載の装置。

【請求項17】

前記第1および第2のメモリ素子が、誘電材料を含む、請求項15に記載の装置。

【請求項18】

前記誘電材料が、シリコン窒化物を含む、請求項 1 7 に記載の装置。

【請求項 1 9】

前記第 1 の導電材料と前記第 2 の導電材料との間に、誘電材料を更に含む、請求項 1 5 に記載の装置。

【請求項 2 0】

メモリデバイスの第 1 のデバイスレベル内に配置される第 1 の導電材料であって、前記第 1 の導電材料は第 1 の空洞を含み、前記第 1 の空洞は第 1 の側壁を有する第 1 の導電材料と、

メモリデバイスの第 2 のデバイスレベル内に配置される第 2 の導電材料であって、前記第 1 の導電材料は第 2 の空洞を含み、前記第 2 の空洞は第 2 の側壁を有する第 2 の導電材料と、

前記第 1 の側壁および前記第 2 の側壁上に形成される第 1 の誘電材料と、

前記第 1 の空洞内に配置され、前記第 1 の誘電材料の第 1 の部分によって前記第 1 の導電材料から電気的に絶縁されている第 1 のメモリ素子と、

前記第 2 の空洞内に配置され、前記第 2 の誘電材料の第 2 の部分によって前記第 2 の導電材料から電気的に絶縁されている第 2 のメモリ素子と、

前記第 1 のメモリ素子の側面および前記第 2 のメモリ素子の側面上に形成される第 2 の誘電材料と、

前記第 1 のデバイスレベルから、前記第 2 のデバイスレベルに伸延し、前記第 1 および第 2 のメモリ素子に対向し、前記第 2 の誘電材料の少なくともそれぞれの部分によって前記第 1 および第 2 のメモリ素子から電気的に絶縁される導電チャネルと、

基材と、

前記導電チャネルに選択的に結合されるように構成され、前記第 2 の導電材料と前記基材との間に配置される、データ線と、

を含む装置。

【請求項 2 1】

前記導電チャネルに選択的に結合されるように構成されるデータ線であって、前記第 1 および第 2 のメモリ素子が、前記データ線と前記基材との間に配置される、データ線と、

を更に含む、請求項 1 5 に記載の装置。