

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-111663

(P2004-111663A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int. Cl.⁷

H01L 29/78

H01L 21/336

F I

H01L 29/78 652K

H01L 29/78 652B

H01L 29/78 652D

H01L 29/78 653A

H01L 29/78 658C

テーマコード (参考)

審査請求 未請求 請求項の数 18 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2002-272389 (P2002-272389)

(22) 出願日 平成14年9月19日 (2002.9.19)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100111383

弁理士 芝野 正雅

(72) 発明者 石田 裕康

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72) 発明者 久保 博稔

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72) 発明者 宮原 正二

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

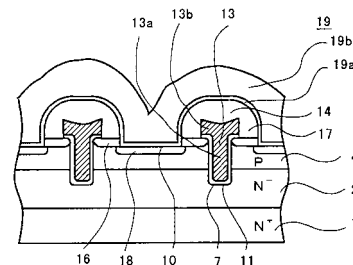
(54) 【発明の名称】 絶縁ゲート型半導体装置およびその製造方法

(57) 【要約】

【課題】従来のパワーMOSFETでは、レジスト膜とマスクによりパターンを形成する工程が多用されており、合わせ精度の問題などで制約が多く、微細化に限界があった。従って、集積度を上げてオン抵抗を低減するのは限界があった。

【解決手段】ドレイン領域2となる半導体基板に、チャネル層4、窒化膜5、トレンチ開口部6、トレンチ7、ゲート酸化膜11、ゲート電極13および層間絶縁膜14を形成後、窒化膜5を全面除去してゲート電極突出部13bを露出し、ゲート電極突出部13bによりソース領域16をセルフアラインで、ゲート電極突出部13bの側面に形成された酸化膜サイドウォール17によりボディコンタクト領域18をセルフアラインで形成することにより、微細化が可能となり、集積度を上げてオン抵抗を低減できる絶縁ゲート型半導体装置およびその製造方法を提供できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ドレイン領域となる一導電型の半導体基板と、
前記半導体基板表面に設けた逆導電型のチャネル層と、
前記チャネル層を貫通し前記ドレイン領域まで到達するトレンチと、
前記トレンチの表面に設けたゲート絶縁膜と、
前記トレンチに埋設されその上部が基板表面から突出した半導体材料からなるゲート電極と、
前記ゲート電極上部の層間絶縁膜と、
前記チャネル層表面の前記トレンチに隣接して設けた一導電型のソース領域と、
前記ゲート電極上部の突出部側面に形成されたサイドウォールと、
隣接する前記トレンチ間に形成されている溝の底部で前記チャネル層表面に設けた逆導電型のボディコンタクト領域と、
前記ソース領域および前記ボディコンタクト領域にコンタクトしたソース電極とを具備することを特徴とする絶縁ゲート型半導体装置。

10

【請求項 2】

前記ゲート電極上部の突出部の幅はトレンチ内埋設部の幅よりも大きく、前記突出部周囲の下面は前記ゲート絶縁膜を介して前記チャネル層表面に接していることを特徴とする請求項 1 に記載の絶縁ゲート型半導体装置。

20

【請求項 3】

前記層間絶縁膜は酸化膜で形成されていることを特徴とする請求項 1 に記載の絶縁ゲート型半導体装置。

【請求項 4】

前記ソース領域は前記サイドウォールの下部に設けられていることを特徴とする請求項 1 に記載の絶縁ゲート型半導体装置。

【請求項 5】

前記サイドウォールは酸化膜で形成されていることを特徴とする請求項 1 に記載の絶縁ゲート型半導体装置。

【請求項 6】

前記チャネル層に設けられた前記ボディコンタクト領域は、前記チャネル層に設けられた前記ソース領域よりも下側に形成されていることを特徴とする請求項 1 に記載の絶縁ゲート型半導体装置。

30

【請求項 7】

前記ソース電極はバリアメタル層およびアルミ層を積層して形成されていることを特徴とする請求項 1 に記載の絶縁ゲート型半導体装置。

【請求項 8】

ドレイン領域となる一導電型の半導体基板表面に逆導電型のチャネル層を形成する工程と、

前記チャネル層表面に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜にトレンチ開口部を形成する工程と、

40

前記トレンチ開口部の第 1 の絶縁膜側面に第 1 のサイドウォールを形成する工程と、

前記トレンチ開口部に前記チャネル層を貫通し前記ドレイン領域まで到達するトレンチを形成する工程と、

前記トレンチの少なくとも前記チャネル層上にゲート絶縁膜を形成する工程と、

前記トレンチおよび前記第 1 の絶縁膜に埋設されその上部が基板表面から突出した半導体材料からなるゲート電極を形成する工程と、

前記ゲート電極上部に層間絶縁膜を形成する工程と、

前記ゲート電極上部を露出する工程と、

前記チャネル層表面に一導電型の不純物領域を形成する工程と、

前記ゲート電極上部の突出部側面に第 2 のサイドウォールを形成する工程と、

50

隣接する前記トレンチ間に前記一導電型の不純物領域を貫通しチャネル層まで到達する溝を形成する工程と、

前記溝のチャネル層表面に逆導電型の不純物領域を形成する工程と、

ソース領域およびボディコンタクト領域を生成する工程と、

前記ソース領域および前記ボディコンタクト領域にコンタクトしたソース電極を形成する工程とを具備することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 9】

前記第 1 の絶縁膜は窒化膜で形成されることを特徴とする請求項 8 に記載の絶縁ゲート型半導体装置の製造方法。

【請求項 10】

前記第 1 のサイドウォールは酸化膜で形成されることを特徴とする請求項 8 に記載の絶縁ゲート型半導体装置の製造方法。

【請求項 11】

前記トレンチは前記第 1 のサイドウォールを用いてセルフアラインで形成されることを特徴とする請求項 8 に記載の絶縁ゲート型半導体装置の製造方法。

【請求項 12】

前記層間絶縁膜は酸化膜で形成されることを特徴とする請求項 8 に記載の絶縁ゲート型半導体装置の製造方法。

【請求項 13】

前記層間絶縁膜は前記第 1 の絶縁膜をマスクとして前記ゲート電極を酸化して形成されることを特徴とする請求項 8 に記載の絶縁ゲート型半導体装置の製造方法。

【請求項 14】

前記ゲート電極上部の突出部の幅はトレンチ内埋設部の幅よりも大きく、前記突出部周囲の下面は前記ゲート絶縁膜を介して前記チャネル層表面に接していることを特徴とする請求項 8 に記載の絶縁ゲート型半導体装置の製造方法。

【請求項 15】

前記一導電型の不純物領域は前記ゲート電極上部の突出部を用いてセルフアラインで形成されることを特徴とする請求項 8 に記載の絶縁ゲート型半導体装置の製造方法。

【請求項 16】

前記第 2 のサイドウォールは酸化膜で形成されることを特徴とする請求項 8 に記載の絶縁ゲート型半導体装置の製造方法。

【請求項 17】

前記溝は前記第 2 のサイドウォールを用いてセルフアラインで形成されることを特徴とする請求項 8 に記載の絶縁ゲート型半導体装置の製造方法。

【請求項 18】

前記逆導電型の不純物領域は前記第 2 のサイドウォールを用いてセルフアラインで形成されることを特徴とする請求項 8 に記載の絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は絶縁ゲート型半導体装置およびその製造方法に係り、セルフアラインを用いてセル集積度を上げてスイッチング性能の改善、特にオン抵抗の低減を実現する絶縁ゲート型半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

携帯端末の普及に伴い小型で大容量のリチウムイオン電池が求められるようになってきた。このリチウムイオン電池の充放電のバッテリーマネジメントを行う保護回路は携帯端末の軽量化のニーズにより、小型で負荷ショートにも十分に耐えうるものでなくてはならない。かかる保護回路はリチウムイオン電池の容器内に内蔵されるために小型化が求められ、チップ部品を多用した COB (Chip on Board) 技術が駆使され

10

20

30

40

50

、小型化の要求に応えてきた。しかし一方ではリチウムイオン電池に直列にパワー MOS FET を接続するのでこのパワー MOS FET のオン抵抗も極めて小さくするニーズがあり、これが携帯電話では通話時間や待機時間を長くするために不可欠の要素である。

【 0 0 0 3 】

このためにチップを製造する上で微細加工によりセル密度を上げる開発が進められてきた。具体的には、チャンネルが半導体基板表面に形成されるプレーナー構造ではセル密度は 7 4 0 万個 / 平方インチであったが、チャンネルをトレンチの側面に形成するトレンチ構造の第 1 世代ではセル密度は 2 5 0 0 万個 / 平方インチと大幅に向上した。さらにトレンチ構造の第 2 世代では、微細化によりセル密度は 7 2 0 0 万個 / 平方インチまで向上できた (例えば特許文献 1 参照。) 。

10

【 0 0 0 4 】

図 2 2 に従来のトレンチ構造のパワー MOS FET の構造を N チャンネル型を例に示す。

【 0 0 0 5 】

N⁺ 型のシリコン半導体基板 2 1 の上に N⁻ 型のエピタキシャル層からなるドレイン領域 2 2 を設け、その表面に P 型のチャンネル層 2 4 を設ける。チャンネル層 2 4 を貫通し、ドレイン領域 2 2 まで到達するトレンチ 2 7 を設け、トレンチ 2 7 の内壁をゲート酸化膜 3 1 で被膜し、トレンチ 2 7 に充填されたポリシリコンよりなるゲート電極 3 3 を設ける。トレンチ 2 7 に隣接したチャンネル層 2 4 表面には N⁺ 型のソース領域 3 5 が形成され、隣り合う 2 つのセルのソース領域 3 5 間のチャンネル層 2 4 表面には P⁺ 型のボディコンタクト領域 3 4 を設ける。さらにチャンネル層 2 4 にはソース領域 3 5 からトレンチ 2 7 に沿ってチャンネル領域 (図示せず) が形成される。ゲート電極 3 3 上は層間絶縁膜 3 6 で覆い、ソース領域 3 5 およびボディコンタクト領域 3 4 にコンタクトするソース電極 3 7 を設ける。

20

【 0 0 0 6 】

図 1 6 から図 2 2 を参照して、従来のトレンチ構造の N チャンネル型パワー MOS FET の製造工程を示す。

【 0 0 0 7 】

図 1 6 では、N⁺ 型シリコン半導体基板 2 1 に N⁻ 型のエピタキシャル層を積層してドレイン領域 2 2 を形成する。予定のチャンネル層 2 4 に選択的にボロンを注入した後、拡散して P 型のチャンネル層 2 4 を形成する。

30

【 0 0 0 8 】

全面に CVD 法により NSG (Non - doped Silicate Glass) の CVD 酸化膜 2 5 を生成し、マスク形成後ドライエッチングして部分的に除去し、チャンネル層 2 4 が露出したトレンチ開口部 2 6 を形成する。

【 0 0 0 9 】

図 1 7 では、CVD 酸化膜 2 5 をマスクとしてトレンチ開口部 2 6 のシリコン半導体基板を CF 系および HBr 系ガスにより異方性ドライエッチングし、チャンネル層 2 4 を貫通してドレイン領域 2 2 まで達するトレンチ 2 7 を形成する。

【 0 0 1 0 】

次にダミー酸化をしてトレンチ 2 7 内壁と CVD 酸化膜 2 5 表面に酸化膜 (図示せず) を形成し、その後、酸化膜と CVD 酸化膜 2 5 をエッチングにより除去する。このダミー酸化を行う理由は、ドライエッチングの際のエッチングダメージを除去し、後のゲート酸化膜を安定に形成するためである。また、高温で熱酸化することによりトレンチ開口部 2 6 に丸みをつけ、トレンチ開口部 2 6 での電界集中を避ける効果もある。これにより、トレンチ 2 7 が形成される。

40

【 0 0 1 1 】

図 1 8 では、全面を熱酸化してゲート酸化膜 3 1 を形成する。その後、トレンチ 2 7 に埋設されるゲート電極 3 3 を形成する。すなわち、全面にノンドーブのポリシリコン層を付着し、リンを高濃度に注入・拡散して高導電率化を図る。その後全面に付着したポリシリコン層をマスクなしでドライエッチして、トレンチ 2 7 に埋設されたゲート電極 3 3 とす

50

る。

【 0 0 1 2 】

図 19 ではレジスト膜 P R によるマスクにより選択的にボロンをイオン注入し、P⁺ 型のボディコンタクト領域 3 4 を形成した後、レジスト膜 P R を除去する。

【 0 0 1 3 】

図 20 では新たなレジスト膜 P R で予定のソース領域 3 5 およびゲート電極 3 3 を露出するようにマスクして、砒素をイオン注入し、N⁺ 型のソース領域 3 5 をトレンチ 2 7 に隣接するチャンネル層 2 4 表面に形成した後、レジスト膜 P R を除去する。

【 0 0 1 4 】

図 21 では、全面に N S G 層を形成後、B P S G (B o r o n P h o s p h o r u s S i l i c a t e G l a s s) 層を C V D 法により付着して、層間絶縁膜 3 6 を形成する。その後、レジスト膜 P R をマスクにして少なくともゲート電極 3 3 上に層間絶縁膜 3 6 を残して、他の領域の B P S G 層、N S G 層および基盤表面のゲート酸化膜を除去する。

10

【 0 0 1 5 】

図 22 では、アルミをスパッタ装置で全面に付着して、ソース領域 3 5 およびボディコンタクト領域 3 4 にコンタクトするソース電極 3 7 を形成する。

【 0 0 1 6 】

【特許文献 1】

特開 2 0 0 1 - 2 8 4 5 8 8 号公報 (第 3 頁、第 1 9 - 2 8 図)

20

【 0 0 1 7 】

【発明が解決しようとする課題】

かかる従来のパワー M O S F E T では、特に微細加工技術を必要とするトレンチ形成後においても、レジスト膜を用いマスクによりパターンを形成する工程が多用されている。

【 0 0 1 8 】

従って、セル集積度を上げてスイッチング性能の改善、特にオン抵抗の低減を実現するためにデザインルールを微細化したいが、露光装置、レジスト材、マスク作成や合わせ精度の問題で設計線幅に制限があり、レジスト膜を用いマスクによりパターンを形成する現在のデバイス設計手法では、限界にきている。

【 0 0 1 9 】

30

【課題を解決するための手段】

本発明はかかる課題に鑑みてなされ、ドレイン領域となる一導電型の半導体基板と、半導体基板表面に設けた逆導電型のチャンネル層と、チャンネル層を貫通しドレイン領域まで到達するトレンチと、トレンチの表面に設けたゲート絶縁膜と、トレンチに埋設されその上部が基板表面から突出した半導体材料からなるゲート電極と、ゲート電極上部の層間絶縁膜と、チャンネル層表面のトレンチに隣接して設けた一導電型のソース領域と、ゲート電極上部の突出部側面に形成されたサイドウォールと、隣接するトレンチ間に形成されている溝の底部でチャンネル層表面に設けた逆導電型のボディコンタクト領域と、ソース領域およびボディコンタクト領域にコンタクトしたソース電極とを有する絶縁ゲート型半導体装置において、ソース領域がゲート電極上部の突出部を用いたセルフアラインにより、またボディコンタクト領域がサイドウォールを用いたセルフアラインにより形成されていることを特徴とし、セルフアラインを用いて素子を形成することにより微細化が可能となり、微細化により集積度を上げて、オン抵抗の低減を実現する絶縁ゲート型半導体装置を提供できる。

40

【 0 0 2 0 】

また、ドレイン領域となる一導電型の半導体基板表面に逆導電型のチャンネル層を形成する工程と、チャンネル層表面に第 1 の絶縁膜を形成する工程と、第 1 の絶縁膜にトレンチ開口部を形成する工程と、トレンチ開口部の第 1 の絶縁膜側面に第 1 のサイドウォールを形成する工程と、トレンチ開口部にチャンネル層を貫通しドレイン領域まで到達するトレンチを形成する工程と、トレンチの少なくともチャンネル層上にゲート絶縁膜を形成する工程と、

50

トレンチおよび第 1 の絶縁膜に埋設されその上部が基板表面から突出した半導体材料からなるゲート電極を形成する工程と、ゲート電極上部に層間絶縁膜を形成する工程と、ゲート電極上部を露出する工程と、チャンネル層表面に一導電型の不純物領域を形成する工程と、ゲート電極上部の突出部側面に第 2 のサイドウォールを形成する工程と、隣接するトレンチ間に一導電型の不純物領域を貫通しチャンネル層まで到達する溝を形成する工程と、溝のチャンネル層表面に逆導電型の不純物領域を形成する工程と、ソース領域およびボディコンタクト領域を生成する工程と、ソース領域およびボディコンタクト領域にコンタクトしたソース電極を形成する工程とを具備することを特徴とし、セルフアラインを用いて素子を形成することにより微細化が可能となり、微細化により集積度を上げて、オン抵抗の低減を実現する絶縁ゲート型半導体装置の製造方法を提供できる。

10

【0021】

【発明の実施の形態】

本発明の実施の形態を図 1 から図 15 を参照してトレンチ型パワー MOSFET の N チャンネル型を例に説明する。

【0022】

図 1 に本発明によるパワー MOSFET の構造の断面図を示す。

【0023】

トレンチ型パワー MOSFET は、ドレイン領域 2 を形成した N^+ 型シリコン半導体基板 1 と、チャンネル層 4 と、トレンチ 7 と、ゲート絶縁膜 11 と、ゲート電極 13 と、層間絶縁膜 14 と、ソース領域 16 と、酸化膜サイドウォール 17 と、ボディコンタクト領域 18 と、ソース電極 19 とから構成される。

20

【0024】

半導体基板は、 N^+ 型シリコン半導体基板 1 の上に N^- 型のエピタキシャル層を積層してドレイン領域 2 とする。

【0025】

チャンネル層 4 は、ドレイン領域 2 の表面に選択的に P 型のボロンをイオン注入後、拡散してトレンチ 7 の深さよりも浅く形成する。このチャンネル層 4 のトレンチ 7 に隣接した領域に、チャンネル領域（図示せず）が形成される。

【0026】

トレンチ 7 は、半導体基板を異方性ドライエッチングして形成し、チャンネル層 4 を貫通してドレイン領域 2 まで到達させる。一般的には半導体基板上に格子状またはストライプ状にトレンチ 7 を形成する。トレンチ 7 内壁にはゲート酸化膜 11 を設け、ゲート電極 13 を形成するためにポリシリコンを埋設し、該ポリシリコンには、低抵抗化を図るために N 型不純物が導入されている。

30

【0027】

ゲート酸化膜 11 は、少なくともチャンネル層と接するトレンチ 7 内壁に 300 nm 前後の厚みに形成する。ゲート酸化膜 11 は絶縁膜であるので、トレンチ 7 内に設けられたゲート電極 13 と半導体基板に挟まれて MOS 構造となっている。

【0028】

ゲート電極 13 は、トレンチ 7 に埋設されたゲート電極埋設部 13a と基板表面から突出したゲート電極突出部 13b で構成されており、ゲート電極突出部 13b の幅はゲート電極埋設部 13a の幅よりも大きく、ゲート電極突出部 13b 周囲の下面はゲート酸化膜 11 を介してチャンネル層 4 の表面に接している。

40

【0029】

またゲート電極 13 は、半導体基板の周囲を取り巻くゲート連結電極（図示せず）まで延在され、半導体基板上に設けられたゲートパッド電極（図示せず）に連結される。ゲート電極 13 の上部は酸化による層間絶縁膜 14 が設けられるので、ゲート電極突出部 13b の周端部は中央付近よりも厚く、角状になる。

【0030】

層間絶縁膜 14 は、全面を高温スチームに晒し、ポリシリコンで形成されているゲート電

50

極 1 3 上部に酸化膜を成長させて形成する。

【 0 0 3 1 】

ゲート電極突出部 1 3 b 側面に形成されたサイドウォールである酸化膜サイドウォール 1 7 は、全面に C V D 法により N S G (N o n - d o p e d S i l i c a t e G l a s s) の C V D 酸化膜を堆積後、C V D 酸化膜のエッチバックにより生成する。製造方法で記載した第 2 のサイドウォールと一致する。

【 0 0 3 2 】

ソース領域 1 6 は、ゲート電極突出部 1 3 b を用いたセルフアラインにより、チャネル層 4 表面に N^+ 型不純物をイオン注入し、熱処理による活性化を行って形成する。またソース領域 1 6 は、ボディコンタクト領域 1 8 を形成する時に酸化膜サイドウォール 1 7 により保護されるので、酸化膜サイドウォール 1 7 の下部に設けられる構造になっている。

10

【 0 0 3 3 】

ボディコンタクト領域 1 8 は、酸化膜サイドウォール 1 7 を用いたセルフアラインにより、ソース領域 1 6 を貫通しチャネル層 4 に到達する溝 1 0 をエッチングにより形成後、溝 1 0 の底部のチャネル層 4 表面に P^+ 型不純物をイオン注入し、熱処理による活性化を行って形成する。従ってボディコンタクト領域 1 8 はソース領域 1 6 よりも下側に形成されている。またこのボディコンタクト領域の形成は、基板の電位安定化のために行うものである。

【 0 0 3 4 】

ソース領域 1 6 およびボディコンタクト領域 1 8 にコンタクトしたソース電極 1 9 は、先ずチタンナイトライド等のバリアメタル層 1 9 a をスパッタ後さらにアルミ層 1 9 b をスパッタして形成する。

20

【 0 0 3 5 】

本発明の構造による特徴は、ソース領域がゲート電極上部の突出部を用いたセルフアラインにより、またボディコンタクト領域がサイドウォールを用いたセルフアラインにより形成されていることにあり、セルフアラインを用いて素子を形成することにより微細化が可能となり、微細化により集積度を上げて、オン抵抗の低減を実現する絶縁ゲート型半導体装置を提供できる。

【 0 0 3 6 】

次に本発明のパワー M O S F E T の製造方法を図 1 から図 1 5 を参照して N チャネル型を例に説明する。

30

【 0 0 3 7 】

トレンチ型パワー M O S F E T の製造方法は、ドレイン領域 2 を形成した N^+ 型シリコン半導体基板 1 表面に逆導電型のチャネル層 4 を形成する工程と、チャネル層 4 表面に第 1 の絶縁膜である窒化膜 5 を形成する工程と、窒化膜 5 にトレンチ開口部 6 を形成する工程と、トレンチ開口部 6 の窒化膜 5 側面に第 1 のサイドウォール 8 を形成する工程と、トレンチ開口部 6 にチャネル層 4 を貫通しドレイン領域 2 まで到達するトレンチ 7 を形成する工程と、トレンチ 7 の少なくともチャネル層 4 上にゲート酸化膜 1 1 を形成する工程と、トレンチ 7 および窒化膜 5 に埋設されその上部が基板表面から突出した半導体材料からなるゲート電極 1 3 を形成する工程と、ゲート電極 1 3 上部に層間絶縁膜 1 4 を形成する工程と、ゲート電極 1 3 上部を露出する工程と、チャネル層 4 表面に一導電型の不純物領域 1 6 a を形成する工程と、ゲート電極 1 3 上部の突出部側面に第 2 のサイドウォールである酸化膜サイドウォール 1 7 を形成する工程と、隣接するトレンチ 7 間に一導電型の不純物領域 1 6 a を貫通しチャネル層 4 まで到達する溝 1 0 を形成する工程と、溝 1 0 のチャネル層 4 表面に逆導電型の不純物領域 1 8 a を形成する工程と、ソース領域 1 6 およびボディコンタクト領域 1 8 を生成する工程と、ソース領域 1 6 およびボディコンタクト領域 1 8 にコンタクトしたソース電極 1 9 を形成する工程とから構成される。

40

【 0 0 3 8 】

本発明の第 1 の工程は図 2 に示すごとく、ドレイン領域 2 を形成した N^+ 型シリコン半導体基板 1 表面に逆導電型のチャネル層 4 を形成することにある。

50

【 0 0 3 9 】

半導体基板は、 N^+ 型シリコン半導体基板 1 に N^- 型のエピタキシャル層を積層してドレイン領域 2 を形成する。予定のチャンネル層 4 に選択的にボロンを注入した後、拡散して P 型のチャンネル層 4 を形成する。この時チャンネル層 4 の表面には薄い酸化膜 3 が生成される。

【 0 0 4 0 】

本発明の第 2 の工程は図 3 に示すごとく、チャンネル層 4 表面に第 1 の絶縁膜である窒化膜 5 を形成することにある。

【 0 0 4 1 】

シランガスとアンモニアガスを気相で化学反応させる CVD 法により、第 1 の絶縁膜となるシリコン窒化膜 (Si_3N_4) 5 を、半導体基板表面全面に堆積し、チャンネル層 4 表面に窒化膜 5 を形成する。 10

【 0 0 4 2 】

本発明の第 3 の工程は図 4 に示すごとく、窒化膜にトレンチ開口部 6 を形成することにある。

【 0 0 4 3 】

チャンネル層 4 が露出したトレンチ開口部 6 を除いてレジスト膜 PR によってマスクし、選択的に窒化膜 5 をエッチングしてチャンネル層 4 が露出したトレンチ開口部 6 を形成した後、レジスト膜 PR を除去する。

【 0 0 4 4 】

本発明の第 4 の工程は図 5 に示すごとく、第 1 のサイドウォール 8 を形成することにある。 20

【 0 0 4 5 】

全面に CVD 法により NSG (Non-doped Silicate Glass) の CVD 酸化膜を堆積し、異方性の強いドライエッチングにより、窒化膜 5 の側面にのみ CVD 酸化膜を残すエッチバックにより、トレンチ開口部 6 の窒化膜 5 側面に第 1 のサイドウォール 8 を形成する。

【 0 0 4 6 】

本発明の第 5 の工程は図 6 に示すごとく、チャンネル層 4 を貫通しドレイン領域 2 まで到達するトレンチ 7 を形成することにある。 30

【 0 0 4 7 】

第 1 のサイドウォール 8 をマスクとするセルフアラインでトレンチ開口部 6 のシリコン半導体基板を CF 系および HBr 系ガスにより異方性ドライエッチングし、チャンネル層 4 を貫通してドレイン領域 2 まで達するトレンチ 7 を形成する。

【 0 0 4 8 】

ここでトレンチ 7 は第 1 のサイドウォール 8 の厚み分だけトレンチ開口部 6 の内側に形成されている。

【 0 0 4 9 】

本発明の第 6 の工程は図 7 に示すごとく、トレンチ 7 の少なくともチャンネル層 4 上にゲート酸化膜 11 を形成することにある。 40

【 0 0 5 0 】

全面をダミー酸化して、トレンチ 7 内壁と CVD 酸化膜で形成されている第 1 のサイドウォール 8 表面に酸化膜 (図示せず) を形成し、その後酸化膜と CVD 酸化膜で形成されている第 1 のサイドウォール 8 をエッチングによりすべて除去する。このダミー酸化を行う理由は、ドライエッチングの際のエッチングダメージを除去し、ゲート酸化膜 11 を安定に形成するためである。また、高温で熱酸化することによりトレンチ 7 の上部に丸みをつけ、トレンチ 7 の上部での電界集中を避ける効果もある。

【 0 0 5 1 】

その後全面を熱酸化して、ゲート絶縁膜となる厚さ 300 前後のゲート酸化膜 11 を形成する。 50

【 0 0 5 2 】

本発明の第 7 の工程は図 8 に示すごとく、トレンチ 7 および窒化膜 5 に埋設されその上部が基板表面から突出した半導体材料からなるゲート電極 1 3 を形成することにある。

【 0 0 5 3 】

全面にノンドープのポリシリコン層を付着し、リンを高濃度に注入・拡散して高導電率化を図る。その後全面に付着したポリシリコン層をマスクなしでドライエッチングして、トレンチ 7 に埋設されたゲート電極埋設部 1 3 a と基板表面から突出し窒化膜 5 内に埋設されたゲート電極突出部 1 3 b で構成されているゲート電極 1 3 を形成する。

【 0 0 5 4 】

ゲート電極突出部 1 3 b は第 1 のサイドウォール 8 を除去した窒化膜 5 に埋設されているので、1 3 b の幅はトレンチ 7 に埋設されるゲート電極埋設部 1 3 a の幅よりも大きく、ゲート電極突出部 1 3 b 周囲の下面はゲート酸化膜 1 1 を介してチャネル層 4 の表面に接している。 10

【 0 0 5 5 】

本発明の第 8 の工程は図 9 に示すごとく、ゲート電極 1 3 上部に層間絶縁膜 1 4 を形成することにある。

【 0 0 5 6 】

窒化膜 5 に埋設されたゲート電極 1 3 を新たにマスクを用いることなく全面を高温スチームに晒し、ポリシリコンで形成されているゲート電極 1 3 上部表面に酸化膜を成長させ、層間絶縁膜 1 4 とする。 20

【 0 0 5 7 】

本発明の第 9 の工程は図 1 0 に示すごとく、ゲート電極 1 3 上部を露出することにある。

【 0 0 5 8 】

層間絶縁膜 1 4 を形成後、酸化膜ライトエッチを行い、窒化膜 5 上の微量な酸化膜を除去すると共に、酸化膜で形成されている層間絶縁膜 1 4 も少しエッチングされて酸化膜厚が減少する。この状態で窒化膜 5 のエッチングを行うと窒化膜サイドウォールが形成されることなく、窒化膜 5 が全面除去され、ゲート電極突出部 1 3 b が露出する。

【 0 0 5 9 】

本発明の第 1 0 の工程は図 1 1 に示すごとく、チャネル層 4 表面に、完成時ソース領域 1 6 となる一導電型の不純物領域 1 6 a を形成することにある。 30

【 0 0 6 0 】

全面に砒素をドーズ量 $5 \cdot 0 \times 10^{15}$ でイオン注入すると、ゲート電極突出部 1 3 b をマスクとして用いたセルフアラインにより、トレンチ 7 間のチャネル層 4 の表面に、完成時ソース領域 1 6 となる浅い N^+ 型の不純物領域である、一導電型の不純物領域 1 6 a が形成される。また、全面にイオン注入することにより、ゲート電極 1 3 にも N^+ 型の不純物が導入されるが、ゲート電極 1 3 の高導電率化を図るために拡散されている不純物と同型なので、何ら影響はない。

【 0 0 6 1 】

本発明の第 1 1 の工程は図 1 2 に示すごとく、ゲート電極突出部 1 3 b 側面に第 2 のサイドウォールである酸化膜サイドウォール 1 7 を形成することにある。 40

【 0 0 6 2 】

全面に CVD 法により NSG (Non-doped Silicate Glass) の CVD 酸化膜を堆積し、異方性の強いドライエッチングにより、ゲート電極突出部 1 3 b の側面に CVD 酸化膜を残すエッチバックにより、第 2 のサイドウォールとなる酸化膜サイドウォール 1 7 を形成する。

【 0 0 6 3 】

ここで、第 9 の工程において窒化膜 5 を全面除去してゲート電極突出部 1 3 b を露出した時は、ゲート電極突出部 1 3 b の側面が露出していたが、酸化膜サイドウォール 1 7 を形成することによりゲート電極突出部 1 3 b は、すべて絶縁膜で覆われることになる。ゲート電極突出部 1 3 b 上部表面は層間絶縁膜 1 4 で覆われたままである。 50

【 0 0 6 4 】

本発明の第 1 2 の工程は図 1 3 に示すごとく、隣接するトレンチ 7 間に、一導電型の不純物領域 1 6 a を貫通しチャンネル層 4 まで到達する溝 1 0 を形成することにある。

【 0 0 6 5 】

酸化膜サイドウォール 1 7 をマスクとして用いたセルフアラインにより、隣接するトレンチ 7 間に露出しているシリコン半導体基板を、C F 系および H B r 系ガスにより異方性ドライエッチングし、少なくとも一導電型の不純物領域 1 6 a を貫通しチャンネル層 4 に到達する深さまでエッチングして、溝 1 0 を形成する。

【 0 0 6 6 】

本発明の第 1 3 の工程は図 1 4 に示すごとく、溝 1 0 部分のチャンネル層 4 表面に、完成時ボディコンタクト領域 1 8 となる逆導電型の不純物領域 1 8 a を形成することにある。 10

【 0 0 6 7 】

全面にボロンをドーズ量 $5 \cdot 0 \times 10^{14}$ でイオン注入すると、酸化膜サイドウォール 1 7 をマスクとして用いたセルフアラインにより、溝 1 0 のチャンネル層 4 の表面に、完成時ボディコンタクト領域 1 8 となる浅い P⁺ 型の不純物領域である、逆導電型の不純物領域 1 8 a が形成される。ボディコンタクト領域 1 8 はドレイン領域 2 とチャンネル層 4 で形成される基板の電位安定化のために形成される。

【 0 0 6 8 】

本発明の第 1 4 の工程は図 1 5 に示すごとく、イオン注入した一導電型の不純物領域 1 6 a および逆導電型の不純物領域 1 8 a を活性化して、それぞれソース領域 1 6 およびボディコンタクト領域 1 8 を生成することにある。 20

【 0 0 6 9 】

イオン注入した浅い N⁺ 型の不純物領域である一導電型の不純物領域 1 6 a および浅い P⁺ 型の不純物領域である逆導電型の不純物領域 1 8 a の活性化、シリコン結晶のダメージの回復などを目的とした熱処理であるリフローを実施する。

【 0 0 7 0 】

リフロー処理により、一導電型の不純物領域 1 6 a は活性化されたソース領域 1 6 に、逆導電型の不純物領域 1 8 a は活性化されたボディコンタクト領域 1 8 となる。

【 0 0 7 1 】

本発明の第 1 5 の工程は図 1 に示すごとく、全面にソース電極 1 9 を形成することにある 30

【 0 0 7 2 】

リフロー処理により生成したソース領域 1 6 およびボディコンタクト領域 1 8 の表面の薄い酸化膜を除去するためにウエットエッチングを行ってから、先ずチタンナイトライド等のバリアメタル層 1 9 a をスパッタ後、さらにアルミ層 1 9 b をスパッタして、ソース領域 1 6 およびボディコンタクト領域 1 8 に電氣的に接続されたソース電極 1 9 を全面に形成する。

【 0 0 7 3 】

【 発明の効果 】

本発明の絶縁ゲート型半導体装置およびその製造方法によれば以下にあげる数々の効果が 40 得られる。

【 0 0 7 4 】

第 1 に、ゲート電極の形状に特徴があり、ゲート電極トレンチ埋設部分の上部に突出部を設け、突出部表面以外を窒化膜に埋設された状態で形成することにより、層間絶縁膜をマスクを用いることなくゲート電極上部の酸化のみで形成していること、ゲート電極突出部を露出し、露出したゲート電極突出部を用いたセルフアラインでソース領域を形成していること、またゲート電極突出部側面に形成したサイドウォールを用いたセルフアラインでボディコンタクト領域を形成していることに示されるように基本となる素子の形成において、従来のマスクを用いた製造方法によらず、ゲート電極突出部やその側面に形成したサイドウォールを用いたセルフアラインによる製造方法を用いているので、マスク合わせの 50

余裕をとらずに精度の高いパターン重ね合わせが実現でき、デザインルールをより微細化することができる。従って集積度を上げることができるので、セル密度の向上を図ることができる。オン抵抗の低減に大きく寄与できる。

【 0 0 7 5 】

ちなみに従来のデザインルールと本発明によるデザインルールで、セル密度を比較してみると約 1 . 4 2 倍に向上している。

【 0 0 7 6 】

第 2 に、パターン形成時の位置合わせのズレが発生しないので、従来発生していたマスクズレによる特性のパラッキ、信頼性不良および製造ラインの歩留まりの低下などが大幅に改善される。

10

【図面の簡単な説明】

【図 1】本発明の絶縁ゲート型半導体装置およびその製造方法を説明する断面図である。

【図 2】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 3】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 4】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 5】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 6】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 7】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 8】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 9】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

20

【図 10】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 11】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 12】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 13】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 14】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 15】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 16】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 17】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 18】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 19】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

30

【図 20】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 21】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図 22】従来の絶縁ゲート型半導体装置およびその製造方法を説明する断面図である。

【符号の説明】

1 N⁺型シリコン半導体基板

2 ドレイン領域

3 薄い酸化膜

4 チャネル層

5 窒化膜

6 トレンチ開口部

40

7 トレンチ

8 第 1 のサイドウォール

10 溝

11 ゲート酸化膜

13 ゲート電極

13 a ゲート電極埋設部

13 b ゲート電極突出部

14 層間絶縁膜

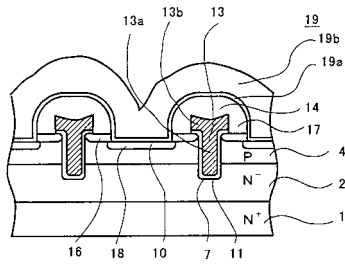
16 ソース領域

16 a 一導電型の不純物領域

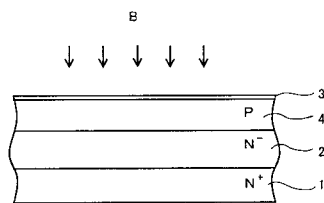
50

- 17 酸化膜サイドウォール
- 18 ボディコンタクト領域
- 18a 逆導電型の不純物領域
- 19 ソース電極
- 19a バリアメタル層
- 19b アルミ層
- 20 パシベーション膜

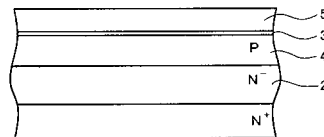
【図1】



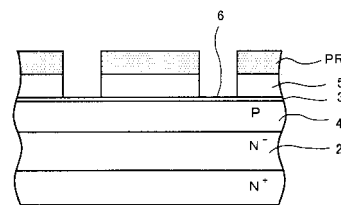
【図2】



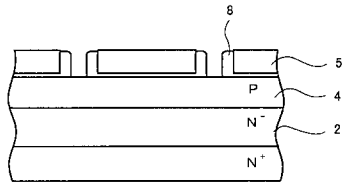
【図3】



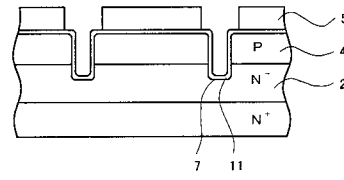
【図4】



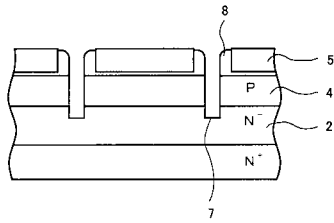
【図 5】



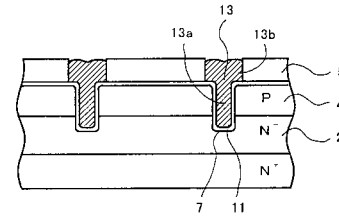
【図 7】



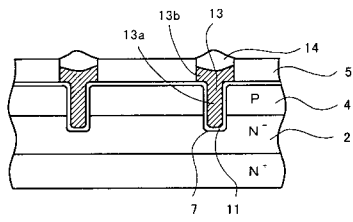
【図 6】



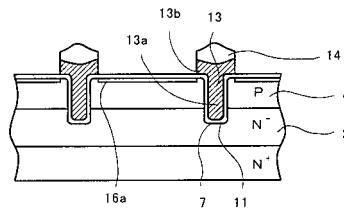
【図 8】



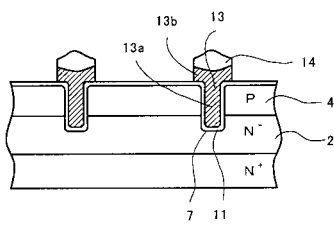
【図 9】



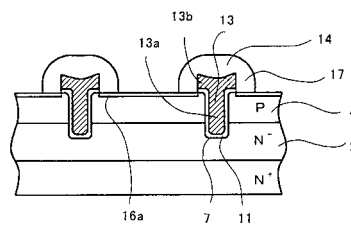
【図 11】



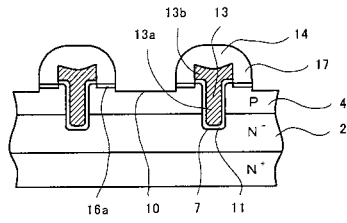
【図 10】



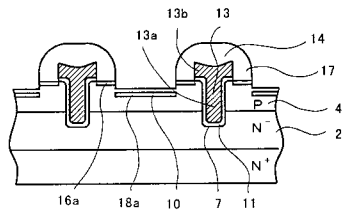
【図 12】



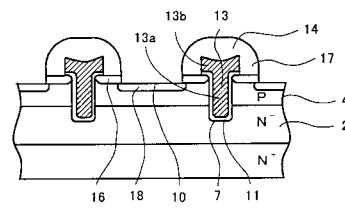
【図 13】



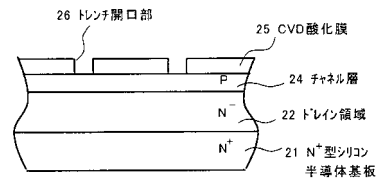
【図 14】



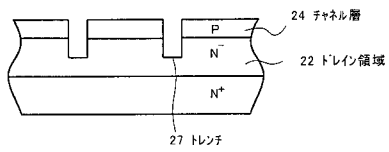
【図 15】



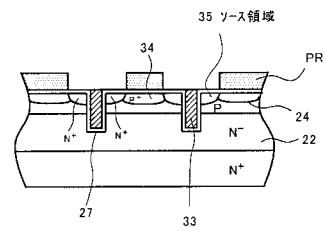
【図 16】



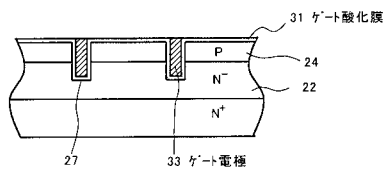
【図 17】



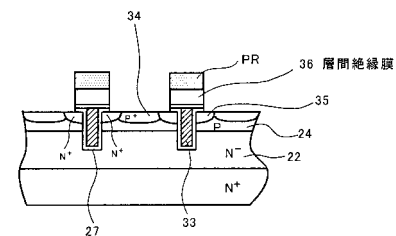
【図 20】



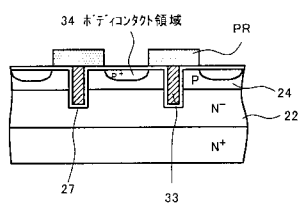
【図 18】



【図 21】



【図 19】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	H 0 1 L 29/78	6 5 8 D
	H 0 1 L 29/78	6 5 8 F
	H 0 1 L 29/78	6 5 8 G

(72)発明者 恩田 全人
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72)発明者 金子 守
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72)発明者 吉村 充弘
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内