[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
G06F 12/00

[12]发明专利说明书

[21] ZL 专利号 95119937.4

[45]授权公告日 2002 年 5 月 15 日

[11]授权公告号 CN 1084895C

[22]申请日 1995.10.19
[21]申请号 95119937.4
[30]优先权
[32]1994.10.19 [33]JP [31]253852/94
[73]专利权人 日本电气株式会社
地址 日本东京都
[72]发明人 田中瑞惠
[56]参考文献

EP 0278526	1988. 8.17	G06F15/72
US 5185859	1993. 2. 9	G06F15/20

审查员 朱世菡

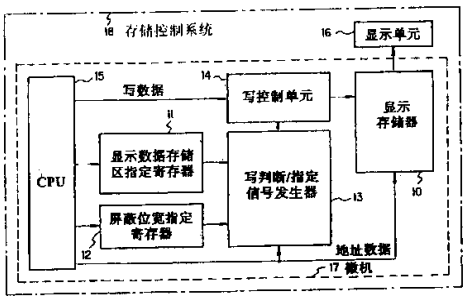
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 马铁良 张志醒

权利要求书 3 页 说明书 14 页 附图页数 7 页

[54]发明名称 存储控制系统

[57]摘要

存储控制系统,包括:第一数据保持装置,用来指定存储器中存 储的内容可被重写的区域;第二数据保持装置,用于保持与其内容被 屏蔽并且不能被重写的存储器的区域宽度相对应的数据;比较所提供 的存储器地址和所说第一和第二数据保持装置中的数据的装置;和作 为比较装置的比较结果,如果发现所提供的存储器地址指定的比特宽 度中包括不能重写区域,则禁止在与不能重写区域相对应的存储器单 元中写数据。



ISSN1008-4274

权 利 要 求 书

1. 用于存储器的存储控制系统，所述存储器有一存储单元阵列和一个按预定的位宽存取存储器的存储器存取单元，包括

第一数据保持装置，用来指定存储器中存储的内容可被重写的区域；

第二数据保持装置，用于保持与其内容被屏蔽并且不能被重写的存储器的区域宽度相对应的数据；

比较所提供的存储器地址和所述第一和第二数据保持装置中的数据的装置；和

作为比较装置的比较结果，如果发现所提供的存储器地址指定的比特宽度中包括不能重写区域，则禁止在与不能重写区域相对应的存储器单元中写数据。

2. 根据权利要求 1 的存储控制系统，其中所述第一数据保持装置保持不能重写区域的最高位地址的最有效位信息。

3. 根据权利要求 1 的存储控制系统，其中所述第一数据保持装置保持与存储器的可重写列相关的比特数据，并保持与存储器的可重写行相关的比特信息。

4. 一种存储控制系统包括

一个由多个位边界划分的存储器；

用相邻位边界之间的一些比特作为一个单位来存取存储器的装置，和；

禁止装置，根据描述特定区域的至少一个侧边的第一数据和描述特定区域宽度的第二数据，通过指定一个写禁止地址，来禁止与存储器特定区域相关的数据内容的改变。

5. 一种对由多个位边界分割的存储器中的数据进行读和写控制

的方法，包括：

通过建立所述写禁止区域的一个屏蔽比特宽度来指定一写禁示区；

判断在禁止区中是否存所提供的地址的位边界；和

当判断的结果表明不存在位边界时，允许在存储器中写所有的数据，如果判断表明存在位边界，则根据位边界禁止写禁止区中改变数据。

6. 存储控制系统，包括：

具有至少一个写允许区和写禁止区的显示存储器，所述存储器响应外部提供的地址可操作地写入和读取数据；

一个显示数据存储区指定寄存器，根据显示位宽指定数据来指定存储在显示存储器中的显示数据的 X 方向显示位宽；

一个屏蔽位宽指定寄存器，用来指定显示存储器中要被屏蔽数据在 X 方向的屏蔽位宽，所述被屏蔽数据对应于显示数据存储区域指定寄存器根据屏蔽位宽指定数据指定的显示比特宽中未被重写的数据；

一个写判断信号发生器，用来确定显示存储器中写禁止区的边界，从而确定地址的至少四个不同状态，所述地址状态包括一个所有位都在写允许区的地址，一个预定的高位在写允许区的地址，一个所有位都在写禁止区的地址，一个预定的高位在写禁止区并且预定的低位在写允许区的地址，所述写判断信号发生器还确定相应于提供的地址数据的地址状态，并根据相应于所提供的地址的位单元产生一个写允许信号和一写禁止信号；和

一个写控制单元，根据写判断信号发生器提供的写允许信号和写禁止信号在显示存储器中写入写数据的有效位。

7. 存储控制系统，包括：

具有至少一个写允许区和写禁止区的显示存储器，所述存储器

根据外部提供的地址可操作地写入和读取数据;

二个显示数据存储区指定寄存器，根据显示比特区域指定数据分别存储在显示存储器中的显示数据 X 方向和 Y 方向显示位宽;

一个屏蔽位宽指定寄存器，用来指定在显示存储器中要被屏蔽的数据在 X 方向的屏蔽位宽,所述被屏蔽的数据对应于显示数据存储区指定寄存器根据屏蔽位宽指定数据所指定的数据显示比特宽中不能被重写的数据;

一个写判断信号发生器,用来确定显示存储器中写禁止区的边界，以限定地址的至少四个不同状态,所述地址状态包括，一个所有位都在写允许区的地址、一个预定的高位在写允许区并且预定的低位在写禁止区的地址、一个所有位都在写禁止区的地址、一个预定的高位在写禁止区并且预定的低位在写允许区的地址，所述写判断信号发生器还确定相应于提供的地址数据的地址状态，并相对于与提供的地址相应的比特单元产生一个写允许信号和一个写禁止信号;和

一个写控制单元,用来根据写判断信号发生器提供写允许信号和写禁止信号在显示存储器中向所提供的地址的写入写数据的有效位。

8. 根据权利要求 6 的存储控制系统，其中所述写判断信号发生器根据所提供地址的最有效比特信息的比较结果，显示数据存储区域指定寄存器的显示比特宽的地址信息和屏蔽比特宽指定寄存器的屏蔽比特宽的地址信息之间的差别信息，确定写禁止区域的边界和所提供的地址数据的地址状态。

9. 根据权利要求 5 的方法进一步包括：通过建立显示区域的显示比特宽来指定一个可写存储器区域，和

其中根据所提供地址的最有效比特信息之间的比较，显示数据存储区域指定寄存器的显示比特宽的地址信息和屏蔽比特宽指定寄存器的屏蔽比特宽的地址信息之间的差别信息，来确定所述判断。

说　明　书

存储控制系统

本发明是关于存储数据的存储控制系统，特别是关于高效处理显示数据的存储控制系统及方法。

在荧光显示板上显示数据的存储控制系统中，有一种趋势：随着显示复杂性的不断增加要处理的显示数据的数量也要增加，还有一种趋势：为了实现显示的多样化，重写显示数据的频率在增加。

同时，在时分驱动显示中，经常要重写的数据(像段数据)及由荧光显示板确定的初始设定时分驱动以后不要重写的数据(像数字式数据)可以在同一个存贮器中作为显示数据出现，并且一定要以给定的位单位进行写控制。

图3是具有地址区130到17F并能为每个地址存取8位且显示5个地址的数据作为一个单位的一个显示存贮器地址分配图。

阴影区是为显示内存使用的不需要重写数据的数字数据存储区，也就是说，它是一个写入禁止区。阴影区左边区域是一个作为显示数据输出的一个段数据存储区，也即是要求数据重写的一个写允许区。

现在描述作为已有技术例1的一个存储控制系统，在此系统中软件逻辑操作用于重写数据，首先进行检查外部提供的地址是存在于写允许区还是存在于写禁止区。如果当写禁止区存在于该地址中时检查的结果是"正确"的，在这个地址包含不必重写的位的情况下，也

即，为了让这个位数据得到屏蔽，则仅含有不要重写的因此要被屏蔽的位的数据可通过将只有写允许数据在读出数据当中被清"0" 的数据和最初已存储在相应的地址中的数据进行逻辑与而得到。那么，写数据和写禁止位被清"0" 的数据逻辑与后可得到仅使写允许位有效的数据。随后，用只保持被屏蔽的位的读出数据执行逻辑或操作，因此，实现了对该地址的有效位的重写。

图7是操作流程图，其中数据"01010001B"(B表示二进制数)存储在如图3所示显示存储器的第165号地址中，存取地址165号和写数据"11101000B"是外部提供的。在165号地址中，第0位是一个数字数据区，也就是写禁止区。

首先检查外部提供的地址是否是第0位是写禁止区的16X号地址。因为检查的结果是"正确"，165号地址中的数据"0101001B"被读出并和数 "00000001B" 逻辑与以保持第 0 位数据。 那么写数据"11101000B"和"11111110B"逻辑与，第7位至第1 位是有效数据的写数据"11101000B"和只有第0位被保持的读出数据"00000001B" 进行逻辑或。最终的结果"11101001B"写在显示存贮器的165号地址中。

现在，考虑一种情况，在这种情况中数据"11010110B"存储在图3所示的显示存贮器的16A地址中，作为存取地址的16A 号地址和写数据"01010101B"是外部提供的。16A号地址象165 号地址一样是一个写禁止区。

首先，检查外部提供的16X号地址是否是作为一个其中的第0 位是写禁止区的地址。因为检查的结果是"正确"，16A 号地址中的数"11010110B"从显示存贮器中读出以便与数据"00000001B"逻辑与以保持第0位数据。

然后，写数据"01010101B"和"11111110B"逻辑与，第7位至第1位是有效数据的写数据"01010100B" 和只有第0 位被保持的读出数据"00000000B"逻辑或。 最终的数据"01010100B" 写在显示存贮器的16A号地址中。

在这个已有技术的实例中，在写允许区也即图3例子中的17X 和16X地址的第7位到第1位区域， 一个段数据组的一次重写大约需要220步。通常，为了显示n倍段数据组的重写大约需要220×n 个程序步，这导致ROM效率及程序处理效率的大大下降。而且，软件开发人员要考虑进行屏蔽的那些位不得不事先在软件中设定屏蔽数据。

现在，描写已有技术例2，即由日本专利公开出版物Showa 63-8951公开的"具有存储屏蔽数据的寄存器的数据存储系统" 的存储控制。例2中，用硬件实现了软件的处理。

至此，在显示存贮器中存在一个写允许区和一个写禁止区，实际上在显示存贮器的存取单元中，准备寄存器，用与显示内存存取单元位宽相应的一个数来设定屏蔽数据，用与要被存取的地址相应的屏蔽数据选择其中一个寄存器，对已被选择的寄存器设定的屏蔽数据和使用所选的寄存器的写数据进行操作，并在显示存贮器中写入操作的结果。

图8 是有多个寄存器存储与显示存贮器存取单元位宽相应的屏蔽数据的一个数据存储系统方框图。在此例中，显示存贮器10是以8位的单元存取的，且显示数据存储在此存贮器中。 有效位宽寄存器51至54是8位寄存器，与显示存贮器10的存取单元(即8位) 相应的屏蔽数据存储在这些寄存器中。

图9表示的是实现如图3所示显示存贮器10内的数据屏蔽时有效

位宽寄存器51至53中的固定数据。位"1"是重写位,位"0" 是要被屏蔽的位。二维地址发生器55指定显示存贮器10中一个区的地址范围,有效位宽指定寄存器51至54的基本数据被指定到这个地址范围。当显示存贮器10的一个存取地址在二维地址发生器55所指定的范围内时,有效位宽寄存器51至54由选择器56所选定。 可变位宽逻辑操作单元57执行对外部提供写数据、来自所选有效位宽寄存器的屏蔽数据和存储在显示存贮器10的重写目标地址中的数据(由位存取控制单元58读出)的操作。操作的结果经位存取控制单元56 存储在显示存贮器10的重写目标地址中。

现在用一个例子来描述一下操作,在此例中数"0101001B" 象已有技术例1所解释的一样存储在如图3所示显示存贮器的165 号地址中。当数据"11101000B"作为写数据由外部提供到165号地址时, 二维地址发生器55和选择器56选择有效位宽寄存器52,与165号地址相应的基本数据存储在寄存器52中,屏蔽数据"11111110B"被提供到可变位宽逻辑操作单元57。在可变位宽逻辑操作单元57中将外部提供的写数据"11101000B"和屏蔽数据"11111110B"逻辑与。外部写数据的第0位因此变成零,这样就提供数据"11101000B"。 经位存取单元58向可变位宽逻辑操作单元57提供显示存贮器10中165 号地址内的数据"01010001B",单元57还执行数据"01010001B" 和来自有效位宽寄存器52的屏蔽数据的反码"00000001B"的逻辑与操作。 操作的结果是"00000001B",显示存贮器10的165号地址中第0位的值得到了保持。

按上述方式,作为来自有效位宽寄存器52的屏蔽数据的反码"00000001B"和显示存贮器10中165号地址内的数据"01010001B" 逻

辑与，该相与的结果再与已进行过位操作的外部写数据逻辑或。已屏蔽的写数据"11101001P"被写到显示存贮器10的165号地址中。在所示的已有技术的数据存储系统的存储控制中，需要提供一个选择器，用于根据显示存贮器10 的存取单元位宽的数选择设定显示存贮器存取单元中的屏蔽数据的寄存器，而且也用于选择一个与选择地址相应的存取单元宽度的寄存器。

例如，经常要重写的数(象荧光显示板显示段数据) 和由荧光显示板确定的时分驱动数据(象数字数据)在最初被设定后，如果给定的位单元的写控制必须在不需要重写的数据的同样的存贮器地址上进行，根据如图8所示的数据存储系统，用于存储显示存贮器存取单元的屏蔽数据的有效位宽寄存器的数目就必须和显示存贮器存取单元的位数相对应，这就意味着元件数目的增加。

而且，可变位宽逻辑操作单元57对三个不同的数据执行操作，即：外部提供的写数据，来自所选的有效位宽寄存器的屏蔽数据，以及存储在显示存贮器10中重写目标地址内的并由位存取控制单元58读出的数据。因此，可变位宽逻辑操作单元在电路结构上变得复杂，整个元件数量增加，芯片的尺寸会加大。而且，一定要将可变位宽逻辑操作单元57中的操作结果经位存取控制单元58存储在显示存贮器10的重写目标地址中，因此，数据的写过程也需要时间。

本发明一方面提供了一种存储控制系统，此存储控制系统有一存贮器，存贮器中有存贮元件阵列和按预定的位宽单位存取存贮器的存贮器存取单元，此存储控制包括：用于保持数据以指定存贮器中不必重写所存储的内容的一块区域的装置；比较存贮器地址和数据的装置，以及作为比较装置的比较结果，如果发现不需改变存储内容

的区域被包括在由被比较的地址所选定的位宽中，在相应于不要重写存储内容的区域的存贮元件中禁止写数据的装置。

本发明另一方面提供了一个存储控制系统，包括：一个由多个位边界分割的存贮器；以相邻位边界之间的位数作为单位存取存贮器的装置；以及对存贮器的一个特殊区域禁止改变数据的禁止装置；根据规定特殊区至少一个侧边的第一数据和规定特殊区的宽度的第二数据指定一个写禁止地址的禁止装置。

本发明的另一方面提供了对由多个位边界分割的存贮器控制数据的读和写的一种存储控制方法，它包括：第一步：指定一个写禁止区；第二步：判断是否在写禁止区中存在任何位边界；第三步：对判断的结果如果没有发现位边界，允许在存贮器中写所有的数据，如果有存在位边界，根据位边界通过计算相应于写禁止区的位宽在一个写禁止区禁示改变数据。

本发明的下一方面提供了一种存储控制系统，包括：一个显示存贮器，显示存贮器具有根据外部提供的地址可写入和读出数据的一个写允许区和写禁止区，根据显示位宽指定的数据来指定存储在显示存贮器中的显示数据的X和/或Y 方向显示位宽的显示数据存储区指定寄存器；屏蔽位宽指定寄存器，用来指定要被屏蔽数的屏蔽位宽，要被屏蔽的数据即是根据屏蔽位宽指定数据由显示数据存储区指定寄存器指定的显示位宽中不需重写的数据；显示数据存储区指定寄存器和屏蔽位宽指定寄存器，指定显示存贮器的地址分配图上的X和/或Y方向上的位宽；一个写判断/指定信号发生器，用来确定显示存贮器中写禁止区的相对端以确定地址的四个不同状态、即一个所有位都在写允许区的地址、预定的高位在写允许区并且预定的低位在

写禁止区的地址、一个所有位都在写禁止区的地址、以及一个预定的高位在写禁止区并且预定的低位在写允许区的地址，并用来确定相应于提供的地址数据的四个屏蔽状态数中的任何一个的地址，并且用来针对相应于该地址的位单元产生一个写允许信号和写禁止信号；和一个写控制单元，用来相对于写判断/ 指定信号发生器提供的位单元根据写允许信号和写禁止信号在显示存贮器中只写入写数据的有效位。

其它的目的和优点将参考附图从下列的描述中加以阐明。

图1是根据本发明存储系统的第一个实施例的方框图；

图2是根据本发明第二个实施例的数据存储系统的方框图；

图3是根据已有技术和本发明一个显示存贮器地址分配图；

图4 是根据第二个实施例显示存贮器中显示数据存储器地址分配图的一个例子；

图5是写判断/指定信号发生器操作的一个流程图；

图6是根据第一和第二个实施例的存储控制系统操作的流程图；

图7是已有技术系统操作的一个流程图；

图8 是一个有多个用来存储相应于显示存储器存取单元位宽的屏蔽数据的寄存器的数据存储系统方框图；

图9表示的是当实现如图3所示的显示存储器10内数据屏蔽的例子时有效位宽寄存器51至53中的固定数据。

现在将参考附图描述本发明的最佳实施例。图1 是根据本发明存储控制系统的第一个实施例的方框图。

现在将描述系统的各个部分。显示存贮器10有一个写允许区和一个写禁止区。根据外部提供的地址，数据可以写进显示存贮器中

所提供的地址并可从中读出数据。图3表示的是显示存贮器10 的存贮地址分配图。象所表示的那样，存贮器有地址号130至17F的区域。每个地址能8位存取，5个地址的数据能作为一个单元数据被显示。

这个实施例是一存储控制系统18，包括一显示单元16 和一微机17。显示单元16最多能显示40位。显示位宽指定数据是微机17中的CPU 15的输出，从而该数据可输入到显示数据存储区指定寄存器11。显示数据存储区指定寄存器11指定显示存贮器10中存贮的显示数据的X方向的显示位宽。屏蔽位宽指定数据是微机17中CPU 15的输出，它输入到一个屏蔽位宽指定寄存器12。屏蔽位宽指定寄存器12 指定要被屏蔽数的屏蔽位宽，也就是由显示数据存储区指定寄存器 11指定的显示位宽中不要重写的数据。

显示数据存储区指定寄存器11和屏蔽位宽指定寄存器12指定显示存贮器10的地址分配图上的X方向的位宽。CPU 15 输出地址数据以指定X和Y方向地址。写判断/指定信号发生器13 接受显示数据存储区指定寄存器11的输出、屏蔽位宽指定寄存器12 的输出、 以及CPU 15的地址数据，并且产生写控制单元14所必须的一个信号。

现在将参考图5的流程图对写判断/指定信号发生器的操作进行描述。在显示数据存储区指定寄存器11中设定的数据中的高三位数据，(也就是第5位至第3位) 用A5至A3来表示，它的低三位数据(也就是第2位至第0位) 用A2至A0来表示。屏蔽位宽指定寄存器12 中设定的数据中的高三位数据(也就是第5位至第3位) 用C5至C3来表示， 它的低三位数(也就是第2位至第0位) 用C2至C0表示。当显示存贮器10地址区的最高地址用一个二进制数指定时，第6位至第4 位数据减去C5至C3的结果数据用D5至D3表示。从CPU 15 输出的用二进制数表

示的数据的地址第6位至第4位(显示存贮器10在X方向的地址数据)用E6至E4表示。

首先,第一比较器将E6至E4和B5至B3比较。如果E6至E4<B5至B3,相关的地址不包含写禁止区和一写允许区之间的边界,这样8位数据能重写。

如果由第一比较器比较的两个数据相同,第二比较器比较数E6至E4和D5至D3。如果E6至E4<D5至D3,相关的地址包含写禁止区和写允许区之间的边界,则写入由数据A2至A0指定位的高位是禁止的。如果第二比较器比较的两个数据相同,相关的地址包含写禁止区和写允许区的右端边界和左端边界。在这种情况下,右端边界由A2 至A0指定,左端边界由C2至C0指定。

随后,第一比较器比较数据E6至E4和B5至B3如果E6至E4>B5至B3,第三比较器比较数据E6至E4和D5至D3。如果E6至E4<D5至D3,相关的地址不包含写禁止区的写允许区之间的边界,因此,重写8 位数据是禁止的。

进一步,第三比较器比较的两个数据相同,相关地址包含禁止区和写允许区之间的边界重写由数据C2至C0指定位的最高位是可能的。第三比较器又进一步比较数E6至E4和D5至D3。如果E6至E4>B5至B3,相关地址不包含写禁示区和写允许区之间的边界,因此重写8位数据是可能的。

从上述的操作中可以看到,通过确定显示存贮器10 中写禁止区的相对端,四个不同状态的地址被确定了,也就是,所有位都在写允许区的一个地址、高n位在写允许区并且低(8-n)位在写禁止区的一个地址,所有位都在写禁止区的一个地址、高n位在写禁止区、低(

8-n)位在写允许区的一个地址。

接着，写判断/指定信号发生器13确定上述相应于CPU 15 输出的地址数据的四个数据屏蔽状态中的任何一个的地址，并针对相应于该地址的位单位产生一个写允许信号和一个写禁信号。

写控制单元14针对写判断/指定信号发生器13 产生的位单位并按照写允许和写禁止信号在显示存贮器10中只写入CPU 15 输出的写数据的有效位。

现在描述在如图3所示的显示数据存贮图的例子中的显示数据重写操作。假定数据"01010001B"存储在显示存贮器10的165号地址中。

首先在显示数据存储区指定寄存器11中设定"26位"的占用位宽，在屏蔽位宽指定寄存器12中设定"1位"的屏蔽位宽。从17X一侧起的地址所用的位宽由显示数据存储区指定寄存器11中设定的数据来确定，也就是写判断/指定信号发生器13确定：写禁区的右边界是显示存贮器10中17X一侧地址起第四个字节的14X号地址中的第6 位的位置，并通过计算显示数据存储区指定寄存器11中设定的数据"26位 "和屏蔽位宽指定寄存器12中设定的数据"11位"的差值"15位"来确定写禁止区左边界是显示存贮器10中17X一侧地址起第二个字节的16X号地址中的第0位的位置。这就意味着，写禁止区的范围是从16X 号地址的第0位到14X号地址的第6位。

因此，在17X号地址和13X号地址中所有位都在写允许区，16X 号地址的第7位到第1位在写允许区，第0位在写禁止区，15X地址中所有位都是在禁示区，14X号地址中第7位和第6位在写禁止区，第5位到第0位在写允许区。

当CPU 15输出写数据"11101000B"到165号地址(165号地址中第7位至第1位在写允许区、第0位在写禁止区),写判断/指定信号发生器13产生一个165号地址的第7至第1位的写允许信号和一个165号地址的第 0 位的写禁止信号 ， 并且第 7 位至第 1 位作为数据"11101000XB"(X表示写禁止)写入显示存贮器10中。因为第0位数据"1B" 在重写以前被保持 ， 165 号地址中的数据在重写以后是"111010001B"。

类似地,当CPU 15输出写数据"100101110B"到179号地址(179号地址中所有位都在写允许区),写判断/指定信号发生器13发出第7位至第0位写允许信号到写控制单元14,数据"100010110B"被写到显示存贮器10的170号地址中。

153号地址中的所有位都在写禁止区。 因此写指定信号发生器13发出第7位至第0位写禁止信号到写控制单元14,这样153号地址中的数据按原样被保持,不必进行任何写操作。

虽然上述的第一实施例有显示数据存储区寄存器11，但是在整个显示存贮器10由显示数据存储区构成的情况下，这个寄存器就不是必要的了。也即,在这种情况下只有屏蔽位宽指定寄存器12 就足够了。

现在，参考根据第二个实施例的数据存储系统的方框图描述第二个实施例。第二个实施例的显示数据存储区指定装置不同于第一个实施例。具体而论，显示数据存储区指定寄存器由二个寄存器构成,也即,一个表示X方向存储区的X方向指定寄存器21a,和一个表示Y方向存储区的Y方向指定寄存器21b。

图4表示的是显示存贮器中显示数据存储地址图的一个例子。

由虚线包围的矩形是显示数据存储区，表示成阴影的是数字数据存储区，即，写禁止区，在使用显示存贮器时在这样的区域内不需要重写数据。象图4所表示的那样，显示存贮器10有130号到17F号的地址区。每个地址能存取8位，可将5 个地址的数据作为一个单位数据显示。这个实施例是能最多显示40位的一个显示存贮器。

现在将对实现图4 中显示数据存储例子中的显示数据重写的操作加以描述。

首先，在显示数据存储区指定单元的X方向指定寄存器21a 中设定"26位"作为X方向的使用位，显示存贮器10 的显示数据存储区中X方向是从17X号地址中的第7位到14X地址中的第6位，并且通过在Y方向指定寄存器21b中设定"12行"作为Y方向的使用行，显示存贮器10的显示数据存储区中Y方向是从1X0号地址到1XB号地址。 在两个寄存器21a和21b中的数据确定了如图4 中所表示的虚线所包围的矩形一样的显示数据存储区。

接着在屏蔽位宽指定寄存器12中设定"11位"作为屏蔽位宽，显示数据存储区中X方向数据屏蔽区是从低侧起的第11位，即14X 地址中的第6位至16X地址中的第0位。此时，显示数据存储区在Y 方向最多可达1XB地址，这就意味着在此实施例中图4所示的阴影区是写禁止区。

现在假定数据"01010001B"存储在显示存贮器10的165号地址中。当CPU15发出写数据"11101000B"到165号地址时(165号地址中第7位到第1位在写允许区，第0位在写禁止区)，写指定信号发生器23 发出165号地址中的第7位到第1位的写允许信号给写控制单元14，并且第7位到第1位作为数据"111010100XB"(X代表写禁止)被写入。因为

第0位被保持成"1B"，即重写前的数据，重写后的165号地址中的数据为"11101001B"。

当CPU 15提供写数据"01000011B"到16C号地址时(16C号地址中所有位都在写允许区)，写判断/指定信号发生器23提供一个第7位至第0位写允许信号给写控制单元14，数据"01000011B" 被写在显示存贮器10的16C号地址中。同样，当CPU 15提供写数据"10010110B"给179号地址时(179号中的所有位都在写允许区)，写判断/指定信号发生器23提供一个第7 至第0 位的写允许信号给写控制单元14，数据"10010110B"被写在显示存贮器10的179号地址中。

当CPU 15提供写数据"01011010B"给153号地址时(153 号中所有位都在写禁止区)，写判断/指定信号发生器23提供一个第7 至第0位写禁止信号给写控制单元14，153号地址中的数据得到保持，不写入任何数据。

类似地，当CPU 15提供写数据"11010111B"给15 E 号地址时(15E号地址中所有位都在写允许区)，写判断/指定信号发生器23 提供一个第7至第0位的写允许信号给写控制单元14，数据"11010111B"写到显示存贮器10的15E号地址中。

尽管此实施例已通过使用显示存贮器和显示数据得到了描述，但这决不意味着是限制性的，当然此实施例在存储系统数据读写的控制中同样是一有用的技术。

例如，当经常要重写的数据(象荧光显示板显示数据) 和由显示板确定的时分驱动数据(象数字数据)设定后，在相同的存贮器地址中必须用不重写数据按给定的位单位进行写控制，在这种情况下，在如图8所示的数据存储系统中，用于在显示存贮器中存储存取单元

屏蔽数据的有效位宽寄存器的总数就必须与显示存贮器存取单元的位宽相对应。在第一个实施例中，在显示存储区指定寄存器11 和屏蔽位宽指定寄存器12中通过允许数据重写可将寄存器的数量从40减少到12。

此外，对于前面描述的已有技术数据存储系统，可变位宽逻辑操作单元57对三个不同的数据执行操作，即外部提供的写数据，所选择的有效位宽寄存器输出的屏蔽数据，以及由位存取控制单元58 读出时存储在显示存贮器10的重写目标地址中的数据。因此，可变位宽逻辑操作单元的电路结构已很复杂了，导致整个元件数量的增加。然而，按如图5所示方式操作的写判断/指定信号发生器的结构，电路结构被简化了，因此减少元件数是可能的。

在数据存储系统中，经位存取控制单元58 将可变位宽逻辑操作单元57中的操作结果存储在显示存贮器10的重写目标地址中，这样在数据重写过程中需要相当多的时间。根据本发明，电路被简化，数据处理也被简化，因此减少数据重写时间是可能的。

和用软件进行屏蔽控制的已有技术数据存储系统的图7 的操作不同，该存储控制系统的第一和第二实施例的图6 流程用一步就可实现，这样当然可能提高处理速度。

在不超出本发明的范围的条件下结构上的变化对本领域的普通技术人员来说是会想到的，并可进行各种显而易见的不同改进和实施例。在前面的描述和附图中陈述的内容只是通过说明提供的。因此期望以前的描述只是说明性的而不是限制性的。

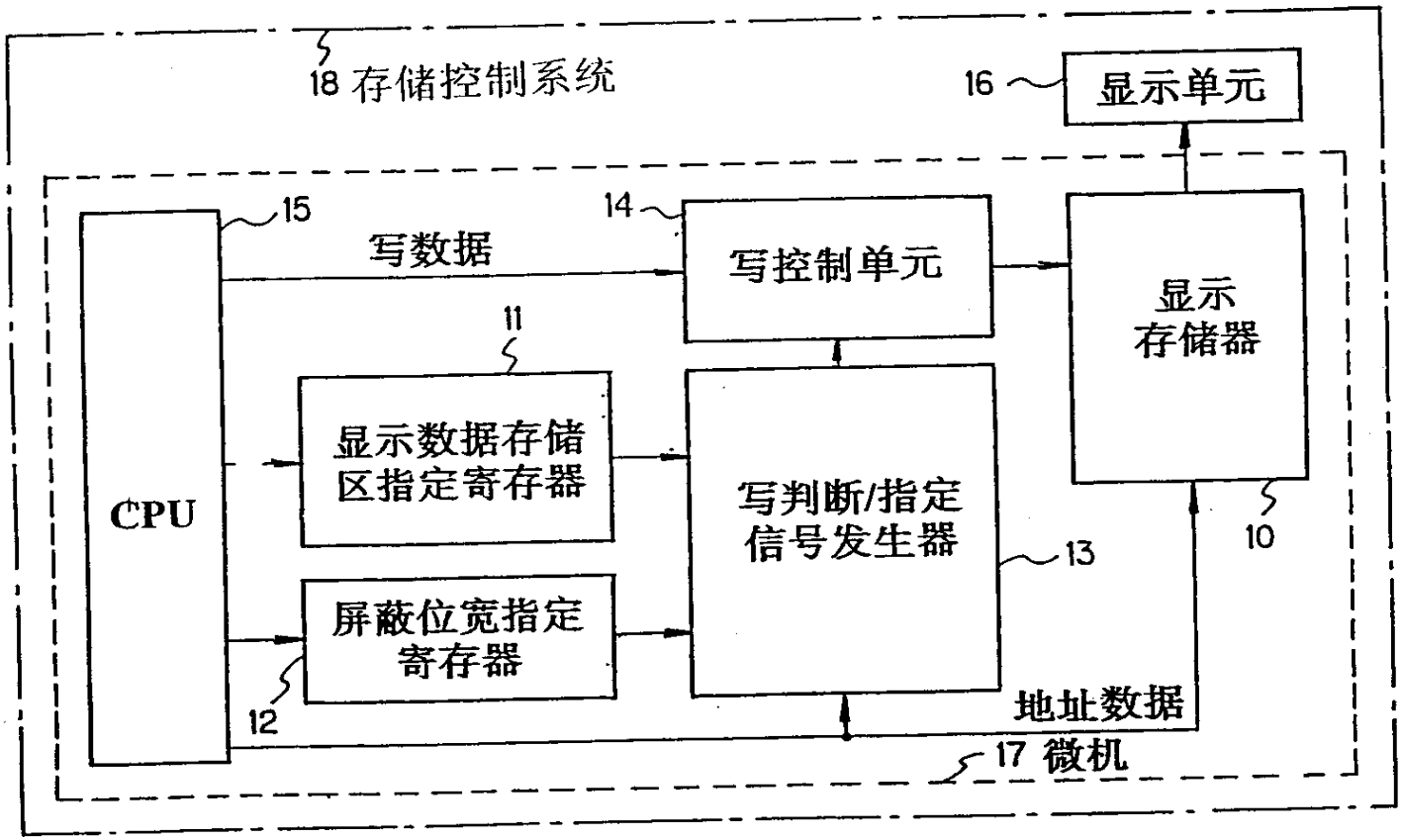

18 存储控制系统
16
显示单元
15
写数据
14
写控制单元
显示
存储器
11
显示数据存储
区指定寄存器
CPU
写判断/指定
信号发生器
13
10
屏蔽位宽指定
寄存器
12
地址数据
17 微机

图 1

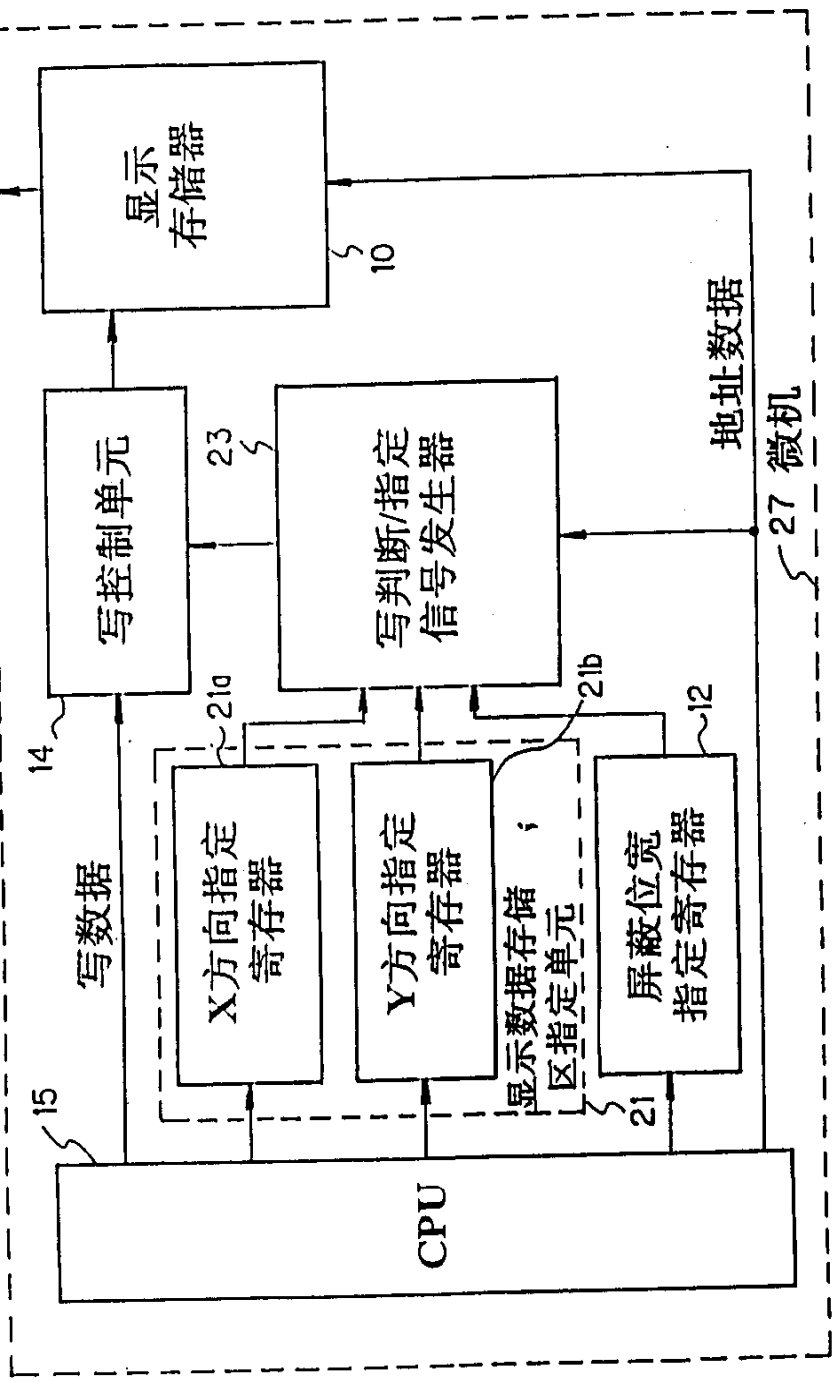

显示
存储器
10
写控制单元
14
23
写判断/指定
信号发生器
地址数据
27 微机
写数据
X方向指定
寄存器
21a
Y方向指定
寄存器
显示数据存储
区指定单元
21
21b
屏蔽位宽
指定寄存器
12
15
CPU

图 2

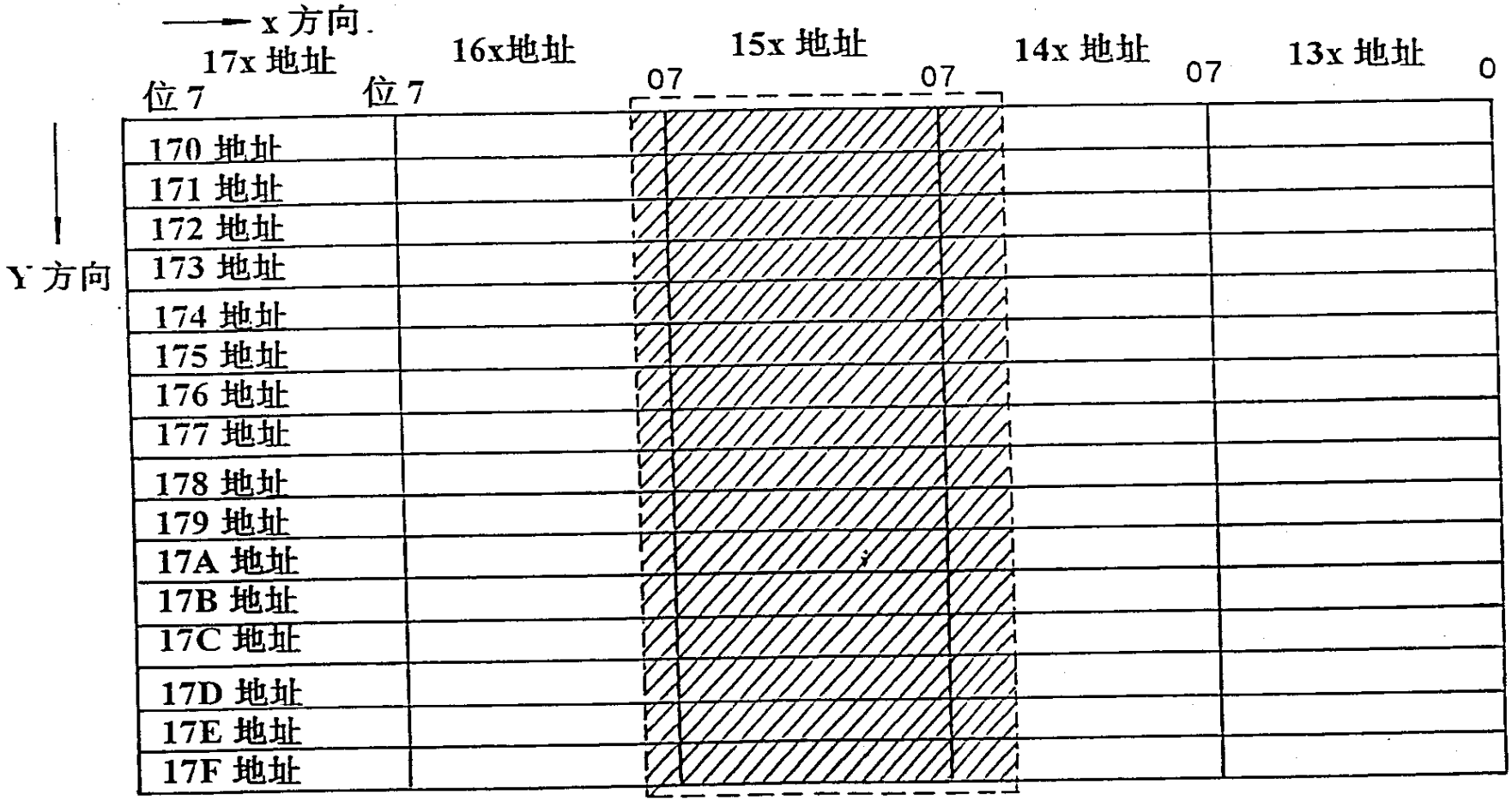

x 方向
17x 地址
16x地址
15x 地址
14x 地址
13x 地址
位 7
位 7
07
07
07
0
Y 方向
170 地址
171 地址
172 地址
173 地址
174 地址
175 地址
176 地址
177 地址
178 地址
179 地址
17A 地址
17B 地址
17C 地址
17D 地址
17E 地址
17F 地址

图 3

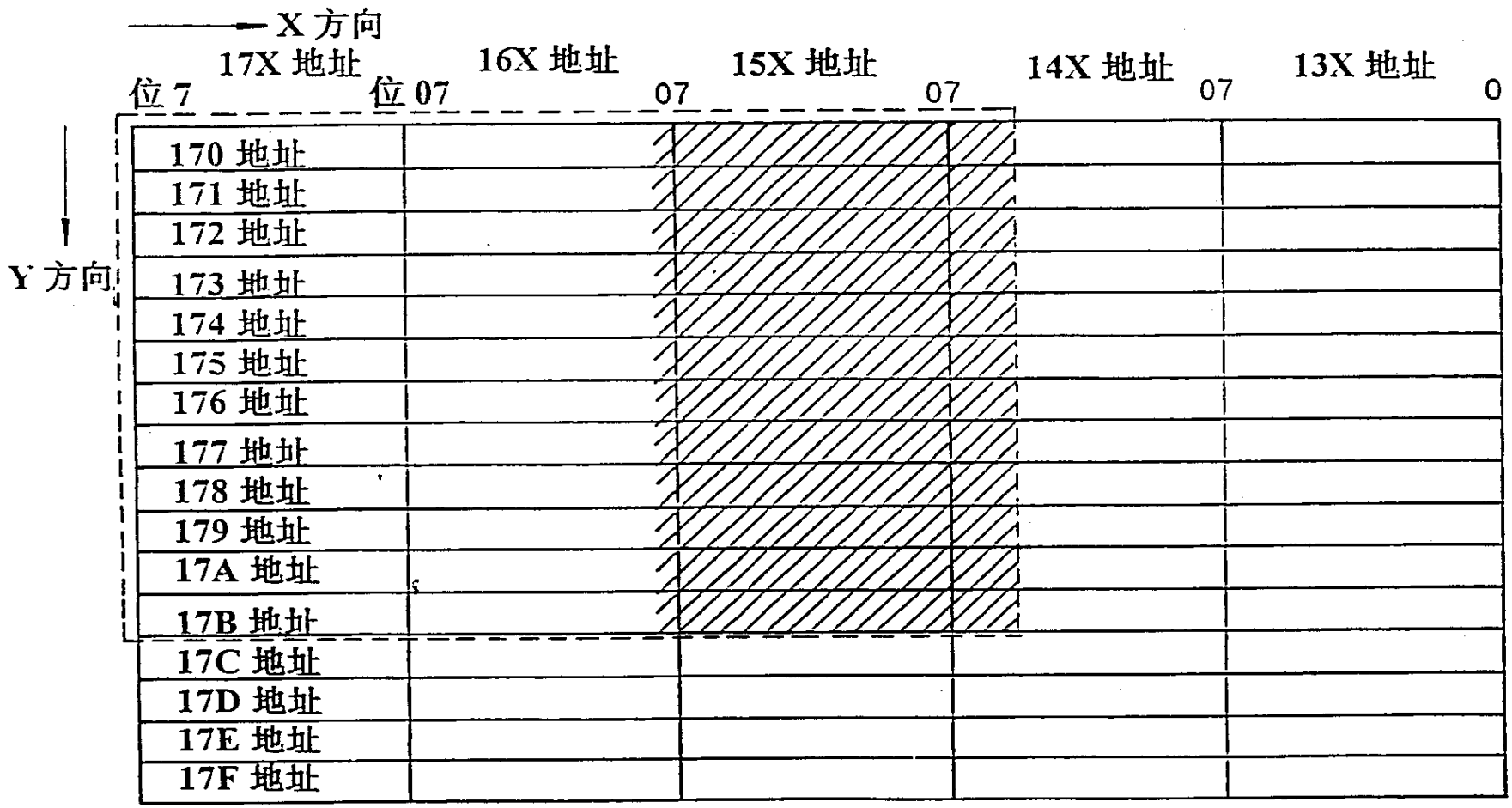

X 方向
17X 地址
16X 地址
15X 地址
14X 地址
13X 地址
位 7
位 07
07
07
07
0
Y 方向
170 地址
171 地址
172 地址
173 地址
174 地址
175 地址
176 地址
177 地址
178 地址
179 地址
17A 地址
17B 地址
17C 地址
17D 地址
17E 地址
17F 地址

图 4

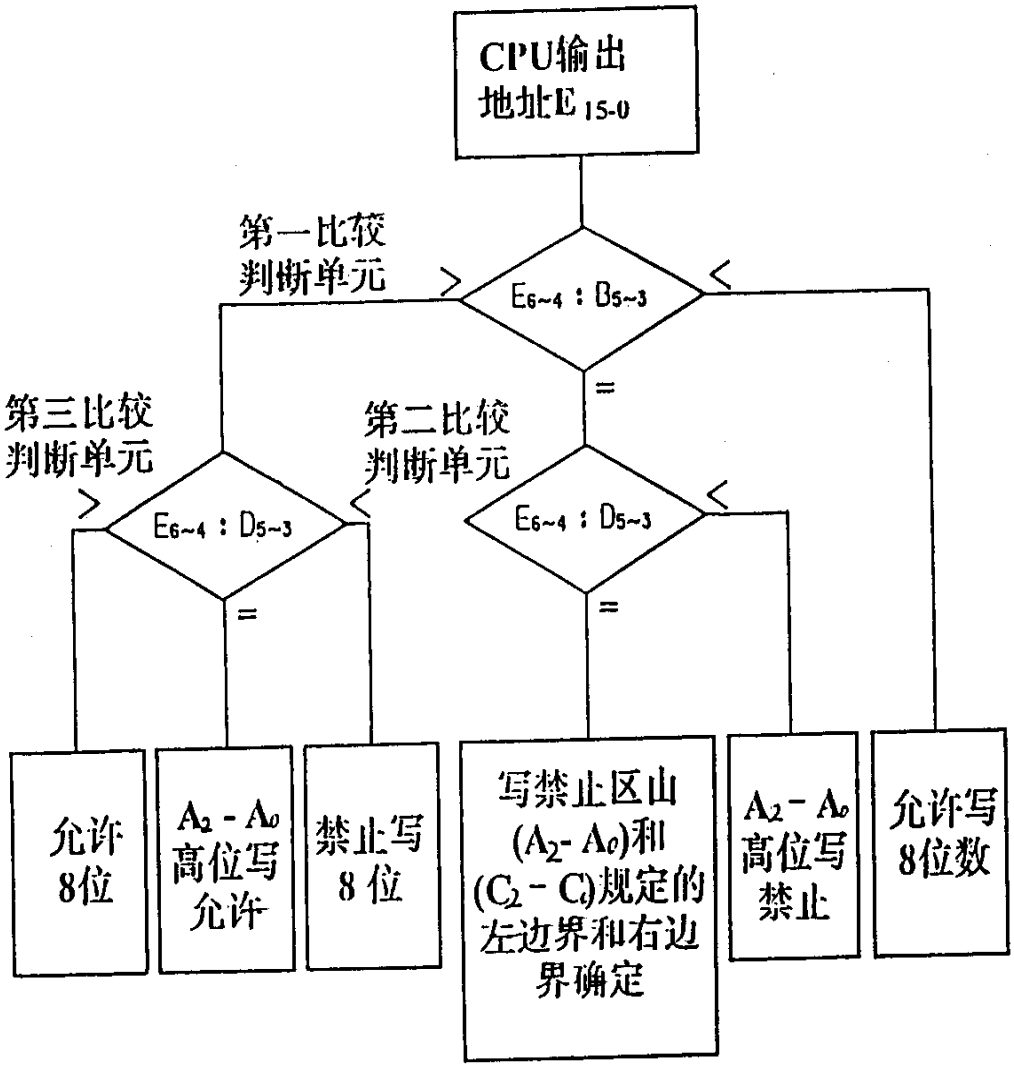

CPU输出
地址E 15-0
第一比较
判断单元
E6~4 : B5~3
=
第三比较
判断单元
第二比较
判断单元
E6~4 : D5~3
E6~4 : D5~3
=
=
允许
8位
A2 - A0
高位写
允许
禁止写
8 位
写禁止区山
(A2- A0)和
(C2 - C0)规定的
左边界和右边
界确定
A2 - A0
高位写
禁止
允许写
8位数

图 5

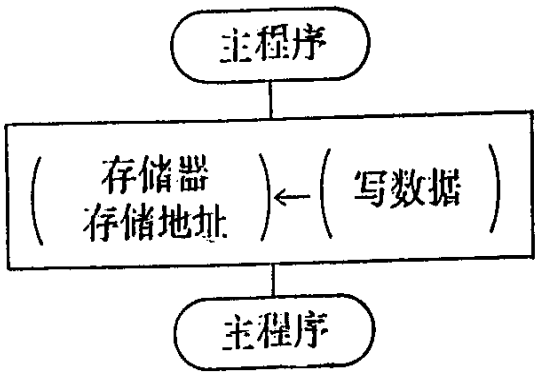

主程序
存储器
存储地址
写数据
主程序

图 6

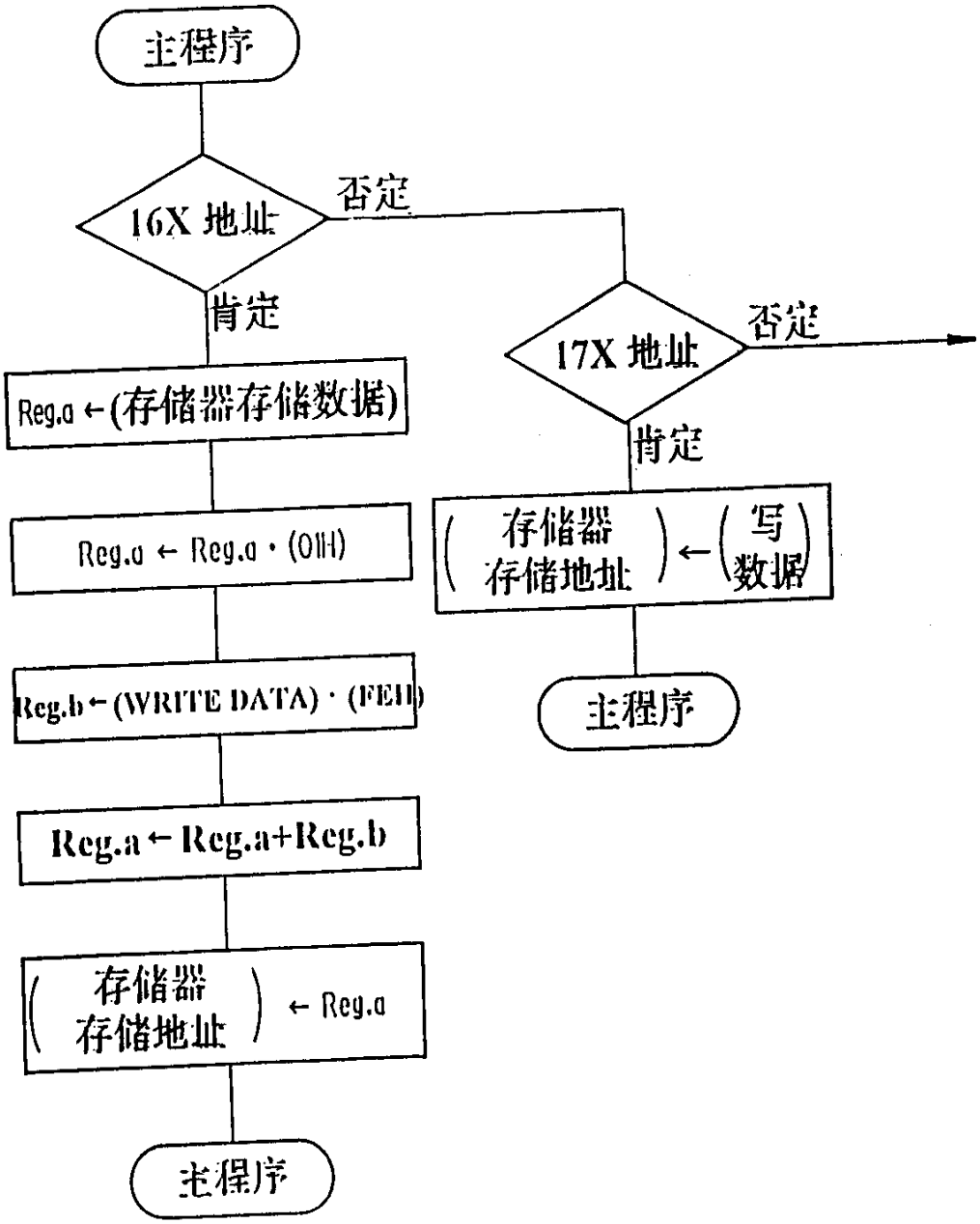

主程序
16X 地址
否定
肯定
17X 地址
否定
肯定
Reg.a ←(存储器存储数据)
Reg.a ← Reg.a · (0H)
Reg.b←(WRITE DATA) · (FEH)
Reg.a ← Reg.a+Reg.b
存储器
存储地址
← Reg.a
存储器
存储地址
← 写
数据
主程序
主程序

图 7

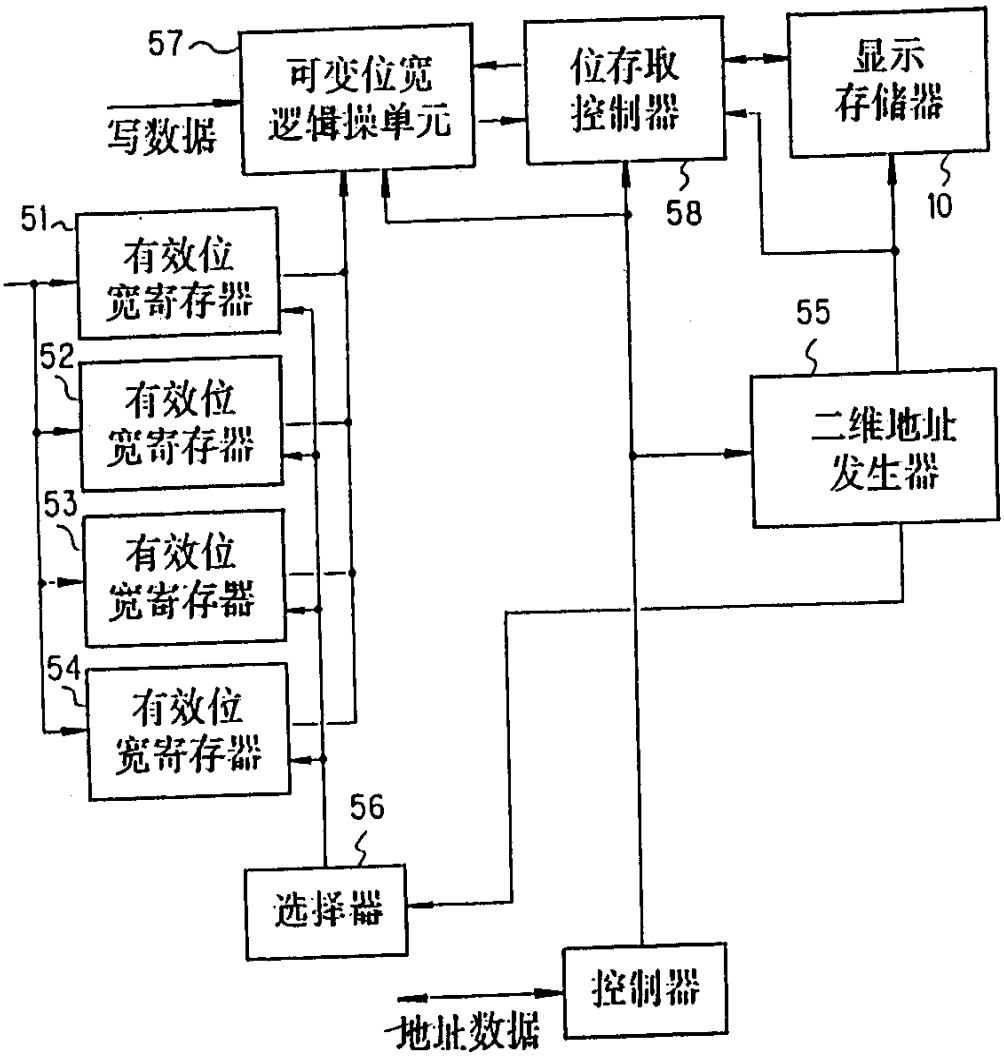

57
可变位宽
逻辑操单元
写数据
位存取
控制器
显示
存储器
58
10
51
有效位
宽寄存器
52
有效位
宽寄存器
53
有效位
宽寄存器
54
有效位
宽寄存器
55
二维地址
发生器
56
选择器
控制器
地址数据

图 8

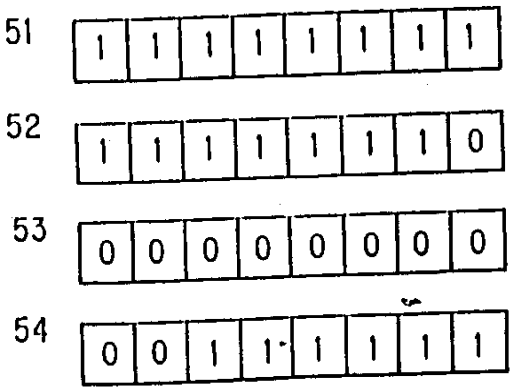

51
1 1 1 1 1 1 1 1
52
1 1 1 1 1 1 1 0
53
0 0 0 0 0 0 0 0
54
0 0 1 1 1 1 1 1

图 9