

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年2月4日(2016.2.4)

【公開番号】特開2015-50228(P2015-50228A)

【公開日】平成27年3月16日(2015.3.16)

【年通号数】公開・登録公報2015-017

【出願番号】特願2013-179272(P2013-179272)

【国際特許分類】

H 01 L 21/52 (2006.01)

H 01 L 25/07 (2006.01)

H 01 L 25/18 (2006.01)

【F I】

H 01 L 21/52 B

H 01 L 25/04 C

【手続補正書】

【提出日】平成27年12月15日(2015.12.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

セラミックス基板上に接合したパワー半導体素子をベースに接合し、又は、パワー半導体素子をリードフレームに接合して構成される半導体装置であって、

前記パワー半導体素子を接合した前記セラミックス基板を、前記ベース又は前記リードフレームに、Sn - 0 ~ 3 . 5 Ag - 3 ~ 10 Cu - 1 ~ 4 Bi (mass%)半田で接合していることを特徴とする半導体装置。

【請求項2】

前記請求項1に記載した半導体装置において、前記パワー半導体素子は、その上面及び下面電極が、前記Sn - 0 ~ 3 . 5 Ag - 3 ~ 10 Cu - 1 ~ 4 Bi (mass%)半田で、前記リードフレームに接合されており、各接合部の周囲をハードレジンで封止されていることを特徴とする半導体装置。

【請求項3】

前記請求項1に記載した半導体装置において、前記パワー半導体素子が接合された前記セラミックス基板を、Sn - 0 ~ 3 . 5 Ag - 5 ~ 10 Cu - 1 ~ 4 Bi - 0 . 001 ~ 0 . 1 Si (mass%)半田で、前記ベースに接合していることを特徴とする半導体装置。

【請求項4】

前記請求項1に記載した半導体装置において、前記パワー半導体素子が接合された前記セラミックス基板を、Sn - 0 ~ 3 . 5 Ag - 5 ~ 10 Cu - 1 ~ 4 Bi - 0 . 001 ~ 0 . 1 Ti (mass%)半田で、前記ベースに接合していることを特徴とする半導体装置。

【請求項5】

前記請求項1又は2に記載した半導体装置において、接合に用いる半田がSn - 0 ~ 3 . 5 Ag - 5 ~ 10 Cu - 1 ~ 4 Bi (mass%)半田であることを特徴とする半導体装置。

【請求項6】

前記請求項1に記載した半導体装置において、前記セラミックス基板、もしくは、前記リードフレームは、Ni系めっきを施した配線を有していることを特徴とする半導体装置。

【請求項7】

前記請求項6に記載した半導体装置において、前記Sn-0~3.5Ag-3~10Cu-1~4Bi(mass%)半田による接合部の厚さが50~500μmであることを特徴とする半導体装置。

【請求項8】

前記請求項1に記載した半導体装置において、前記パワー半導体素子として、SiCもしくはGaNを用いることを特徴とする半導体装置。

【請求項9】

前記請求項1に記載した半導体装置において、前記パワー半導体素子を、Zn-Alにより、前記セラミックス基板もしくは前記リードフレームに接合していることを特徴とする半導体装置。

【請求項10】

前記請求項1に記載した半導体装置において、前記パワー半導体素子を、焼結Agにより、前記セラミックス基板もしくは前記リードフレームに接合していることを特徴とする半導体装置。

【請求項11】

前記請求項1に記載した半導体装置において、前記パワー半導体素子を、Cu-Sn系金属間化合物により、前記セラミックス基板もしくは前記リードフレームに接合していることを特徴とする半導体装置。

【請求項12】

セラミックス基板上に接合したパワー半導体素子をベースに接合し、又は、パワー半導体素子をリードフレームに接合して製造される半導体装置の製造方法であって、

前記パワー半導体素子を接合した前記セラミックス基板を前記ベースに、又は、前記パワー半導体素子を前記リードフレームに、Sn-0~3.5Ag-3~10Cu-1~4Bi(mass%)半田で接合していることを特徴とする半導体装置の製造方法。

【請求項13】

前記請求項12に記載した半導体装置の製造方法において、水素あるいは蟻酸による還元雰囲気において、前記パワー半導体素子を接合した前記セラミックス基板を前記ベースに、又は、前記パワー半導体素子を前記リードフレームに、前記Sn-0~3.5Ag-3~10Cu-1~4Bi(mass%)半田で接合していることを特徴とする半導体装置の製造方法。

【請求項14】

前記請求項12に記載した半導体装置の製造方法において、250~350の最高温度で、前記パワー半導体素子を接合した前記セラミックス基板を前記ベースに、又は、前記パワー半導体素子を前記リードフレームに、前記Sn-0~3.5Ag-3~10Cu-1~4Bi(mass%)半田で接合していることを特徴とする半導体装置の製造方法。

【請求項15】

セラミックス基板上に接合したパワー半導体素子をベースに接合し、又は、パワー半導体素子をリードフレームに接合して製造される電力用半導体装置を製造するための半田であって、Snに対して、0~3.5(mass%)のAg、3~10(mass%)のCu、1~4(mass%)のBiを含んでいることを特徴とする電力用半導体装置を製造するための半田。

【請求項16】

前記請求項15に記載した電力用半導体装置を製造するための半田であって、前記Cuを5~10(mass%)含んでいることを特徴とする電力用半導体装置を製造するための半田。

**【請求項 17】**

前記請求項 16 に記載した電力用半導体装置を製造するための半田であって、更に、Si を 0.001 ~ 0.1 (mass%) 含んでいることを特徴とする電力用半導体装置を製造するための半田。