(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3808116号

(P3808116)

(45)発行日　平成18年8月9日(2006.8.9)　(24)登録日　平成18年5月26日(2006.5.26)

(51)Int.Cl.		F I		
H01L 29/78	(2006.01)	H01L	29/78	301J
H01L 29/06	(2006.01)	H01L	29/78	652P
H01L 27/088	(2006.01)	H01L	29/78	656D

請求項の数 4　(全 29 頁)

(21)出願番号	特願平7-192891
(22)出願日	平成7年7月28日(1995.7.28)
(65)公開番号	特開平9-55498
(43)公開日	平成9年2月25日(1997.2.25)
審査請求日	平成10年12月25日(1998.12.25)
審判番号	不服2003-1761(P2003-1761/J1)
審判請求日	平成15年2月5日(2003.2.5)
(31)優先権主張番号	特願平7-86601
(32)優先日	平成7年4月12日(1995.4.12)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願平7-141469
(32)優先日	平成7年6月8日(1995.6.8)
(33)優先権主張国	日本国(JP)

(73)特許権者　503361248
富士電機デバイステクノロジー株式会社
東京都品川区大崎一丁目１１番２号
(74)代理人　100088339
弁理士　篠部　正治
(72)発明者　藤平　龍彦
神奈川県川崎市川崎区田辺新田１番１号
富士電機株式会社内
(72)発明者　矢野　幸雄
神奈川県川崎市川崎区田辺新田１番１号
富士電機株式会社内
(72)発明者　大日方　重行
神奈川県川崎市川崎区田辺新田１番１号
富士電機株式会社内

最終頁に続く

(54)【発明の名称】高耐圧ＩＣ

(57)【特許請求の範囲】

【請求項１】

不純物濃度が１．５×１０^{14}ｃｍ$^{-3}$以下の第一導電形の第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極と、第三領域の表面層に選択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極とを具備し、前記第一領域と第二領域とからなる第一のｐｎ接合に通常の逆バイアス電圧より高い逆バイアス電圧を印加した場合に、該第二領域内に形成される空乏層の先端が第三領域に達しないように第二領域が第二導電形不純物のドーピング量から第一導電形不純物のドーピング量を差し引いた正味のドーピング量で１×１０^{12}ｃｍ$^{-2}$以上、３×１０^{13}ｃｍ$^{-2}$以下で形成され、

インバータのパワーデバイスの駆動回路として用いられることを特徴とする高耐圧ＩＣ。

【請求項２】

ｎチャネルの縦型パワーデバイスのコレクタ電極もしくはドレイン電極が固着される金属板上に、前記高耐圧ＩＣの第一領域の第二主面が固着され、かつ高耐圧ＩＣの第一導電形がｎ形であることを特徴とする請求項1記載の高耐圧ＩＣ。

【請求項３】
ｎチャネルの縦型パワーデバイスのエミッタ電極上もしくはソース電極上に、前記高耐圧ＩＣの第一領域の第二主面が固着され、かつ高耐圧ＩＣの第一導電形がｐ形であることを特徴とする請求項１記載の高耐圧ＩＣ。
【請求項４】
ｎチャネルの縦型パワーデバイスと同一半導体基板に集積され、かつ、前記高耐圧ＩＣの第一領域がｎチャネルの縦型パワーデバイスの低濃度ｎ形層と共通に形成されることを特徴とする請求項１記載の高耐圧ＩＣ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、パワーデバイスの制御駆動用などに用いられる高耐圧ＩＣで、パワーデバイスとは別の半導体基板または同一半導体基板上に形成される高耐圧ＩＣに関する。
【０００２】
【従来の技術】
ここでは参考文献が多数あるため、文献名はまとめて番号を付けて〔発明が解決しようとする課題〕の項の最後に記載し、文章中では文献名の番号を[ ]で示すことに留めた。また参考文献のUSP Noの後に（ ）で示した内容は特許内容を簡単に説明したものである。
【０００３】
パワーデバイス[1] ～[4] は、モータ制御用のインバータやコンバータ、照明用のインバータ、各種電源およびソレノイドやリレーの駆動用スイッチ等の多くの分野で広く利用されている。このパワーデバイスの駆動や制御は、従来個別の半導体素子や電子部品を組み合わせて構成した電子回路[5],[6] によっていたが、近年ＬＳＩ（高集積度ＩＣ、ＩＣとは集積回路のこと）技術を利用した数十Ｖ級の低耐圧ＩＣ[7],[8] や数百Ｖ級の高耐圧ＩＣ[9],[10]が実用化されており、さらに駆動・制御回路とパワーデバイスとを同一半導体基板に集積化したパワーＩＣ[11],[12] が用いられインバータやコンバータなどの変換装置などの小型化や高信頼性が図られている。
【０００４】
図３３はモータ制御用インバータのパワー部分を中心に説明する回路構成図である。三相モータＭｏを駆動するために用いるパワーデバイス（ここではＩＧＢＴであるＱ１～Ｑ６とダイオードであるＤ１～Ｄ６を示す）はブリッジ回路を構成し同一パッケージに収納されたパワーモジュール[13]の構造をしている。ここでＩＧＢＴとは絶縁ゲート型バイポーラトランジスタのことである。主電源V_{CC}は通常直流１００～４００Ｖと高電圧である。主電源V_{CC}の高電位側をV_{CCH}、低電位側をV_{CCL} と表した場合、V_{CCH} に接続されるＩＧＢＴＱ１～Ｑ３を駆動するためには、ＩＧＢＴのゲート電極の電位はこれよりさらに高電位となるため、駆動回路にはフォトカプラ（ＰＣ：Ｐｈｏｔｏ Ｃｏｕｐｌｅｒ）や高耐圧ＩＣ（ＨＶＩＣ：Ｈｉｇｈ Ｖｏｌｔａｇｅ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）が用いられる。駆動回路の入出力端子Ｉ／Ｏ（Ｉｎｐｕｔ／Ｏｕｔｐｕｔ）は通常マイクロコンピュータへ接続され、そのマイクロコンピュータによりインバータ全体の制御がなされる。
【０００５】
図３４は図３３で用いられる高耐圧ＩＣ（ＨＶＩＣ）の内部構成ユニットのブロック図を示す。その構成をつぎに説明する。入出力端子Ｉ／Ｏを通してマイクロコンピュータと信号のやりとりを行い、どのＩＧＢＴをオンさせ、どれをオフさせるかの制御信号を発生させる制御回路ＣＵ（Ｃｏｎｔｒｏｌ Ｕｎｉｔ）と、この制御回路ＣＵからの信号を入力ラインＳＩＮ４～６で受けてＩＧＢＴのゲートドライブ用の出力ラインＯＵＴ４～６から信号を出力し、またＩＧＢＴの過電流を電流検出端子[14]ＯＣ４～６で、過熱を温度端子[15]ＯＴ４～６で検出し、異常信号を出力ラインＳＯＵＴ４～６で出力し、図３３の主電源V_{CC}の低電位側V_{CCL}に接続するＩＧＢＴＱ４～Ｑ６を駆動する、ゲート駆動回路ＧＤＵ（Ｇａｔｅ Ｄｒｉｖｅ Ｕｎｉｔ）４～６と、ＧＤＵ４～６と同じ機能で主電源V_{CC}

の高電位側V_{CCH}に接続するＱ１からＱ３を駆動するゲート駆動回路ＧＤＵ１～３と、V_{CCL} レベルの制御回路ＣＵの信号とV_{CCH} レベルとV_{CCL}レベルの間を行き来するＧＤＵ１～３の信号（ＳＩＮ１～３、ＳＯＵＴ１～３）との間を媒介する働きをするレベルシフト回路ＬＳＵ（Ｌｅｖｅｌ　Ｓｈｉｆｔ　Ｕｎｉｔ）とから構成されている。ＧＤＵ１～３のドライブ電源（図３５参照）V_{DD1}～V_{DD3} の高電位側をV_{DDH1}～V_{DDH3}、低電位側をV_{DDL1}～V_{DDL3}で示し、ＧＤＵ４～６のドライブ電源は共通電源V_{DDC}（図３５でも省略されている）であり、この共通電源V_{DDC} の高電位側をV_{DDHC}、低電位側をV_{DDLC}で示す。またＧＤＵ４～６およびＣＵのドライブ共通電源V_{DDC}は１０～２０Ｖ程度であり、この共通電源V_{DDC} の低電位側V_{DDLC}は図３３の主電源V_{CC}の低電位側V_{CCL}に接続する。

【０００６】

図３５は図３４のＧＤＵ１とＩＧＢＴＱ１のさらに詳細な接続図を示す。ここではその他のＧＤＵとＩＧＢＴは省略している。ＧＤＵ１のドライブ電源V_{DD1}は１０～２０Ｖ程度であり、その低電位側V_{DDL1}はＩＧＢＴＱ1 のエミッタ端子Ｅに即ちインバータ出力のＵ相に接続され、ＩＧＢＴＱ１のコレクタ端子Ｃが主電源V_{CC}の高電位側V_{CCH}に接続されている。このため、ＩＧＢＴＱ１がオンした時はV_{DDL1}の電位はV_{CCH} の電位とほぼ等しくなり、またＩＧＢＴＱ１がオフした時はV_{DDL1}の電位はV_{CCL}の電位とほぼ等しくなる。従って、ＧＤＵ１と他の回路ユニットとの間には主電源V_{CC}の電圧より、さらに高い絶縁耐圧が必要であり、このことはＧＤＵ２、３についても同様である。そしてレベルシフト回路ＬＳＵはそれ自体が高耐圧でなければならない。同図においてＩＧＢＴＱ１は電流検出端子[16]Ｍと温度検出素子θおよび温度検出端子[17]Ｔｅｍｐを備え、ゲート駆動回路ＧＤＵ１は電流検出端子ＯＣ１や温度検出端子ＯＴ１によりＩＧＢＴＱ１の異常を検出し、異常信号を出力ラインＳＯＵＴ１から出力する。ＯＵＴ１はゲート駆動端子である。

【０００７】

図３６は図３３と同一回路をインテリジェントパワーモジュール[18]と呼ばれる製品を用いて構成した構成図である。この場合ゲート駆動回路ＧＤＵ１～ＧＤＵ６は、低耐圧ＩＣや個別電子部品および半導体素子からなり、パワーデバイス（Ｑ１～Ｑ６、Ｄ１～Ｄ６）とともにパワーデバイス側のパッケージに備えられている。この場合でも、外付けの駆動回路としてはフォトカプラ（ＰＣ）や高耐圧ＩＣ（ＨＶＩＣ）が用いられる。

【０００８】

図３７は図３６のＩＧＢＴＱ１およびＧＤＵ１のまわりの回路を詳細に示したものである。ＳＩＮ１およびＳＯＵＴ１は外部の構成となるＰＣやＨＶＩＣに接続される。

またその他の構成例として、ＧＤＵ１とＱ１を１チップ（同一の半導体基板）に集積化するパワーＩＣ技術[19],[20] や図３６の全ての回路を１チップに集積化するパワーＩＣ技術[11],[12] も開示されている。

【０００９】

図３８は図３４に示した高耐圧ＩＣ（ＨＶＩＣ）のチップの平面図を示し、各回路ユニットの配置が分かるように描いている。他の回路ユニットから高耐圧で分離される必要のあるＧＤＵ１は接合分離[21],[22],[10]や誘電体分離[23],[11],[12]により電気的に分離された島の中に形成されており、その周縁部を高耐圧接合終端構造[11],[21] ＨＶＪＴ（絶縁するために高電圧が印加される接合の終端部の構造をいう）により囲まれている。レベルシフト回路ＬＳＵの中には主電源V_{CC}の低電位側の電位V_{CCL}レベルの信号をドライブ電源V_{DD1} の低電位側の電位V_{DDL1}レベルの信号（入力ラインＳＩＮ１の信号）にレベルシフトするための高耐圧ｎチャネルＭＯＳＦＥＴ（ＨＶＮ）が設けられている。この高耐圧ｎチャネルＭＯＳＦＥＴには、中心のドレイン電極D_Nを囲んで高耐圧接合終端構造[10],[11] ＨＶＪＴが設けられている。またＧＤＵ１の分離された島の中にはV_{DDL1}レベルの信号（出力ラインＳＯＵＴ１の信号）をV_{CCL}レベルの信号にレベルシフトするための高耐圧ｐチャネルＭＯＳＦＥＴ（ＨＶＰ）が設けられており、この場合もドレイン電極D_P を囲んで高耐圧接合終端構造ＨＶＪＴが設けられている。そして、ＧＤＵ１の入力ラインＳＩＮ１と出力ラインＳＯＵＴ１が、高耐圧接合終端構造ＨＶＪＴの上を通ってＧＤＵ１とＬＳＵの間にそれぞれ跨がって配線されている。また各ＧＤＵには図３５で示したＯ

ＵＴ端子、ＯＣ端子、ＯＴ端子が配置され、ＧＤＵ１～ＧＤＵ３にはV_{DDH1}～V_{DDH3}の端子、V_{DDL1}～V_{DDL3}の端子が配置され、またＧＤＵ４～ＧＤＵ６にはV_{DDHC}の端子とV_{DDLC}の端子が配置されている。同図ではＧＤＵ１とＧＤＵ４の詳細な説明をし、他のＧＤＵは詳細な配置説明は省略した。

【００１０】

【発明が解決しようとする課題】

前記した従来の高耐圧ＩＣやパワーＩＣの課題は６００Ｖを越える高耐圧化が困難なこと、製造コストが高いことなどであるが、さらに詳細に説明すると次のようになる。

（１）分離技術に関する課題

先に述べたように、他の部分と電位の大きく異なる回路ユニット（例えば図３８のＧＤＵ１、２、３）を他の部分から電気的に高耐圧で分離する分離技術には誘電体分離[11],[12],[23]、接合分離[10],[21],[22]、自己分離[20],[24] などの技術がある。しかし誘電体分離や接合分離は分離構造が複雑で製造コストが高く、耐圧が高くなるほど、この製造コストがさらに高くなる。また自己分離は製造コストは低く抑えられるが、ＣＭＯＳ（相補形ＭＯＳＦＥＴ）構成では高耐圧化技術が未だ開発されておらず、一方、高耐圧化が可能なＮＭＯＳ（ｎチャネルＭＯＳＦＥＴ）構成ではアナログ回路（先で述べた電流検出回路や温度検出回路を指す）の高精度化が極めて困難である。

（２）高耐圧接合終端構造ＨＶＪＴに関する課題

高耐圧接合終端構造は、縦型パワーデバイス用のもの[25],[26] 、横型高耐圧デバイス用のもの[27],[28],[29]など個々の用途別に各種構造が開示されている。しかしながら、高耐圧化したＩＣであるＨＶＩＣやパワーデバイスを集積した高耐圧パワーＩＣにおいては、集積回路ユニット間の高耐圧接合終端構造（図３８のＧＤＵ１～３の回り）、高耐圧横型ｎチャネルＭＯＳＦＥＴ用の高耐圧接合終端構造（図３８のＨＶＮのD_Nの回り）、高耐圧横型ｐチャネルＭＯＳＦＥＴ用の高耐圧接合終端構造（図３８のＨＶＰのD_P の回り）、さらには縦型パワーデバイス用の高耐圧接合終端構造など多くの用途の高耐圧接合終端構造を同一チップ上に形成する必要がある。従来のような汎用性の少ない構造で高耐圧ＩＣやパワーＩＣを実現しようとすると、多くの異なる高耐圧接合終端構造ＨＶＪＴを同一チップ上に形成しなければならず、製造コストが高くなる。

（３）配線下の高耐圧接合終端構造に関する課題

高耐圧ＩＣでは、電位の大きく異なる集積回路ユニット（例えば図３８のＧＤＵ１とＬＳＵ）間での信号のやり取りを行うため、高耐圧接合終端構造ＨＶＪＴ上に配線を通すことが必要とされる。ところが、高耐圧接合終端構造ＨＶＪＴ上を配線を通すとこの配線の電位の影響を受けて、高耐圧接合終端構造ＨＶＪＴの耐圧が低下する問題がある[30]。この問題を解決するために、いくつかの構造[10],[11],[12],[31] が提案されているが、構造が複雑なため製造コストが高くなる。またこれらの提案されている構造では配線の影響を皆無にできなく、耐圧低下の程度を少なくしている丈であり、６００Ｖ程度の耐圧までは実用化できても、それ以上の耐圧のものはまだ実現していない。

【００１１】

この発明は、前記課題を解決するために、高耐圧に耐える第二領域および第四領域を設け、縦型パワーデバイスの高耐圧接合終端構造、集積回路ユニット間を分離する高耐圧接合終端構造、ｎチャネルまたはｐチャネルの高耐圧横型ＭＯＳＦＥＴの高耐圧接合終端構造など幅広く利用できる汎用性が高く、低コストな高耐圧接合終端構造とし、配線が横切っても耐圧が低下せずに高耐圧が維持できる、低コストな高耐圧接合終端構造とすることで、製造コストの低い高耐圧ＩＣを提供することができる。

参考文献

〔１〕USP 4,364,073(IGBT関連)
〔２〕USP 4,893,165(ノンパンチスルー形IGBT関連)
〔３〕USP 5,008,725(パワーMOSFET関連)
〔４〕EP 0,071,916、特開昭58-39065に対応(高速ダイオード内蔵パワーMOSFET関連)
〔５〕USP 5,091,664(駆動回路関連)

〔６〕USP 5,287,023(駆動回路関連)
〔７〕USP 4,947,234(低耐圧ICとパワーデバイス関連)
〔８〕USP 4,937,646(低耐圧ICとパワーデバイス関連)
〔９〕A.Wegener and M.Amato "A HIGH VOLTAGE INTERFACE IC FOR HALF-BRIDGECIRCUITS " Electrochemical Society Extended Abstracts, vol.89-1, pp.476-478(1989)
〔１０〕T.Terashima et al "Structure of 600V IC and A New Voltage Sensing Device " IEEE Proceeding of the 5th International Symposium on Power Semiconductor Devices and ICs,pp.224-229(1993)
〔１１〕K.Endo et al "A 500V 1A 1-chip Inverter IC with a New Electric Field Reduction Structure" IEEE Proceeding of the 6th International Symposium on Power Semiconductor Devices and ICs,pp.379-383(1994)
〔１２〕N.Sakurai et al "A three-phase inverter IC for AC220V with a drasticall small chip size and highly intelligent functions" IEEE Proceeding of The 5th International Symposium on Power Semiconductor Devices andICs,pp.310-315(1993)
〔１３〕M.Mori et al "A HIGH POWER IGBT MODULE FOR TRACTION MOTOR DRIVE"IEEE Proceeding of the 5th International Symposium on Power Semiconductor Devices and ICs,pp.287-289(1993)
〔１４〕USP 5,159,516 （電流検出方法関連）
〔１５〕USP 5,070,322 （温度検出方法関連）
〔１６〕USP 5,097,302 （電流検出用素子関連）
〔１７〕USP 5,304,837 （温度検出用素子関連）
〔１８〕K.Reinmuth et al "Intelligent Power Modules for Driving Systems"IEEE Proceeding of the 6th International Symposium on Power Semiconductor Devices and ICs,pp.93-97(1994)
〔１９〕USP 4,677,325 (IPS関連)
〔２０〕USP 5,053,838 (IPS関連)
〔２１〕R.Zambrano et al "A New Edge Structure for 2kVolt Power IC Operation" IEEE Proceeding of the 6th International Symposium on Power Semiconductor Devices and ICs,pp.373-378(1994)
〔２２〕M.F.Chang et al "Lateral HVIC with 1200-V Bipolar and Field-Effect Devices"IEEE Transactions on Electron devices, vol.ED-33, No.12, pp.1992-2001(1986)
〔２３〕T.Ohoka et al "A WAFER BONDED SOI STRUCTURE FOR INTELLIGENT POWER ICs" IEEE Proceeding of the 5th International Symposium on Power Semiconductor Devices and ICs,pp.119-123(1993)
〔２４〕J.P.MILLER "A VERY HIGH VOLTAGE TECHNOLOGY(up to 1200V) FOR VERTICAL SMART POEWR ICs" Electrochemical Society Extended Abstracts, vol.89-1, pp.403-404(1989)
〔２５〕USP 4,399,449 （パワーデバイスのHVJT関連)
〔２６〕USP 4,633,292 （パワーデバイスのHVJT関連)
〔２７〕USP 4,811,075 （横型MOSFETのHVJT関連)
〔２８〕USP 5,258,636 （横型MOSFETのHVJT関連)
〔２９〕USP 5,089,871 （横型MOSFETのHVJT関連)
〔３０〕P.K.T.MOK and C.A.T.SALAMA "Interconnect Induced Breakdown in HVIC's" Electrochemical Society Extended Abstracts, vol. 89-1, pp. 437 -38(1989)
〔３１〕USP 5,043,781 (パワーIC関連)

【００１２】

【課題を解決するための手段】

この発明は前記の目的を達成するために、不純物濃度が$1.5\times10^{14}cm^{-3}$以下の第一導電形の第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電

形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極と、第三領域の表面層に選択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極とを具備し、前記第一領域と第二領域とからなる第一のｐｎ接合に通常の逆バイアス電圧より高い逆バイアス電圧を印加した場合に、該第二領域内に形成される空乏層の先端が第三領域に達しないように第二領域が第二導電形不純物のドーピング量から第一導電形不純物のドーピング量を差し引いた正味のドーピング量で$1\times10^{12}cm^{-2}$以上、$3\times10^{13}cm^{-2}$以下で形成され、インバータのパワーデバイスの駆動回路として用いられることである。

【００１３】

第一導電形の領域がｎ形で形成されてもよい。

この第一導電形がｎ形で形成される高耐圧ＩＣの第二主面が、ｎチャネルの縦型パワーデバイスのコレクタ電極（ＩＧＢＴなどの場合）もしくはドレイン電極（ＭＯＳＦＥＴなどの場合）が固着される金属板上に、固着されるとよい。

第一導電形の領域がｐ形で形成されてもよい。

【００１４】

この第一導電形がｎ形で形成される高耐圧ＩＣの第二主面が、ｎチャネルの縦型パワーデバイスのエミッタ電極（ＩＧＢＴなどの場合）上もしくはソース電極（ＭＯＳＦＥＴなどの場合）上に、固着されるとよい。

ｎチャネルの縦型パワーデバイスと同一半導体基板に集積され、かつ、第一領域がｎチャネルの縦型パワーデバイスの低濃度ｎ形層（ｎ形ドリフト層もしくは低濃度ｎ形ドレイン層など）と共通に形成されるとよい。

【００１５】

【００１６】

【００１７】

【００１８】

【００１９】

【００２０】

【００２１】

【００２２】

【００２３】

【００２４】

【００２５】

【００２６】

【００２９】

この発明の作用を請求項に対応して説明する。請求項１によれば、第一領域と第二領域の間のｐｎ接合を逆バイアスにしておくことにより、第二領域に囲まれたＣＭＯＳ回路が第一領域から電気的に分離されるので、電位の異なる複数のＣＭＯＳ回路を低コストで同一チップ上に集積化することが可能となる。第一領域と第二領域との間のｐｎ接合に高い逆バイアス電圧が印加されても、第二領域が空乏層の伸びより広いため、寄生バイポーラトランジスタ（第一領域をコレクタ、第二領域をベース、第三領域をエミッタとするバイポーラトランジスタ）のブレークダウンが生じない。そのため、第二領域の第一領域からの分離耐圧を高くすることができる。第一、第二、第三の各領域の不純物量を調整すれば、容易に請求項２の条件を満たすことができ、高耐圧化が可能となる。

【００３０】

請求項２によれば、高耐圧ＩＣチップの裏面（第一領域の第二主面）の電位をパワーデバイスのコレクタの電位と同一にできるので、高耐圧ＩＣチップをパワーデバイスと同一の

金属板上に配置でき、実装面積を小さくすることができる。さらにこの金属板を介してパワーデバイスの発生する熱が高耐圧ＩＣチップに効率よく伝導するため、パワーデバイスの温度変化に高耐圧ＩＣチップの温度が追随でき、高耐圧ＩＣチップ内に設けた温度センサーでパワーデバイスの温度上昇を検出できる。従って従来のようにパワーデバイス上に温度検出素子を設ける必要がなく、パワーデバイスの加熱保護を低コストで行うことができる。

【００３１】

請求項３によれば、高耐圧ＩＣチップの裏面の電位をパワーデバイスのエミッタの電位と同一にできるので、高耐圧ＩＣチップをパワーデバイス上に配置でき、実装面積を小さくできる。さらにパワーデバイスの発熱が高耐圧ＩＣチップに直接伝導するため、前記と同様にパワーデバイスの温度変化に高耐圧ＩＣチップの温度が追随できる。従って従来のようにパワーデバイス上に温度検出素子を設ける必要がなく、パワーデバイスの加熱保護を低コストで行うことができる。

【００３２】

請求項４によれば、ＩＣとパワーデバイスとを同一チップ（同一半導体基板）に集積化でき、実装面積を小さくできる。またパワーデバイス部分の温度を直接ＩＣ部分で検出できるので、高精度の温度検出が可能となる。

【００３３】

【００３５】

【００３６】

【００３７】

【００３８】

【００３９】

【００４０】

【発明の実施の形態】

図１はこの発明の第１実施例の要部断面図を示す。この実施例は請求項１に対応しており、図３８の高耐圧接合終端構造ＨＶＪＴに囲まれたＧＤＵ１～３の部分にこの発明が適用されている。以下、一部実施例を除き第一導電形をｐ形、第二導電形をｎ形として説明する。

【００４１】

高耐圧ＩＣ（ＨＶＩＣ）はホウ素をドープしたｐ形半導体基板からなる第一領域１と、その表面層に選択的にリンのイオン注入を行って高温の熱拡散により形成したｎ形の第二領域２と、第二領域２の表面層に選択的にホウ素のイオン注入を行って高温の熱拡散により形成したｐ形の第三領域３と、第二領域２の表面層に選択的にリンをイオン注入し高温の熱拡散により形成したｎ形の第五領域５と、第三領域３の表面層に選択的にホウ素をイオン注入し高温の熱拡散により形成されたｐ形の第六領域６と、第二領域２の表面層に選択的に形成したｐ形の高濃度領域１１（第一ソース領域と第一ドレイン領域になる）とこのｐ形の高濃度領域１１に挟まれた第二領域２上にゲート絶縁膜１３を介して形成されたゲート電極となる多結晶シリコン膜１５とで構成されるｐチャネルＭＯＳＦＥＴ（ｐｃｈＭＯＳＦＥＴ）と、第三領域３の表面層に選択的に形成されたｎ形の高濃度領域１２（第二ソース領域と第二ドレイン領域になる）とこのｎ形の高濃度領域１２に挟まれた第三領域３上にゲート絶縁膜１３を介して形成されたゲート電極となる多結晶シリコン膜１５とで構成されるｎチャネルＭＯＳＦＥＴ（ｎｃｈＭＯＳＦＥＴ）と、第一領域１と第二領域２との間の第一のｐｎ接合１０４に高い逆バイアス電圧が印加されたときに表面付近での電界集中によるブレークダウンが生じないように、第一領域１を囲んで設けられた高耐圧接合終端構造ＨＶＪＴとからなる。ｐ形の高濃度領域１１は高濃度のホウ素がドープされ、ｎ形の高濃度領域は高濃度のリンがドープされている。ゲート絶縁膜１３は厚みが２００～５００Å程度のシリコン酸化膜で形成される。第一領域１上、第二領域２上および第五領域５上の一部にフィールド絶縁膜１４が厚み５０００～１００００Å程度のシリコン酸化膜で形成され、その上に選択的に導電膜であるリンドープされたｎ形の多結晶シリコン

膜１５が厚さ３０００～６０００Å程度で形成される。またこの多結晶シリコン膜１５は第三領域３と第二領域２の向かい合う領域にも同図に示すように形成される。層間絶縁膜１６は例えば常圧ＣＶＤ等により形成された、厚さ５０００～１００００ÅのＢＰＳＧ膜である。第一金属膜１７は第一主面側の配線や電極として用いる例えば厚さ５０００～１００００Å程度のＡｌ－１％Ｓｉ膜である。第一領域１の不純物濃度は10^{13}～10^{15}ｃｍ$^{-3}$程度であり、例えば６００Ｖ耐圧の高耐圧ＩＣでは１．５×10^{14}ｃｍ$^{-3}$以下、１２００Ｖ耐圧の高耐圧ＩＣでは８×10^{13}ｃｍ$^{-3}$以下というように必要とする耐圧により適切な不純物濃度が異なる。第一領域１の不純物濃度と第二領域２の不純物のドープ量（ドーピング量）は第一領域１と第二領域２との間の第一のｐｎ接合１０４が高電圧に逆バイアスされたときでも第一のｐｎ接合１０４の両側に拡がる空乏層１０１の第二領域２側での空乏層端１０２が第三領域３へは届かず第二領域２内に止まるように設定される。これを満たすには、第三領域３下の第三領域３と第一領域１とに挟まれた第二領域１０３の部分の正味のドープ量を１×10^{12}ｃｍ$^{-2}$以上、３×10^{13}ｃｍ$^{-2}$以下にすることが効果的である。典型的な例を次に示す。第二領域２の形成を５×10^{12}～１×10^{13}ｃｍ$^{-2}$のドープ量のリンの選択的なイオン注入と１１５０℃、３～１０時間程度の熱拡散を行いその深さを３～８μｍ程度に設定し、第三領域３の形成を１×10^{13}～５×10^{13}ｃｍ$^{-2}$のドープ量のホウ素の選択的なイオン注入と１１００℃、２～１０時間程度の熱拡散により行い、その深さを１～４μｍ程度に設定する。第五領域５および第六領域６のドープ量は１×10^{14}～１×10^{15}ｃｍ$^{-2}$程度、ｐ形およびｎ形の高濃度領域１１、１２のドープ量は１×10^{15}～１×10^{16}ｃｍ$^{-2}$程度である。高耐圧接合終端構造ＨＶＪＴは、従来技術の引用文献の中から色々な構造を用いることが可能であり、また引用した以外の構造も用いることもできる。第二領域２内に設けた比較的高濃度にドープされたｎ形の第五領域５は、第一領域１をコレクタ、第二領域２をベース、第三領域３をエミッタとする寄生バイポーラトランジスタのベース抵抗を低く抑えて、その誤動作を防ぐためのものである。この第五領域５は、第三領域に対向する第二領域２の表面層や第一領域１に対向する第二領域２の表面層に形成し、できる限り第三領域３の回りを概ね囲うように設けたり、第二領域２表面上でＭＯＳＦＥＴなどの素子を形成しない領域（フィールド領域）の大半を覆うように設けたりすることで誤動作を防止する効果が高まる。また第三領域３内に設けた比較的高濃度にドープされたｐ形の第六領域６は第二領域２をコレクタ、第三領域３をベース、ｎ形の高濃度領域１２をエミッタとする寄生バイポーラトランジスタのベース抵抗を低く抑えてその誤動作を防ぐものである。この第六領域６においても、前記第五領域５の形成と同様の配置上の工夫することで効果を高めることができる。

【００４２】

同図に示した高耐圧ＩＣ（ＨＶＩＣ）の例は第一導電形がｐ形、第二導電形がｎ形であるので、第一領域１は図３４のV_{DDLC}即ち図３３のV_{CCL}に接続され、第三領域３は図３４のV_{DDL1}即ち図３３のＵ相に接続され、第二領域２は１５Ｖ程度のドライブ電源V_{DD1}から高電位側の出力V_{DDH1}が接続される。また同図では簡略化のため、第二領域２および第三領域３内にｐチャネルＭＯＳＦＥＴとｎチャネルＭＯＳＦＥＴのみを図示したが、実際はこれらの素子以外に抵抗やコンデンサ、ダイオードやバイポーラトランジスタなどの各種デバイスを多数集積化して形成することができ、これらのデバイスを用いてゲート駆動回路ＧＤＵ１（図３３および図３５）を構成することができる。そして、後述する構造の高耐圧ｎチャネルＭＯＳＦＥＴ（ＨＶＮ）や高耐圧ｐチャネルＭＯＳＦＥＴ（ＨＶＰ）を図３８に示したように加え、ＧＤＵ１とＬＳＵとの間の信号配線である入力ラインＳＩＮ１と出力ラインＳＯＵＴ１を形成すれば図３３～図３５に説明した高耐圧ＩＣとなる。

【００４３】

図２は第２実施例を示す要部構造図で、同図（ａ）は図３８におけるＧＤＵ１と高耐圧接合終端構造ＨＶＪＴに対応する部分の要部平面図で、同図（ｂ）は同図（ａ）のＸ－Ｘで切断した要部断面図である。同図（ａ）において、ＧＤＵ１は高耐圧接合終端構造ＨＶＪＴに周囲を囲まれた第二領域２および第四領域４に形成されている。同図（ｂ）において、第二領域２に囲まれて、第二領域２とは分離されたｎ形の第四領域４が設けられ、こ

の第二領域２と第四領域４とに跨がって多結晶シリコンからなるループ状の第一導電膜７がフィールド絶縁膜１４を介して設けられている。この第一導電膜７と図１の多結晶シリコン膜１５とは同様の働きをする。同図（ｂ）では第四領域４は一つしか描いていないが、当然必要により複数（もしくは多数）設けることもできる。第四領域４は第二領域２の形成と同時にリンを選択的にイオン注入するときのマスクのパターン形状を変えるだけで形成される。この第四領域４にはｎｐｎトランジスタを形成した例が示してあり、第六領域６の形状と同時に形成したベース領域３１、ｎ形の高濃度領域１２の形成と同時に形成したエミッタ領域３２およびコレクタとしての第二領域２を備え、第二領域２内に設けるのと同じ理由で第四領域４にも第五領域５を設けている。第二領域２内と第三領域３内とにｐチャネルＭＯＳＦＥＴ（ｐｃｈＭＯＳＦＥＴ）とｎチャネルＭＯＳＦＥＴ（ｎｃｈＭＯＳＦＥＴ）とを設けた例を示しているが、第二領域２および第三領域３には前記同様多くの種類のデバイスを集積化することができ、また同様に第四領域４にも第三領域３と同様のｐ形の領域（図示されていないが仮に第七領域と呼ぶこととする）を設けて、この第四領域４および第七領域に多くの種類のデバイスを集積化することができる。第四領域４は第二領域２のドライブ電源V_{DD1}と異なる電源V_{EE1}（例えば１５ＶのV_{DD1}を降圧安定化したアナログ回路用の１０Ｖ電源やロジック回路用の５Ｖ電源など）の回路ユニットとして利用でき、また同図（ｂ）に示すようにコレクタ（Ｃ）が第二領域２から独立したバイポーラトランジスタとしても利用することができるので、この第四領域４の利用により回路設計の自由度が非常に大きくなる。

【００４４】

また同図（ｂ）において、第二領域２と第四領域４に挟まれた第一領域１表面上にはフィールド絶縁膜１４を介して第二領域２と第四領域４とに跨がる導電膜７が設けられており、高電圧が印加される第一領域１と第二領域２との間の第一のｐｎ接合１０４と第一領域１と第四領域４との間の第四のｐｎ接合１０５が不連続であることによる電界集中を防止し、高い耐圧が確保できるようになっている。この導電膜７は浮遊電位状態（フローティング）にしておくよりも、第二領域２もしくは第四領域４に電気的に接続し、電位的に安定化しておく方が好ましい。また第二領域２と第四領域４の間の分離耐圧を高くとりたい場合には、第一導電形がｐ形の場合は、この第一導電膜７を第二領域２と第四領域４のうち低電位側の領域に接続し、ｎ形の場合は高電位側の領域に接続するとよい。こうすれば、第一導電膜７をゲートとする寄生のＭＯＳＦＥＴがオンし難くなるからである。

【００４５】

図３は第３実施例を示す要部構造図で、同図（ａ）はゲート駆動回路ユニットを１チップ化したときの平面図、同図（ｂ）はその断面図、同図（ｃ）はゲート駆動回路ユニット（１チップ化されている）とパワーデバイス（例えばＩＧＢＴとダイオード）とがヒートシンク上に形成された断面図である。同図（ａ）、（ｂ）、（ｃ）は請求項２に対応する実施例である。ここでは前記説明とは導電形を逆にし、第一導電形をｎ形、第二導電形をｐ形とした。

【００４６】

同図（ａ）において、ｎ形の第一領域１上に高耐圧接合終端構造ＨＶＪＴに囲まれてｐ形の第二領域２が設けられている。この図は図２、３、６のゲート駆動回路ユニットであるＧＤＵ１部分だけを１チップに集積化した高耐圧ＩＣ（ＧＤＵＩＣ１）の平面図を示す。同図（ｂ）において、ｎ形の第一領域１に形成されたｐ形の第二領域２およびｎ形の第三領域３に、ｎチャネルＭＯＳＦＥＴ（ｎｃｈＭＯＳＦＥＴ）とｐチャネルＭＯＳＦＥＴ（ｐｃｈＭＯＳＦＥＴ）がそれぞれ形成されている。この第二領域２および第三領域３にも当然多くの種類のデバイスが集積化できる。この高耐圧ＩＣ（ＧＤＵＩＣ１）の裏面には、例えばＴｉ／Ｎｉ／Ａｕの三層の金属膜からなる第二金属膜１８が設けられ、はんだで金属板と固着できるようにしてある。

【００４７】

同図（ｃ）において、高耐圧ＩＣ（ＧＤＵＩＣ１）がｎチャネル形の縦型パワーデバイスＱ１（ＩＧＢＴなど）およびダイオードＤ１と共に図３３および図３５のV_{CCH}に接続さ

れることになる金属板３３上にはんだ接合で固着される。この場合、第一導電形がｎ形であるので、この高耐圧ＩＣ（ＧＤＵＩＣ１）の裏面をパワーデバイスの裏面（コレクタまたはドレイン）が固着している金属板３３に接着しても、第一領域１と第二領域２との間の第一のｐｎ接合１０４は常に逆バイアスとなり、第二領域２に形成された各種デバイスは第一領域１から電気的に絶縁され、動作上全く問題ない。尚、金属板３３は例えばセラミックからなる絶縁板３４を介して銅やアルミニウムからなるヒートシンク３５上に設置されている。

【００４８】

図４は第４実施例の要部構造図を示し、同図（ａ）はＧＤＵ１の部分だけを１チップに集積化した高耐圧ＩＣであるＧＤＵＩＣ１の平面図、同図（ｂ）はその断面図、同図（ｃ）はＧＤＵＩＣ１をパワーデバイスＱ１のエミッタ（もしくはソース）電極上に固着した断面図である。同図（ａ）、（ｂ）、（ｃ）は請求項３に対応する実施例である。同図（ａ）は図３（ａ）と同じであるため説明は省略する。同図（ｂ）において、第一領域１および第三領域３はｐ形、第二領域２はｎ形である。また同図（ｃ）において、ＧＤＵＩＣ１とパワーデバイスＱ１のエミッタ（もしくはソース）電極との固着は例えばエポキシ系の接着剤が使用できる。またこの場合も第一導電形がｐ形であればｐｎ接合１０４は常に逆バイアスとなるので、前記で述べたように動作上全く問題ない。

【００４９】

図５は第５実施例の要部構造図を示し、同図（ａ）は平面図、同図（ｂ）は断面図である。また同図（ａ）、（ｂ）は請求項４に対応する実施例を示す。

同図（ａ）において、高耐圧接合終端構造ＨＶＪＴでｎチャネル形の縦型パワーデバイスＱ１（ここではＩＧＢＴを示す）が囲まれ、さらにＧＤＵ１がこのパワーデバイスＱ１で囲まれている。

【００５０】

同図（ｂ）において、Ｑ１のｐ形のベース領域３６に囲まれた第二領域２がｎ形のドリフト領域４０である第一領域１の表面層に形成されている。第二領域２とＱ１のベース領域３６の間の第一領域１の表面にフィールド絶縁膜１４を介して第一導電膜７が形成される。この第一導電膜７はＱ１のエミッタ電極と共に図２の第一導電膜７と同じ働きをする。Ｑ１はＩＧＢＴを示し、第一領域１の第二主面側にn^+ バッファ層３８およびp^+ 基板３９があり、p^+基板３９表面上に第二金属膜１８が形成され、周縁部はパッシベーション膜１９（例えば１００００Åのシリコン窒化膜）が被覆されている。

【００５１】

図６は第６実施例の要部平面図、図７は第７実施例の要部平面図を示す。図３の実施例ではＧＤＵ１のみの例を示したが、これらの図は図３４および図３８に示すものに対応した実施例で、図６は高耐圧接合終端構造ＨＶＪＴがＧＤＵ４～ＧＤＵ６とＣＵおよびＬＳＵを一括して取り囲んでいる実施例を示し、図７は高耐圧接合終端構造ＨＶＪＴが図３８の各回路ユニットを一括して取り囲んでいる実施例を示す。図７は図６と比べ、入力ラインＳＩＮ１、出力ラインＳＯＵＴ１の各配線が横切る高耐圧接合終端構造ＨＶＪＴの数が少ないため、（図６は３個、図７は２個）、耐圧低下が起こり難い。また各回路ユニットの説明は前記と同様のため省略する。

【００５２】

図８以降において、図中の番号の（　）内の番号は、図１ないし図５の実施例に対応する番号と同じ製造方法で、それらと同時に同一チップ上に形成され得るものであることを示している。また第一導電形をｐ形、第二導電形をｎ形とした場合で説明する。当然逆の導電形にしてもよい。

図８は第８実施例でダイオードに用いた場合の高耐圧接合終端構造図を示し、同図（ａ）は要部断面図、同図（ｂ）、同図（ｃ）は平面図である。

【００５３】

同図（ａ）において、第一領域１はホウ素をドープした半導体基板で濃度は10^{13}～$10^{15}$$cm^{-3}$程度である。この濃度は必要とする耐圧により異なる。第八領域８は、第一領域

１の表面からの選択的なリンのイオン注入（ドーズ量：３×１０^{12}～１×１０^{13}ｃｍ$^{-2}$程度）と１１５０℃、３～１０時間程度の熱拡散により形成し、その拡散深さは３～８μｍ程度である。第九領域９は、第八領域８の表面からの選択的なホウ素のイオン注入（ドーズ量：１×１０^{12}～１．５×１０^{13}ｃｍ$^{-2}$程度）と１１５０℃、１～５時間程度の熱拡散により形成し、その拡散深さは１．５～５μｍ程度である。ｎ形の高濃度領域４５は、カソード電極Ｋと第八領域８の電気的接続を良好にするために設けた領域で、例えば選択的なリンのイオン注入（ドーズ量：１×１０^{14}～１×１０^{15}ｃｍ$^{-2}$程度）と１０００～１１００℃程度の熱処理により第五領域（図１参照のこと）と同時に形成される。ｐ形の高濃度領域４６は、アノード電極Ａと第九領域９の電気的接続を良好にするために設けた領域で、例えば選択的なホウ素のイオン注入（１×１０^{14}～１×１０^{15}ｃｍ$^{-2}$程度）と１０００～１１００℃程度の熱処理により第六領域６（図１参照のこと）と同時に形成される。フィールド絶縁膜１４および第九領域９上の絶縁膜４１は熱酸化膜で、膜厚は５０００～１００００Å程度である。カソード電極Ｋとアノード電極Ａは例えばＡｌ－１％Ｓｉからなる第一金属膜１７からなり、膜厚は５０００～１００００Å程度である。パッシベーション膜１９は、例えばアモルファスシリコン膜やシリコンリッチのＳｉＮ膜（窒化膜）で膜厚は５０００～１５０００Å程度である。この場合、抵抗性フィールドプレートとして用いるために、高抵抗膜４４として第九領域９上の絶縁膜４１上にカソード電極Ｋと共通の第二導電膜４２とアノード電極Ａと共通の第三導電膜４３の双方に接触して設けられている。高抵抗膜４４の抵抗率はシート抵抗で１０^{13}～１０^{11}Ω／□程度である。第二導電膜４２および第三導電膜４３は、フィールドプレートとして第九領域９の上の絶縁膜４１上へ延在している。第九領域下の第一領域１と第九領域とに挟まれた第八領域部分１１６の正味のドーピング量は１×１０^{11}ｃｍ$^{-2}$以上、４×１０^{12}ｃｍ$^{-2}$以下となるように設定されており、第九領域９の正味のドーピング量は１×１０^{11}ｃｍ$^{-2}$以上、２×１０^{12}ｃｍ$^{-2}$以下となるように設定されている。これにより、第一領域１と第八領域８の間の第二のｐｎ接合１１１と第八領域８と第九領域９の間の第三のｐｎ接合１１２がともに逆バイアスされたときに、第二のｐｎ接合１１１の両側に拡がる第二の空乏層１１３と第三のｐｎ接合１１２の両側に拡がる第三の空乏層１１４とは第八領域８内で結合し、また第三の空乏層１１４は第九領域９の表面１１５まで達している。つまり、この高耐圧接合終端構造ＨＶＪＴのアノード電極Ａとカソード電極Ｋとに平面上で挟まれた第八領域８および第九領域９には、第一領域１まで達する空乏層（結合した第二の空乏層１１３と第三の空乏層１１４）が水平方向にも垂直方向にも拡がり、その結果高い耐圧が得られる。垂直方向に拡がるのは第一領域１が低濃度であるためである。第二導電膜４２は、第二導電形の高濃度領域４５近辺での電界集中を防ぐために、第三導電膜４３は、ｐ形の高濃度領域４６近辺での電界集中を防ぐために有効である。高抵抗膜４４は、第二導電膜４２と第三導電膜４３の間を高抵抗膜４４を介して流れる電流が、高抵抗膜４４に沿って生ずる水平方向の滑らかな電位分布を第九領域９上の絶縁膜４１の容量を介して絶縁膜下の半導体領域内へ静電的に作用させ、半導体領域の空乏層中の電位分布を水平方向に滑らかに安定化させるので、より一層小さい高耐圧接合終端構造の水平距離で高耐圧を得るために効果的である。

【００５４】

同図（ｂ）は、同図（ａ）の高耐圧接合終端構造の平面的な配置図を示し、同図（ａ）に一点鎖線で示した中心線を軸に同心円上の配置で、アノード電極Ａとカソード電極Ｋに挟まれた高耐圧接合終端構造ＨＶＪＴが円形のループで帯状に設けられている。この配置は小さい活性面積のデバイスに適する。

同図（ｃ）も、同図（ａ）の高耐圧接合終端構造ＨＶＪＴの平均的な配置の例であり、この場合大きい活性面積のデバイスに適するように櫛歯状に配置されたアノード電極Ａとカソード電極Ｋに挟まれた高耐圧接合終端構造ＨＶＪＴが、櫛歯の間をぬって曲がりくねった形のループで、帯状に設けられている。

【００５５】

尚、ループ状とは、帯状で、かつ円形や櫛歯形などの形状をした環状のものをいう。

図９は第９実施例の要部断面構造を示す。これは、従来から高耐圧ＩＣに用いられている接合分離の構造に本発明を適用したものである。図８（ａ）との違いは、第八領域８が第一領域１上へのエピタキシャル成長により形成された層であり、したがって、この第八領域８を他の部分から電気的に分離するための高濃度のｐ形の分離領域４７を設けている点である。その他の部分は図８（ａ）と全く同じであり同じ番号を付けている。エピタキシャル成長により形成された第八領域８は厚さが５～１５μｍ程度でリンが１×１０^{15}から$１\times１０^{16}ｃｍ^{-3}$程度ドープされている。分離領域４７は、第八領域８のエピタキシャル成長後第九領域９の形成前に、例えばドーズ量が$１\times１０^{15}ｃｍ^{-2}$のホウ素の選択的なイオン注入と１２００℃、２～１０時間程度の熱拡散により形成する。第八領域８のエピタキシャル成長による形成と分離領域４７の形成に関する分、図８の実施例よりコストは高くなり、また分離領域４７の形成のために、高温の熱処理が必要となり、この高温の熱処理で発生するシリコン結晶内の欠陥による良品率の低下も多少招くが、接合分離という従来技術の上にそのまま適用できるという便利さがある。同図の平面的な配置は図８（ｂ）、（ｃ）と同様である。

【００５６】

図１０は第１０実施例の要部断面図を示す。第一領域１、第八領域８、第九領域９、フィールド絶縁膜１４、第九領域９上の絶縁膜４１（１４）、第二導電膜４２および第三導電膜４３、パッシベーション膜１９、および高抵抗膜４４（１９）は図８の実施例と同じである。本実施例が違う点は、高耐圧接合終端構造ＨＶＪＴを挟んで、一方の側にｎ形の高濃度領域５０（１２）を介して第八領域８と電気的に接続された第一のドレイン電極Ｄ１（この場合、第二の導電体４２と共通）を備え、他方の側に第九領域９と電気的につながったｐ形のベース領域４８と、このベース領域４８中に選択的に設けられた高濃度のｎ形のソース領域４９と、第八領域８とソース領域４９とに挟まれたベース領域４８表面のｎチャネル領域５２と、少なくともチャネル領域上に設けられた第一のゲート絶縁膜５１および第三のゲート電極Ｇ１と、少なくとも前記ｎ形のソース領域４９に電気的に接続された第一のソース電極Ｓ１（この場合第三導電膜４３と共通）とを備えたｎ形チャネル（この場合ｎチャネル）の高耐圧ＭＩＳトランジスタ（この場合ＭＯＳＦＥＴ）であることと、第三のゲート電極Ｇ１と第一のソース電極Ｓ１との間の電気的な絶縁を行うための層間絶縁膜１６を備え、これがさらに第九領域９上の絶縁膜４１（１６）としても用いられる点である。同図の平面的配置も、図中の一点鎖線のいずれかを中心にした図８（ｂ）のような同心円状の配置や、図中の一点鎖線での折り返しによる同図（ｃ）のような櫛歯状の配置など、いろいろな配置が可能である。

【００５７】

図１１は、第１１実施例の要部断面図を示す。第一領域１、第八領域８、第九領域９、フィールド絶縁膜１４、第九領域９上の絶縁膜４１（１４）、第二および第三の導電体４２および４３、パッシベーション膜１９、および高抵抗膜４４（１９）は図８の実施例と同じである。本実施例が違う点は、高耐圧接合終端構造ＨＶＪＴを挟んで、一方の側に第八領域８表面上に選択的に形成されたｐ形のソース領域５６（１１）と、第九領域９とｐ形のソース領域５６（１１）とに挟まれた第八領域８表面のｐ形チャネル領域５４と、少なくともｐ形チャネル領域５４上に形成された第二のゲート絶縁膜５３（１３）およびこのゲート絶縁膜５３（１３）上の第四のゲート電極Ｇ２と、少なくとも前記ｐ形のソース領域５６（１１）と電気的に接続された第二のソース電極Ｓ２とを備え、他方の側に第九領域９とｐ形の高濃度領域５５（１１）を介して電気的に接続した第二のドレイン電極Ｄ２とを備えていることである。

【００５８】

図１２は第１２実施例の要部断面図を示す。高耐圧接合終端構造ＨＶＪＴに囲まれ、ｎ形の第八領域８とｎ形の第二領域２とを同一拡散工程で同時に形成し、第二領域２の表面層に選択的に形成されたｐ形の第三領域３と、第二領域２の表面層に形成されたｐ形チャネルのＭＩＳトランジスタと、第三領域３の表面層に形成されたｎ形チャネルのＭＩＳトランジスタとを形成する。また第二領域２と第八領域８を連結して一体の領域を形成しても

よい。これ以降の図の説明で第八領域の番号を８（２）としたのは第二領域と同一工程で第八領域を形成し得ることを示している。また同図の平面的な配置は、図６のＧＤＵ１がその例となる。

【００５９】

図１３は第１３実施例の要部平面図を示す。図３８の従来例との相違点は第一の出力配線６１と第二の出力配線６２下の電界強度を弱めるために、ＧＤＵ１を取り囲む第一の高耐圧接合終端構造ＨＶＪＴ１と、ＧＤＵ１内およびＬＳＵ内に形成される横型ＭＯＳＦＥＴを取り囲む第二の高耐圧接合終端構造ＨＶＪＴ２とが同一構造の高耐圧接合終端構造ＨＶＪＴで構成され、かつ一体となっている点である。このように構成することで、第一の出力配線６１および第二の出力配線６２と、これらの出力配線の下の高耐圧接合終端構造ＨＶＪＴの電位差を他の高耐圧接合終端構造ＨＶＪＴより小さくできる。そのため、これらの出力配線６１、６２の電位が高耐圧接合終端構造部の半導体表面の電位分布に及ぼす影響を軽減し、耐圧低下を防止できる。図中の符号は図３８と同一であるので、その説明は省略する。第一の出力配線６１、第二の出力配線６２は図３８のＳＩＮ１とＳＯＵＴ１に対応する。Ｓ１、Ｓ２は第一、第二のソース電極を示し、Ｄ１、Ｄ２は第一、第二のドレイン電極を示す。

【００６０】

図１４は電位差の強弱を図１３の平面図に示した図である。出力配線６１、６２付近では電位差が小さく、その他の箇所では大きい。

図１５は第１４実施例の要部断面図で、図１３のＡ－Ａ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。

【００６１】

図１６は第１４実施例の要部断面図で、図１３のＢ－Ｂ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。

図１７は第１４実施例の要部断面図で、図１３のＣ－Ｃ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。

【００６２】

図１５ないし図１７において、図１３で示す高耐圧接合終端構造ＨＶＪＴがＧＤＵ１用と高耐圧ｎチャネルＭＯＳＦＥＴ（ＨＶＮ）用と高耐圧ｐチャネルＭＯＳＦＥＴ（ＨＶＰ）用とがそれぞれ共用の一体構造とすることで、高耐圧ｎおよびｐチャネルＭＯＳＦＥＴ（高耐圧ＭＩＳトランジスタの一つ）のドレイン電極Ｄ１、Ｄ２のまわりの高耐圧接合終端構造ＨＶＪＴのうち、ソース電極Ｓ１、Ｓ２のある側に面している高耐圧接合終端構造ＨＶＪＴ部分には約４００Ｖ程度（図１５ではＤ１の左側、図１６ではＤ２の右側）の高い電圧が印加されるのに対し、反対側に面している高耐圧接合終端構造ＨＶＪＴ部分には１５Ｖ程度の微小な電圧（図１５ではＤ１の右側、図１６ではＤ２の左側、つまり第一、第二の出力配線６１、６２のある側）が印加される丈である。この僅かな電位差しかない高耐圧接合終端構造ＨＶＪＴを横切らせて、第一、第二の出力配線６１、６２を配置することで、半導体領域の電位分布に殆ど影響を与えず配線することができる。したがって耐圧低下を生じさせずに配線できる。

【００６３】

図１８ないし図２０は第１５実施例の要部断面図を示し、図１３のＡ－Ａ線、Ｂ－Ｂ線、Ｃ－Ｃ線の各切断部に相当する要部断面図を示す。これは第１４実施例の変形例である。図１８ないし図２０と図１５ないし図１７との違いは高電圧に曝される側の半導体領域にｎ形の高濃度領域５８を第一領域１と第二領域８（又は２）に跨がって埋め込み、さらにソース電極Ｓ１側である低電位側にｐ形の高濃度領域４７を第一領域１に接するように形成することでさらに前記の効果を高めている。

【００６４】

図２１は第１６実施例の要部平面図を示す。図１３との違いは高耐圧接合終端構造ＨＶＪＴの平面的な配置のされ方であり、この実施例では第一、第二の出力配線６１、６２の近傍において、高耐圧接合終端構造ＨＶＪＴを設けていない点である。これは図１３～図１

７において説明したように、この領域には大きな電位差が発生しないので、必ずしも高耐圧接合終端構造ＨＶＪＴを設ける必要がない。

【００６５】

図２２ないし図２６は第１６実施例の要部断面図と電位分布を示す。

図２２は図２１のＡ－Ａ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。図１５との違いは、第一の出力配線６１下の第九領域９がこの場合なくしてあり、第八領域８のみが設けられていることである。これは先に説明したように、この領域には大きな電位差が発生しないので高耐圧接合終端構造ＨＶＪＴを設ける必要がないためである。

【００６６】

図２３は図２１のＢ－Ｂ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。図１６との違いは、第二の出力配線６２下の第九領域９が設けられていないことであり、理由は図２２の場合と同じである。

図２４は図２１のＣ－Ｃ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。これらは図１７と同じであるので説明は省略する。

【００６７】

図２５は図２１のＸ－Ｘ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。第一の出力配線６１下には第九領域９が設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。

図２６は図２１のＹ－Ｙ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。第二の出力配線６２下には第九領域が設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。

【００６８】

図２７ないし図３１は第１７実施例の要部断面図と電位分布図を示し、第１６実施例の変形例である。

図２７は図２１のＡ－Ａ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。図２２との違いは、第一の出力配線６１下の第九領域９および第八領域８の両方とも設けられていない部分があることである。この理由も先に述べたのと同じである。ただし、この実施例のように第八領域８、第九領域９の両領域がなく、第一領域１の表面が第一の出力配線６１下にある場合には、後に示す図３０で説明するような注意が必要である。

【００６９】

図２８は図２１のＢ－Ｂ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。図２３との違いは、第二の出力配線６２下に第九領域９および第八領域の両領域とも設けられていないことであり、その理由は図２７の場合と同じである。

図２９は図２１のＣ－Ｃ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。これらは図１７と同じであるので説明は省略する。

【００７０】

図３０は図２１のＸ－Ｘ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。第一の出力配線６１下には第九領域９および第八領域８の両領域とも設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。ただし、第八領域８に挟まれた第一領域１が半導体基板の表面に達する部分は電位的に安定にするため、第一の出力配線６１で完全に覆った方がよい。そうしない場合にはその部分で耐圧低下が生じる場合があるからである。

【００７１】

図３１は図２１のＹ－Ｙ線切断部の要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図である。第二の出力配線６２下には第九領域および第八領域８の両領域とも設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。
図３２は第１８実施例の要部平面図を示す。
【００７２】
この場合は高耐圧接合終端構造ＨＶＪＴは単なるループ状に設けられている。前記した図１３や図２１の場合は高耐圧接合終端構造ＨＶＪＴは平面的配置で凸凹形状に設けられていた。その理由は高耐圧ｎチャネルトランジスタＨＶＮのドレインＤ１とＧＤＵ１を形成する第二領域８（又は２）（例えば図１５）との距離および高耐圧ｐチャネルトランジスタＨＶＰのドレインＤ２とｐ形の高濃度領域５７（例えば図１９）との距離をそれぞれ大きくとることによって寄生的なもれ電流を小さくするためであった。
【００７３】
しかし図３２の場合は、高耐圧接合終端構造ＨＶＪＴが凸凹のない形状に設けられている。この場合は、図１３や図２１に比較して高耐圧接合終端構造の占める面積が小さくなるという利点がある。ただし、この場合は、前述した寄生的なもれ電流が大きくなり、高耐圧ＩＣの無効な消費電力の増大につながるデメリットも大きい。６００Ｖを越えるような高耐圧ＩＣの場合は図２１の実施例の方が適している。
【００７４】
【発明の効果】
この発明によれば、第一領域と第二領域の接合を逆バイアスし、第二領域の表面層に形成した第三領域に空乏層が達しないように第二領域を設けることで、第三領域内に設けた各種デバイスが、低コストで第一領域から電気的に絶縁分離することができる。この接合構造を採用することで、耐圧クラスの異なる回路ユニットでも同一の高耐圧接合終端構造でよく、低コスト化できる。また、この接合構造で耐圧を確保するので、高耐圧接合終端構造部上に橋渡しする配線で耐圧低下が生じなくなる。またパワーデバイスを固着する金属板に温度検出部などを備える高耐圧ＩＣを固着したり、パワーデバイス上にこの高耐圧ＩＣを固着したり、また同一半導体基板にパワーデバイスとこの高耐圧ＩＣを集積することで高精度の温度検出ができる。以上のことから、低コストで高性能な高耐圧ＩＣの実現が可能となる。
【図面の簡単な説明】
【図１】この発明の第１実施例の要部断面図
【図２】この発明の第２実施例を示す要部構造図で、（ａ）はＧＤＵ１と高耐圧接合終端構造ＨＶＪＴに対応する部分の要部平面図で、（ｂ）は（ａ）のＸ－Ｘで切断した要部断面図
【図３】この発明の第３実施例を示す要部構造図で、（ａ）はゲート駆動回路ユニットを１チップ化したときの平面図、（ｂ）はその断面図、（ｃ）はゲート駆動回路ユニットとパワーデバイスとがヒートシンク上に形成された断面図
【図４】この発明の第４実施例の要部構造図を示し、（ａ）はＧＤＵ１の部分だけを１チップに集積化した高耐圧ＩＣであるＧＤＵＩＣ１の平面図、（ｂ）はその断面図、（ｃ）はＧＤＵＩＣ１をパワーデバイスＱ１のエミッタ（もしくはソース）電極上に固着した断面図
【図５】この発明の第５実施例の要部構造図を示し、（ａ）は平面図、（ｂ）は断面図
【図６】この発明の第６実施例の要部平面図
【図７】この発明の第７実施例の要部平面図
【図８】この発明の第８実施例でダイオードに用いた場合の高耐圧接合終端構造図を示し、（ａ）は要部断面図、（ｂ）は平面図、（ｃ）は別の平面図
【図９】この発明の第９実施例の要部断面構造図
【図１０】この発明の第１０実施例の要部断面図
【図１１】この発明の第１１実施例の要部断面図

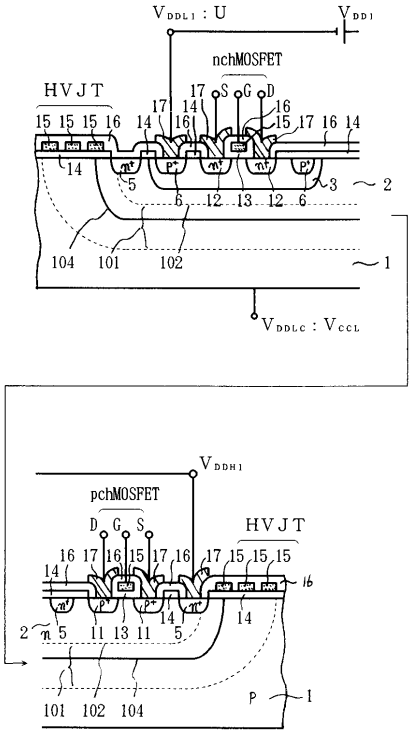
【図１２】この発明の第１２実施例の要部断面図
【図１３】この発明の第１３実施例の要部平面図
【図１４】図１３に電位差の強弱を示した図
【図１５】この発明の第１４実施例で図１３のＡ－Ａ線切断部の要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図１６】この発明の第１４実施例で図１３のＢ－Ｂ線切断部の要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図１７】この発明の第１４実施例で図１３のＣ－Ｃ線切断部に相当する要部断面図と電位分布図を示し、同図（ａ）は要部断面図、同図（ｂ）は電位分布図
【図１８】この発明の第１５実施例で図１３のＡ－Ａ線切断部に相当する要部断面図
【図１９】この発明の第１５実施例で図１３のＢ－Ｂ線切断部に相当する要部断面図
【図２０】この発明の第１５実施例で図１３のＣ－Ｃ線切断部に相当する要部断面図
【図２１】この発明の第１６実施例の要部平面図
【図２２】この発明の第１６実施例で図２１のＡ－Ａ線切断部の要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図２３】この発明の第１６実施例で図２１のＢ－Ｂ線切断部の要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図２４】この発明の第１６実施例で図２１のＣ－Ｃ線切断部の要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図２５】この発明の第１６実施例で図２１のＸ－Ｘ線切断部の要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図２６】この発明の第１６実施例で図２１のＹ－Ｙ線切断部の要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図２７】この発明の第１７実施例で図２１のＡ－Ａ線切断部に相当する要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図２８】この発明の第１７実施例で図２１のＢ－Ｂ線切断部に相当する要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図２９】この発明の第１７実施例で図２１のＣ－Ｃ線切断部に相当する要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図３０】この発明の第１７実施例で図２１のＸ－Ｘ線切断部に相当する要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図３１】この発明の第１７実施例で図２１のＹ－Ｙ線切断部に相当する要部断面図と電位分布図を示し、（ａ）は要部断面図、（ｂ）は電位分布図
【図３２】この発明の第１８実施例の要部平面図
【図３３】モータ制御用インバータのパワー部分を中心に説明する回路構成図
【図３４】図３３で用いられる高耐圧ＩＣの内部構成のブロック図
【図３５】図３４のＧＤＵ１とＩＧＢＴＱ１のさらに詳細な接続図
【図３６】図３３と同一回路をインテリジェントパワーモジュールと呼ばれる製品を用いて構成した構成図
【図３７】図３６のＩＧＢＴＱ１のまわりの回路を詳細に示した構成図
【図３８】図３４に示した高耐圧ＩＣのチップの平面図
【符号の説明】
1　　第一領域
2　　第二領域
3　　第三領域
4　　第四領域
5　　第五領域
6　　第六領域
7　　第一導電膜
8　　第八領域

９　第九領域
１１　ｐ形の高濃度領域
１２　ｎ形の高濃度領域
１３　ゲート絶縁膜
１４　フィールド絶縁膜
１５　多結晶シリコン膜
１６　層間絶縁膜
１７　第一金属膜
１８　第二金属膜
１９　パッシベーション膜
３１　ベース領域
３２　エミッタ領域
３３　金属板
３４　絶縁板
３５　ヒートシンク
３６　ベース領域
３７　ソース領域
３８　n^+ バッファ層
３９　p^+ 基板
４０　ｎ形ドリフト領域
４１　第九領域上の絶縁膜
４２　第二導電膜
４３　第三導電膜
４４　高抵抗膜
４５　ｎ形の高濃度領域
４６　ｐ形の高濃度領域
４７　ｐ形の分離領域
４８　ベース領域
４９　ｎ形のソース領域
５０　ｎ形の高濃度領域
５１　第一のドレイン電極
５２　ｎ形のチャネル領域
５３　第二のゲート絶縁膜
５４　ｐ形のチャネル領域
５５　ｐ形の高濃度領域
５６　ｐ形のソース領域
５７　ｐ形の高濃度領域
５８　ｎ形の埋め込み領域
６１　第一の出力配線
６２　第二の出力配線
１０１　空乏層
１０２　空乏層端
１０４　第一のｐｎ接合
１０５　第四のｐｎ接合
１１１　第二のｐｎ接合
１１２　第三のｐｎ接合
１１３　第二の空乏層
１１４　第三の空乏層
１１５　第九領域の表面
２０２　第二領域（ＬＳＵ側）

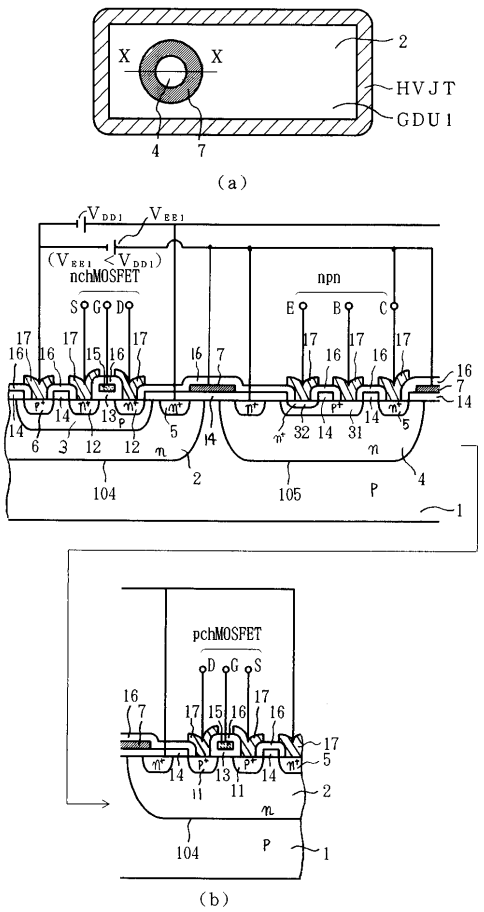
２０５　第五領域（ＬＳＵ側）
２１１　ｐ形の高濃度領域
ＨＶＩＣ　高耐圧ＩＣ
ＨＶＪＴ　高耐圧接合終端構造
ｎｃｈＭＯＳＦＥＴ　ｎチャネルＭＯＳＦＥＴ
ｐｃｈＭＯＳＦＥＴ　ｐチャネルＭＯＳＦＥＴ
V_{DD1}　ドライブ電源
Ｓ　ソース端子
Ｓ１　第一のソース電極（端子）
Ｓ２　第二のソース電極（端子）
Ｄ　ドレイン端子
Ｄ１　第一のドレイン電極（端子）
Ｄ２　第二のドレイン電極（端子）
Ｇ　ゲート端子
Ｇ１　第三のゲート電極（端子）
Ｇ２　第四のゲート電極（端子）
ＮＰＮ　ｎｐｎトランジスタ
Ｅ　エミッタ端子
Ｂ　ベース端子
Ｃ　コレクタ端子
V_{EE1}　電源
Ｑ１　パワーデバイス（ＩＧＢＴ）
Ｑ２　パワーデバイス（ＩＧＢＴ）
Ｑ３　パワーデバイス（ＩＧＢＴ）
Ｑ４　パワーデバイス（ＩＧＢＴ）
Ｑ５　パワーデバイス（ＩＧＢＴ）
Ｑ６　パワーデバイス（ＩＧＢＴ）
Ｄ１　パワーデバイス（ダイオード）
Ｄ２　パワーデバイス（ダイオード）
Ｄ３　パワーデバイス（ダイオード）
Ｄ４　パワーデバイス（ダイオード）
Ｄ５　パワーデバイス（ダイオード）
Ｄ６　パワーデバイス（ダイオード）
Ｍｏ　モータ
V_{CC}　主電源
ＰＣ　フォトカプラ
Ｉ／Ｏ　入出力端子
ＣＵ　制御回路
ＬＳＵ　レベルシフト回路
ＧＤＵ１　ゲート駆動回路
ＧＤＵ２　ゲート駆動回路
ＧＤＵ３　ゲート駆動回路
ＧＤＵ４　ゲート駆動回路
ＧＤＵ５　ゲート駆動回路
ＧＤＵ６　ゲート駆動回路
ＳＩＮ　入力ライン
ＳＯＵＴ　出力ライン
V_{DDC}　共通電源
V_{DDHC}　共通電源の高電位側
V_{DDLC}　共通電源の低電位側

V_{DD}　ドライブ電源
V_{DDH1}　ドライブ電源の高電位側
V_{DDH2}　ドライブ電源の高電位側
V_{DDH3}　ドライブ電源の高電位側
V_{DDL1}　ドライブ電源の低電位側
V_{DDL2}　ドライブ電源の低電位側
V_{DDL3}　ドライブ電源の低電位側
ＯＵＴ　ゲート駆動端子
ＯＣ　電流検出端子
ＯＴ　温度検出端子
Ｍ　電流検出端子（ＩＧＢＴ側）
Ｔｅｍｐ　温度検出端子（温度検出素子側）
θ　温度検出素子
Ｋ　カソード
Ａ　アノード
Ｕ　Ｕ相
ＨＶＮ　高耐圧ｎチャネルＭＯＳＦＥＴ
ＨＶＰ　高耐圧ｐチャネルＭＯＳＦＥＴ
D_N　ドレイン電極
D_P　ドレイン電極

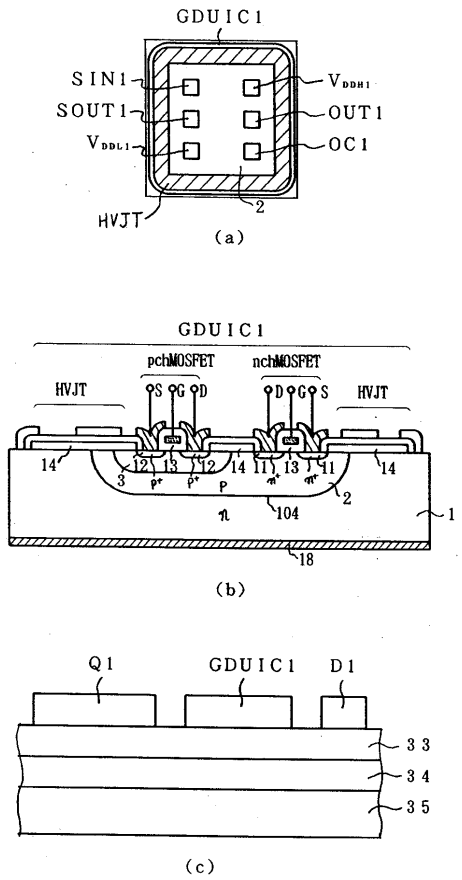
【図１】



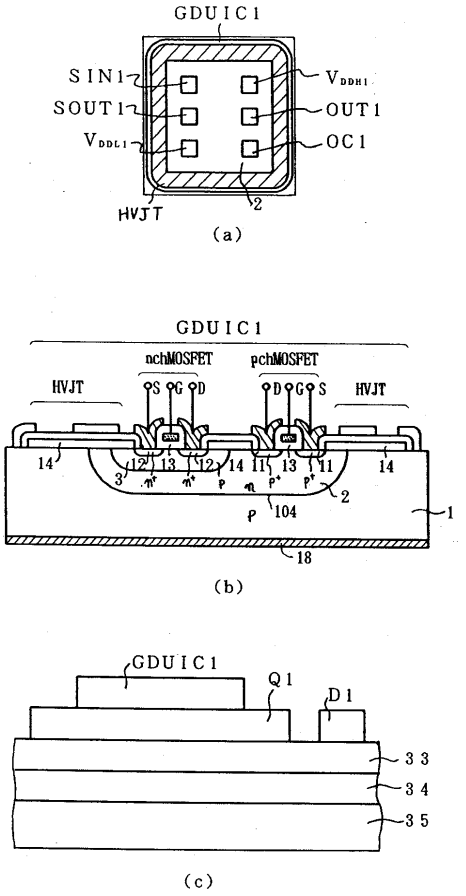
【図２】



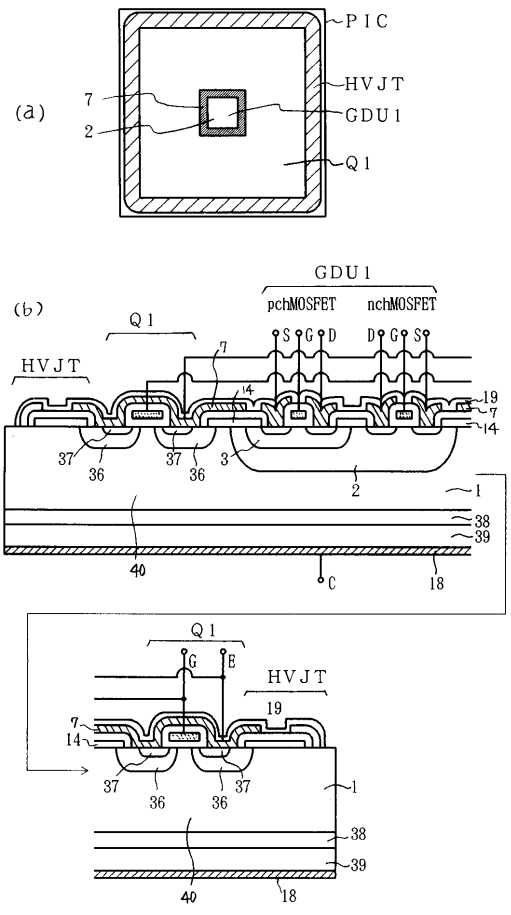
【図３】


GDUIC1
SIN1
SOUT1
VDDL1
VDDH1
OUT1
OC1
HVJT
(a)
pchMOSFET
nchMOSFET
(b)
Q1
D1
(c)

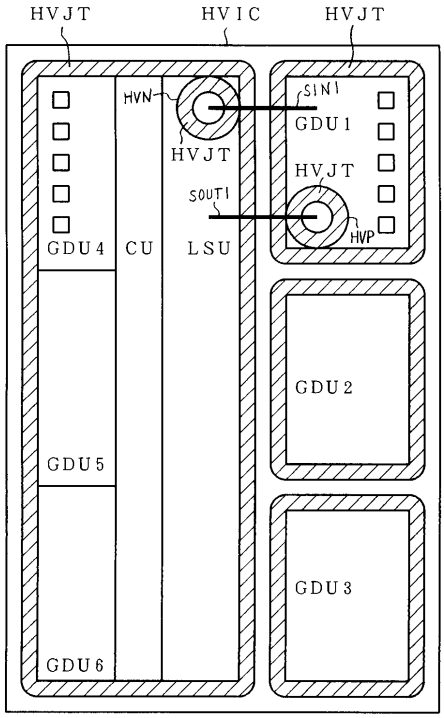
【図４】


GDUIC1
SIN1
SOUT1
VDDL1
VDDH1
OUT1
OC1
HVJT
(a)
nchMOSFET
pchMOSFET
(b)
Q1
D1
(c)

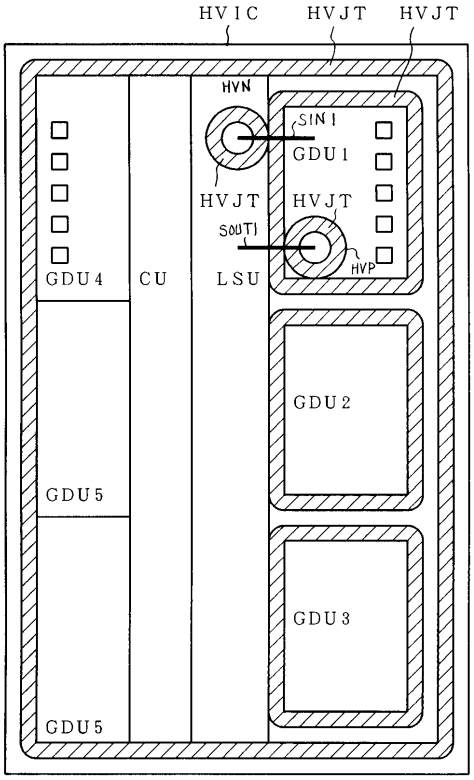
【図５】


PIC
HVJT
GDU1
Q1
(a)
pchMOSFET
nchMOSFET
(b)
G
E

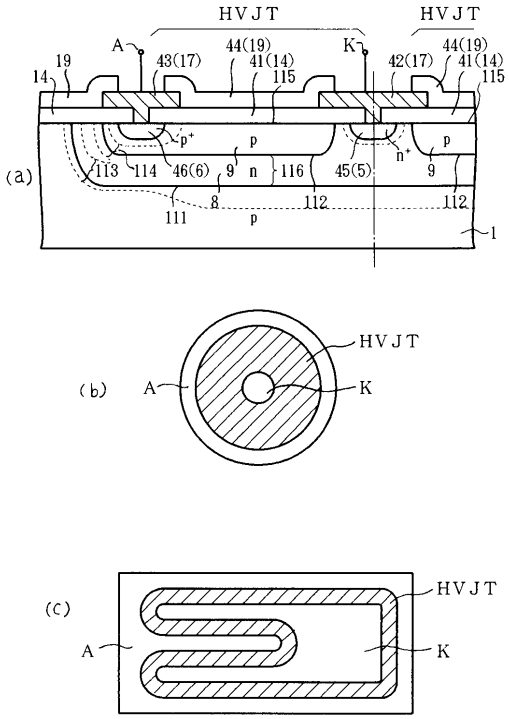
【図６】


HVJT
HVIC
HVJT
HVN
SIN1
GDU1
HVJT
HVJT
SOUT1
HVP
GDU4
CU
LSU
GDU2
GDU5
GDU3
GDU6

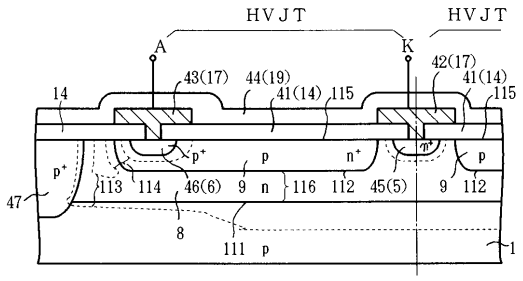
【図７】



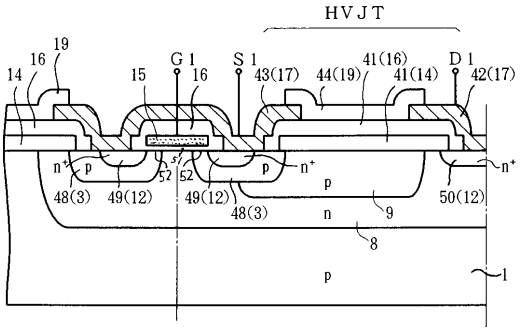
【図８】



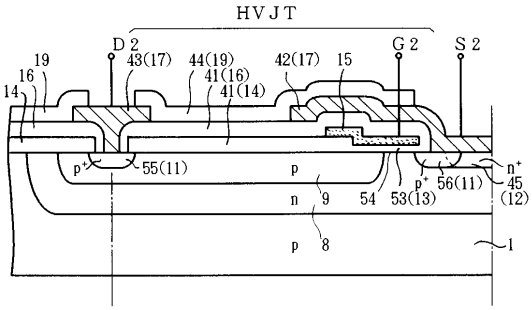
【図９】



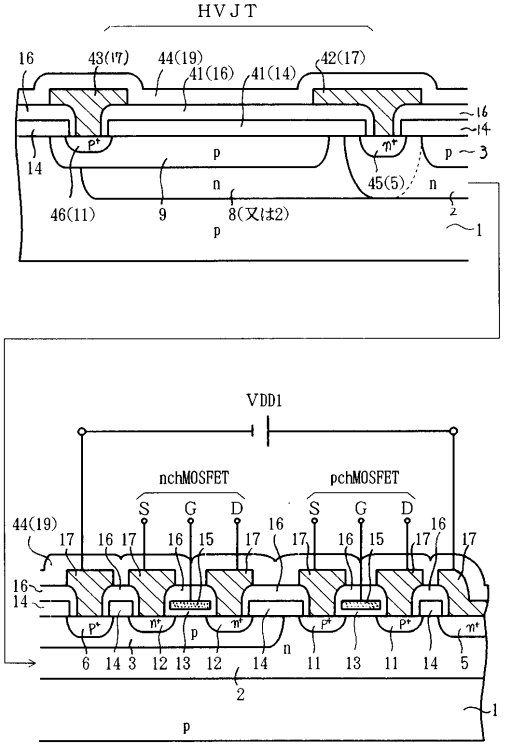
【図１０】



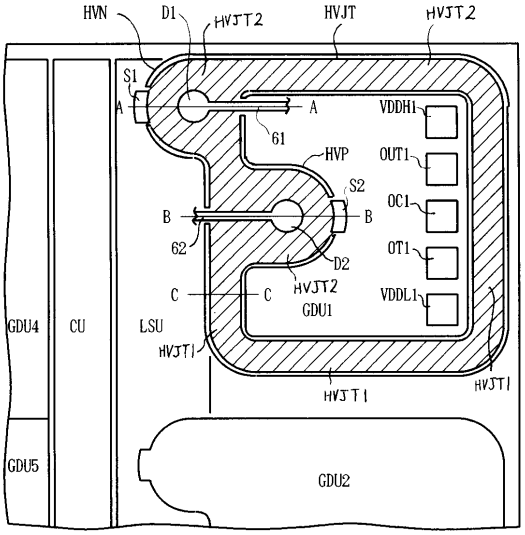
【図１１】



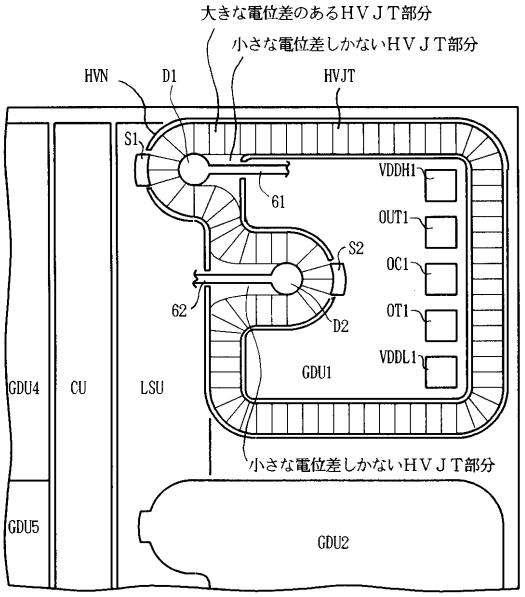
【図１２】



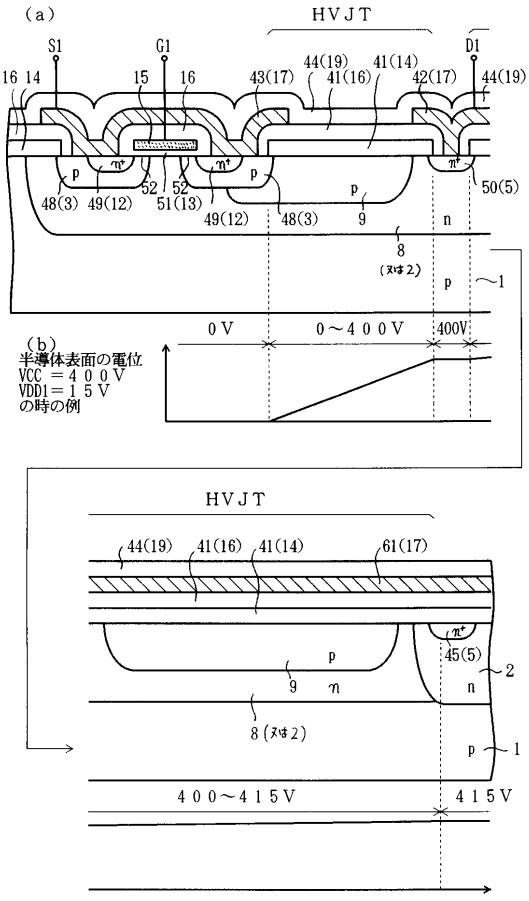
【図１３】



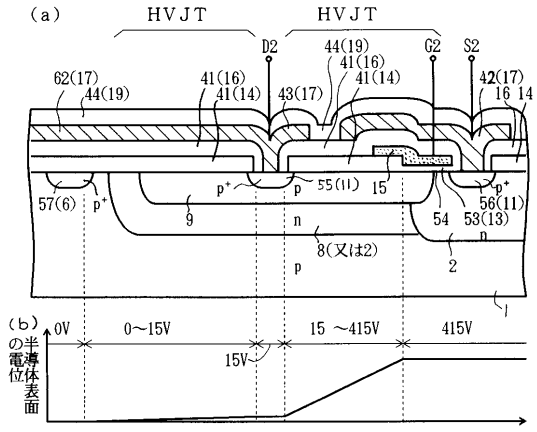
【図１４】



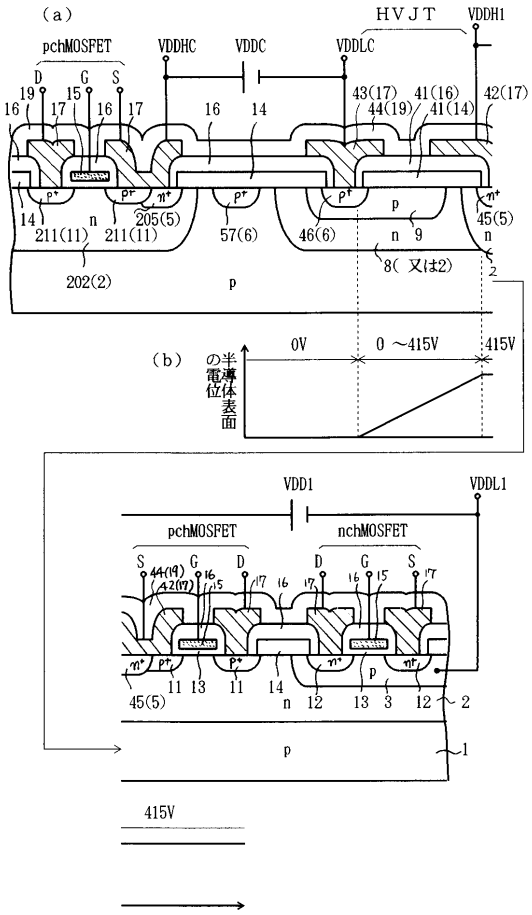
【図１５】



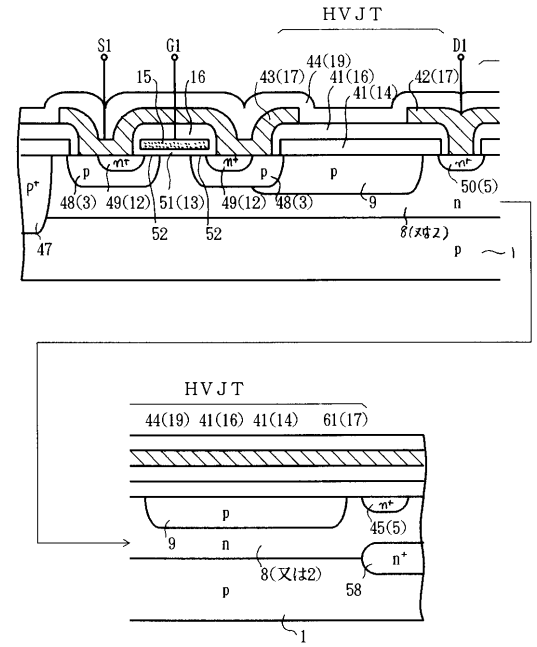
【図１６】



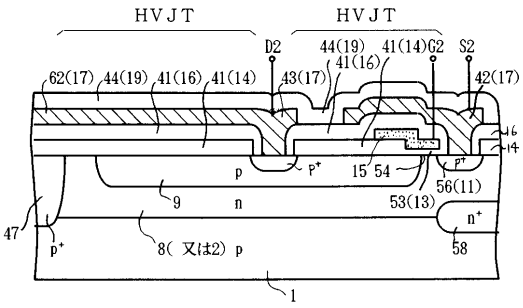
【図１７】



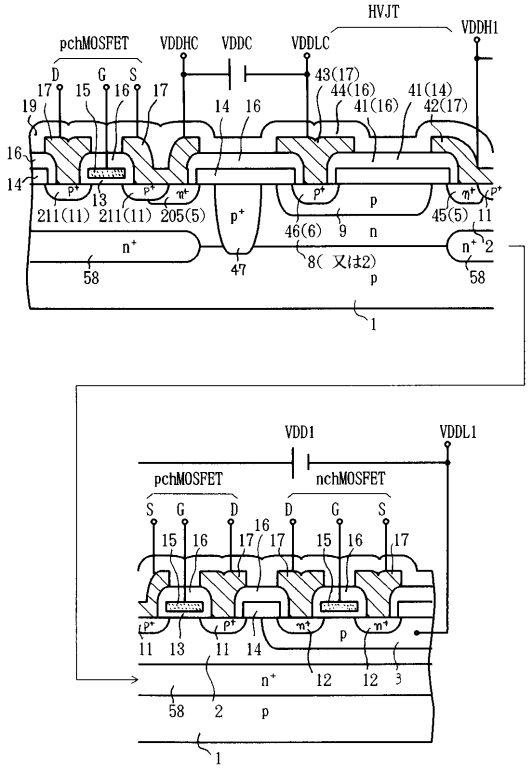
【図１８】



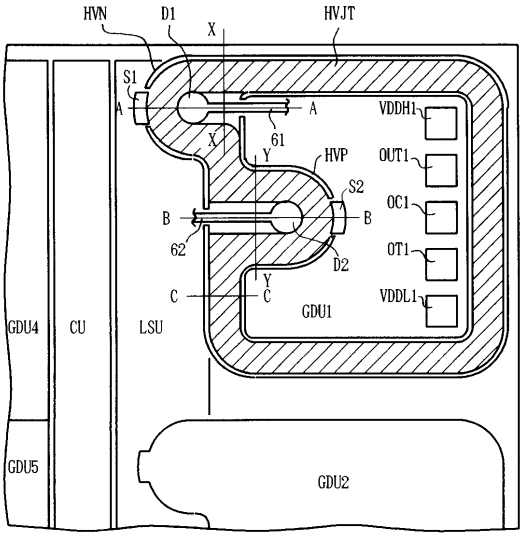
【図１９】



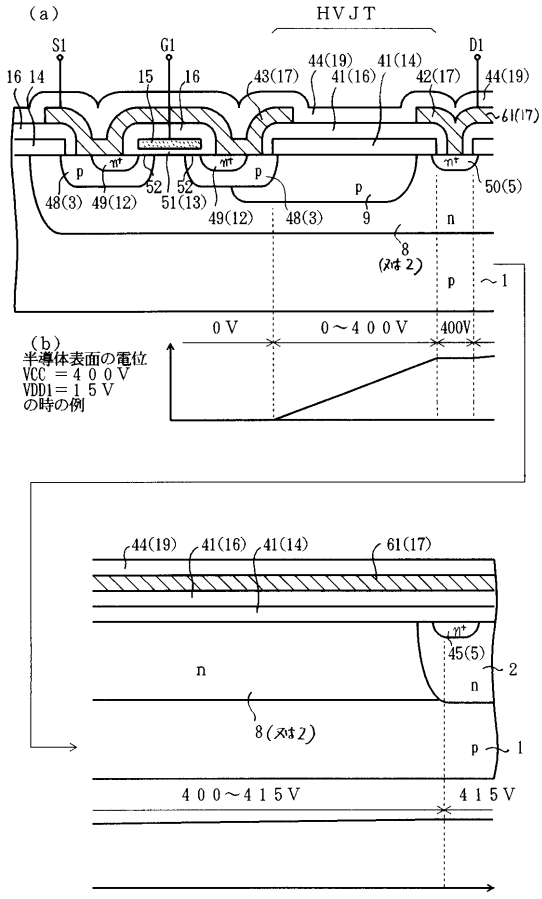
【図２０】



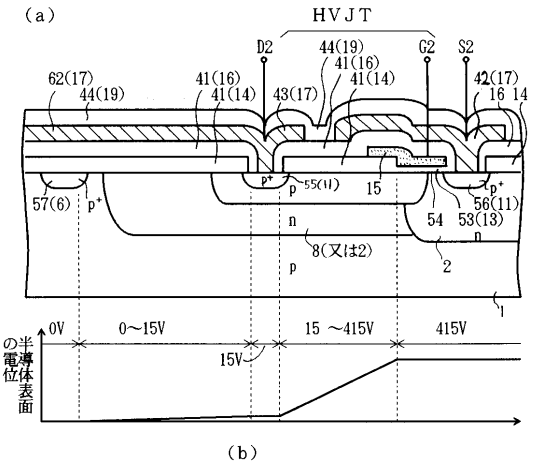
【図２１】



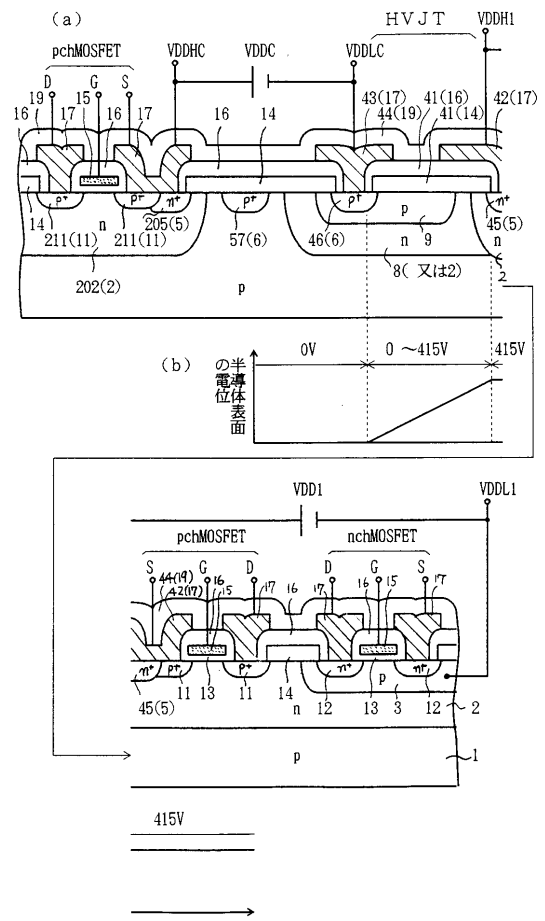
【図２２】



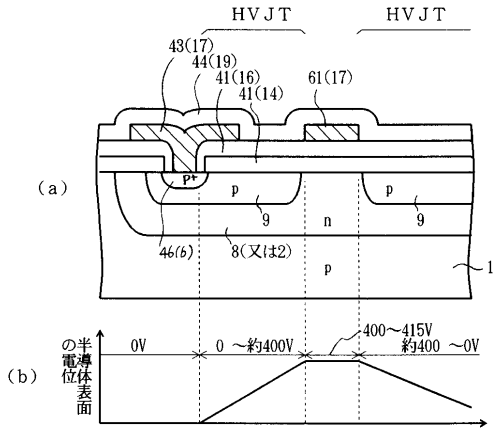
【図２３】



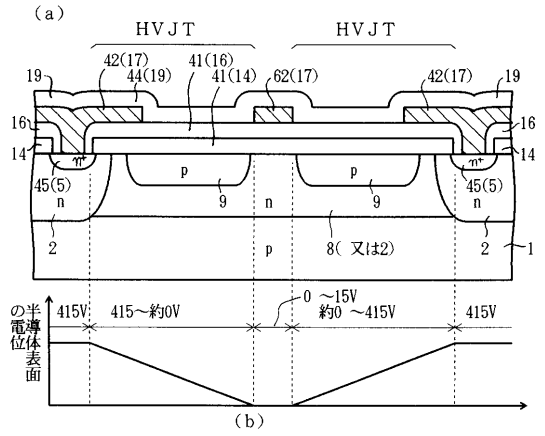
【図２４】



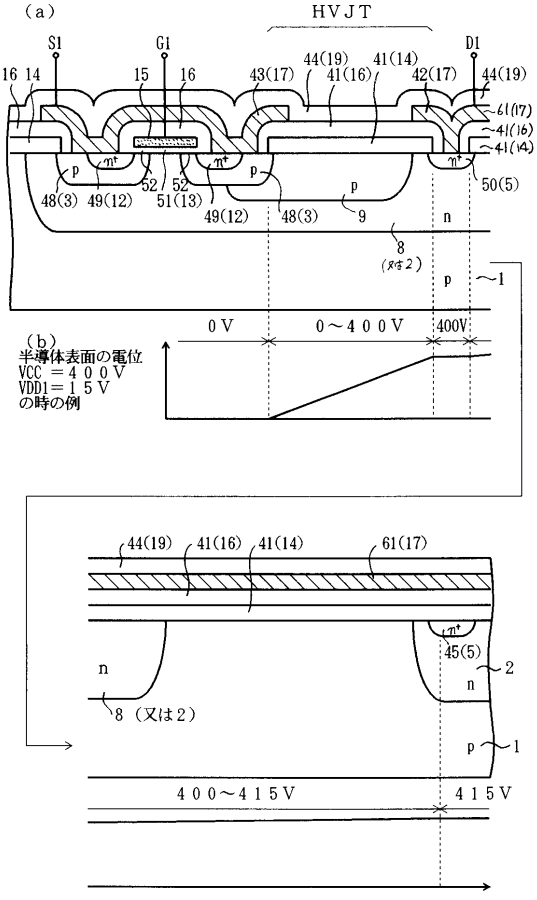
【図２５】



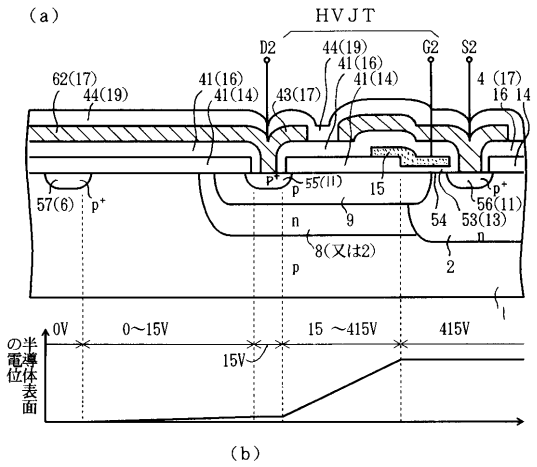
【図２６】



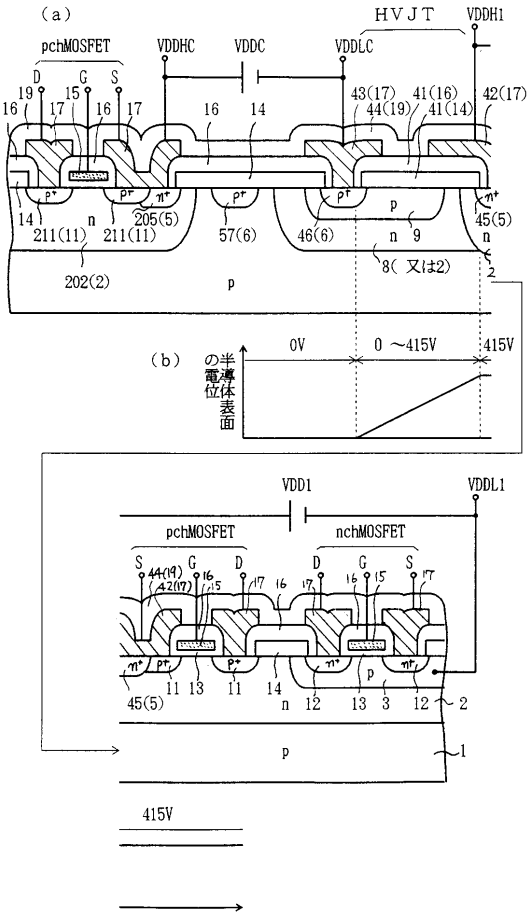
【図２７】



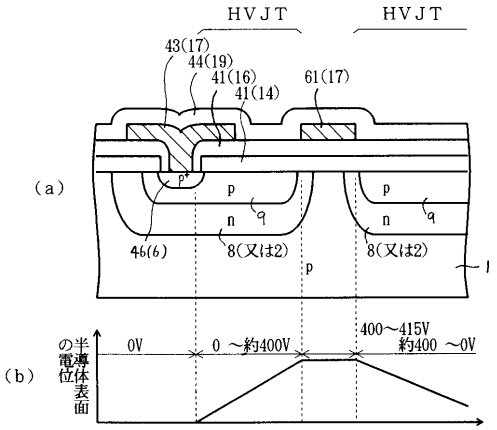
【図２８】



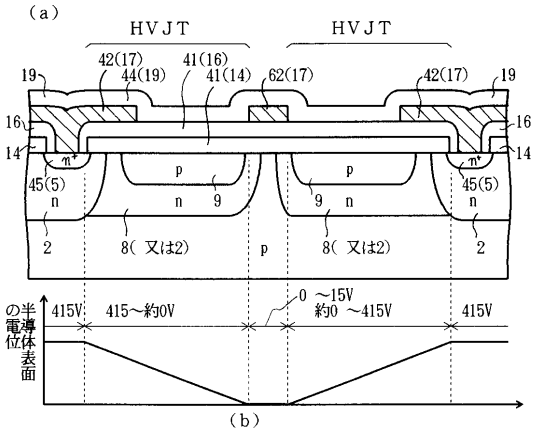
【図２９】



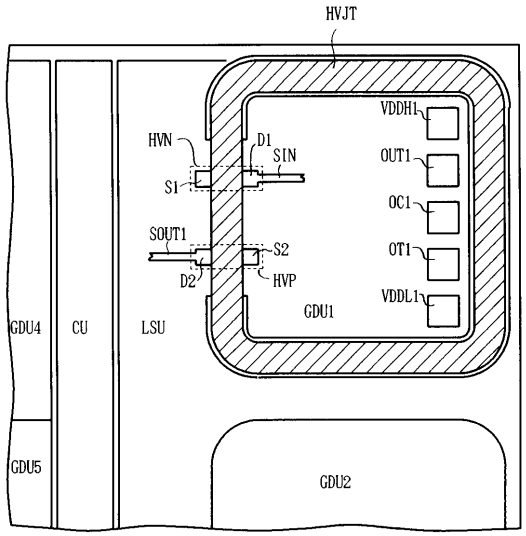
【図３０】



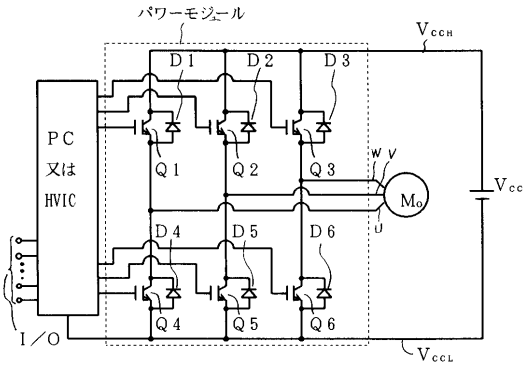
【図３１】



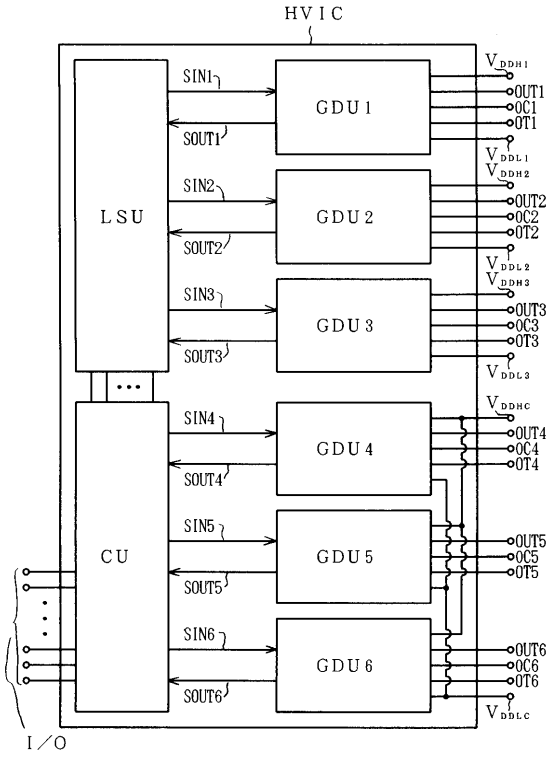
【図３２】



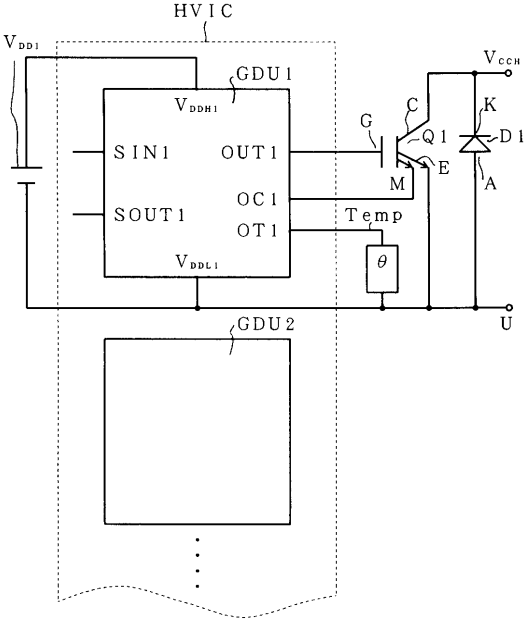
【図３３】



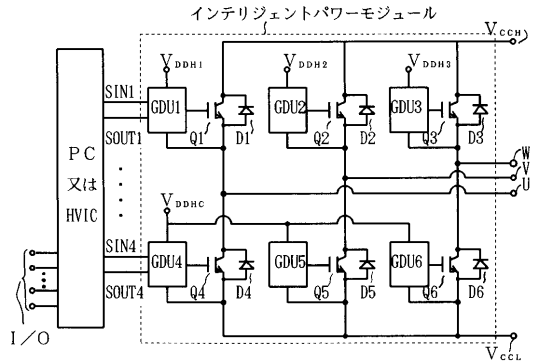
【図３４】



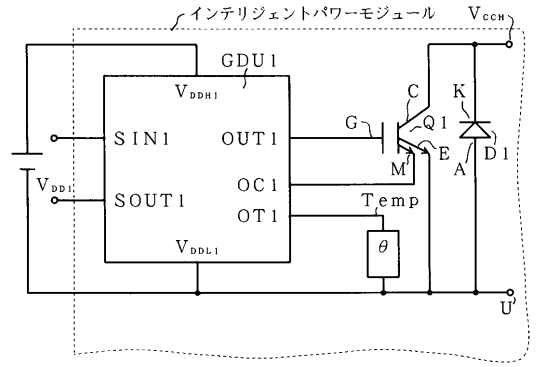
【図３５】



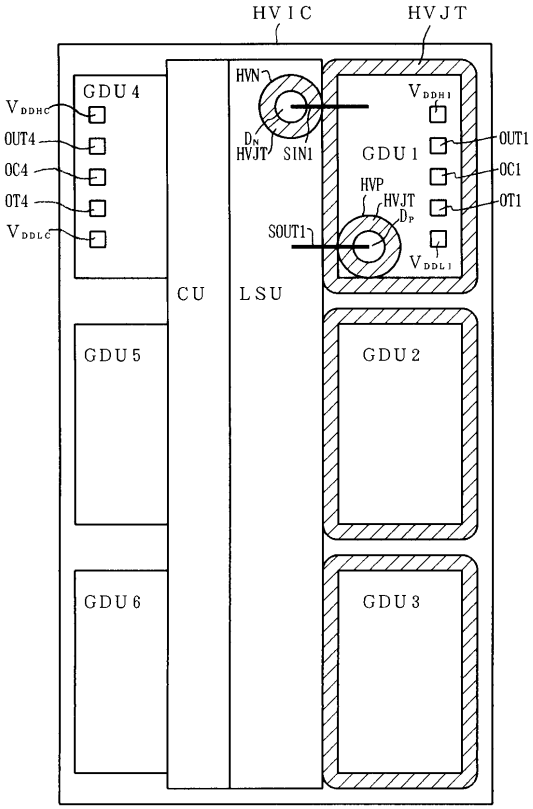
【図３６】


インテリジェントパワーモジュール
PC
又は
HVIC
I／O
SIN1
SOUT1
SIN4
SOUT4
GDU1
GDU2
GDU3
GDU4
GDU5
GDU6
Q1
Q2
Q3
Q4
Q5
Q6
D1
D2
D3
D4
D5
D6
W
V
U

【図３７】


インテリジェントパワーモジュール
GDU1
SIN1
SOUT1
OUT1
OC1
OT1
Temp
C
K
G
E
M
A
Q1
D1
U

【図３８】


HVIC
HVJT
GDU4
GDU5
GDU6
GDU1
GDU2
GDU3
CU
LSU
HVN
HVJT
SIN1
HVP
SOUT1
OUT4
OC4
OT4
OUT1
OC1
OT1

フロントページの続き

(72)発明者　熊谷　直樹
神奈川県川崎市川崎区田辺新田１番１号　富士電機株式会社内

合議体
審判長　河合　章
審判官　長谷山　健
審判官　瀧内　健夫

(56)参考文献　特開平０５－０２１７３０（ＪＰ，Ａ）
特開昭６３－２３４５６１（ＪＰ，Ａ）
特開平０３－１８８６６６（ＪＰ，Ａ）
特開昭６２－０７３７６０（ＪＰ，Ａ）
特開平０５－０２９６２０（ＪＰ，Ａ）
特開平０６－１２０５１０（ＪＰ，Ａ）
特開平０６－２４４４１２（ＪＰ，Ａ）
特開平０４－２１１１５５（ＪＰ，Ａ）
特開平０５－１９０６６１（ＪＰ，Ａ）
特開平０７－０５８２９３（ＪＰ，Ａ）