

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-256813

(P2012-256813A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 3 2 1	4 K O 2 9
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 1 3 B	5 F O 8 3
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 0 1
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 1	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 5 2

審査請求 未請求 請求項の数 7 O L (全 58 頁) 最終頁に続く

(21) 出願番号 特願2011-169185 (P2011-169185)
 (22) 出願日 平成23年8月2日(2011.8.2)
 (31) 優先権主張番号 特願2010-176982 (P2010-176982)
 (32) 優先日 平成22年8月6日(2010.8.6)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2011-108051 (P2011-108051)
 (32) 優先日 平成23年5月13日(2011.5.13)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 井上 広樹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 松崎 隆徳
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 長塚 修平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

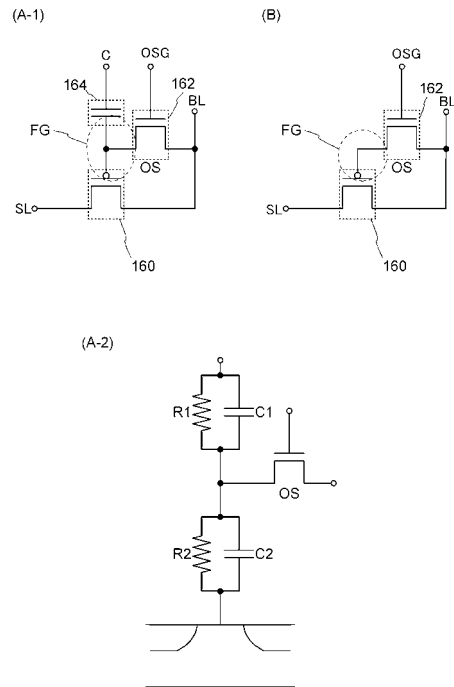
(54) 【発明の名称】 半導体装置および半導体装置の駆動方法

(57) 【要約】 (修正有)

【課題】電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供する。

【解決手段】酸化物半導体を用いた書き込み用トランジスタ162、トランジスタ162と異なる半導体材料を用いた読み出し用トランジスタ160及び容量素子164を含む不揮発性のメモリセルにおいて、メモリセルへの書き込みは、書き込み用トランジスタ162をオン状態とすることにより、書き込み用トランジスタ162のソース電極(またはドレイン電極)と、容量素子164の電極の一方と、読み出し用トランジスタ160のゲート電極とが電気的に接続されたノードに電位を供給した後、書き込み用トランジスタ162をオフ状態とすることにより、ノードに所定量の電荷を保持させることを行う。また、読み出し用トランジスタ160として、pチャネル型トランジスタを用いて、読み出し電位を正の電位とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ビット線と、ソース線と、書き込みワード線と、書き込みおよび読み出しワード線と、メモリセルと、を有し、

前記メモリセルは、

第 1 のゲート電極、第 1 のソース電極、第 1 のドレイン電極、および第 1 のチャンネル形成領域を含む p チャンネル型の第 1 のトランジスタと、

第 2 のゲート電極、第 2 のソース電極、第 2 のドレイン電極、および第 2 のチャンネル形成領域を含む第 2 のトランジスタと、

容量素子と、を有し、

前記第 1 のチャンネル形成領域は、前記第 2 のチャンネル形成領域とは、異なる半導体材料を含んで構成され、

前記第 1 のゲート電極と、前記第 2 のドレイン電極と、前記容量素子の一方の電極と、は、電氣的に接続されて電荷が保持されるノードを構成し、

前記ビット線と、前記第 1 のソース電極と、前記第 2 のソース電極と、は電氣的に接続され、

前記ソース線と、前記第 1 のドレイン電極と、は電氣的に接続され、

前記書き込みワード線と、前記第 2 のゲート電極と、は電氣的に接続され、

前記書き込みおよび読み出しワード線と、前記容量素子の他方の電極と、は電氣的に接続された半導体装置。

10

20

【請求項 2】

ビット線と、ソース線と、書き込みワード線と、書き込みおよび読み出しワード線と、複数のメモリセルを含むメモリセルアレイと、電位切り替え回路と、を有し、

前記メモリセルの一は、

第 1 のゲート電極、第 1 のソース電極、第 1 のドレイン電極、および第 1 のチャンネル形成領域を含む p チャンネル型の第 1 のトランジスタと、

第 2 のゲート電極、第 2 のソース電極、第 2 のドレイン電極、および第 2 のチャンネル形成領域を含む第 2 のトランジスタと、

容量素子と、を有し、

前記第 1 のチャンネル形成領域は、前記第 2 のチャンネル形成領域とは、異なる半導体材料を含んで構成され、

前記第 1 のゲート電極と、前記第 2 のドレイン電極と、前記容量素子の一方の電極と、は、電氣的に接続されて電荷が保持されるノードを構成し、

前記ビット線と、前記第 1 のソース電極と、前記第 2 のソース電極と、は電氣的に接続され、

前記電位切り替え回路の端子の一と、前記ソース線と、前記第 1 のドレイン電極と、は電氣的に接続され、

前記書き込みワード線と、前記第 2 のゲート電極と、は電氣的に接続され、

前記書き込みおよび読み出しワード線と、前記容量素子の他方の電極と、は電氣的に接続され、

前記ソース線は、複数列の前記メモリセルと電氣的に接続され、

前記電位切り替え回路は、書き込み期間において、前記ソース線に接地電位を選択的に与える機能を備えた半導体装置。

30

40

【請求項 3】

前記第 2 のチャンネル形成領域は、酸化物半導体を含んで構成される請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 2 のトランジスタは、前記第 1 のトランジスタの少なくとも一部と重畳して設けられる請求項 1 乃至 3 のいずれかーに記載の半導体装置。

【請求項 5】

50

前記第1のチャンネル形成領域は、シリコンを含んで構成される請求項1乃至4のいずれかーに記載の半導体装置。

【請求項6】

前記第2のトランジスタとして、nチャンネル型トランジスタを用いる請求項1乃至5のいずれかーに記載の半導体装置。

【請求項7】

ビット線と、ソース線と、複数の書き込みワード線と、複数の書き込みおよび読み出しワード線と、複数のメモリセルを含むメモリセルアレイと、を有する半導体装置の駆動方法であって、

前記メモリセルのーは、

第1のゲート電極、第1のソース電極、第1のドレイン電極、および第1のチャンネル形成領域を含むpチャンネル型の第1のトランジスタと、

第2のゲート電極、第2のソース電極、第2のドレイン電極、および第2のチャンネル形成領域を含む第2のトランジスタと、

容量素子と、を有し、

前記第1のゲート電極と、前記第2のドレイン電極と、前記容量素子の一方の電極と、は、電氣的に接続されて電荷が保持されるノードを構成し、

前記ビット線と、前記第1のソース電極と、前記第2のソース電極と、は電氣的に接続され、

前記ソース線と、前記第1のドレイン電極と、は電氣的に接続され、

前記書き込みワード線のーと、前記第2のゲート電極と、は電氣的に接続され、

前記書き込みおよび読み出しワード線のーと、前記容量素子の他方の電極と、は電氣的に接続され、

書き込み期間において、前記ソース線に接地電位を供給し、

読み出し期間において、非選択となる前記メモリセルのーと接続された前記書き込みおよび読み出しワード線のーに、電源電位を供給する半導体装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。また、当該半導体装置の駆動方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM(Dynamic Random Access Memory)がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流(オフ電流)等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作(リフレッシュ動作)が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

10

20

30

40

50

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く(半永久的)、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している(例えば、特許文献1参照)。

10

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

20

【0008】

また、フローティングゲートに電荷を注入させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の注入、または除去のためには比較的長い時間を要し、書き込みまたは消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0010】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0011】

開示する発明では、トランジスタのオフ電流を十分に小さくすることができる材料、例えば、ワイドギャップ半導体である酸化物半導体材料を用いて半導体装置を構成する。トランジスタのオフ電流を十分に小さくすることができる半導体材料を用いることで、長期間にわたって情報を保持することが可能である。

40

【0012】

また、開示する発明では、酸化物半導体を用いた書き込み用トランジスタ、該書き込み用トランジスタと異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不揮発性のメモリセルを有する半導体装置を提供する。該メモリセルへの情報の書き込み及び書き換えは、書き込み用トランジスタをオン状態とすることにより、書き込み用トランジスタのソース電極またはドレイン電極の一方と、容量素子の電極の一方と、読み出し用トランジスタのゲート電極とが電気的に接続されたノードに電位を供給し、その後、書き込み用トランジスタをオフ状態とすることにより、ノードに所定量の電荷を保持させることを行う。また、読み出し用トランジスタとして、pチャネル型トランジスタを用いて、読み出し電位を正の電位とする。

50

【 0 0 1 3 】

より具体的には、例えば次のような構成を採用することができる。

【 0 0 1 4 】

本発明の一態様は、ビット線と、ソース線と、書き込みワード線と、書き込みおよび読み出しワード線と、メモリセルと、を有し、メモリセルは、第1のゲート電極、第1のソース電極、第1のドレイン電極、および第1のチャンネル形成領域を含むpチャンネル型の第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、および第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有し、第1のチャンネル形成領域は、第2のチャンネル形成領域とは、異なる半導体材料を含んで構成され、第1のゲート電極と、第2のドレイン電極と、容量素子の一方の電極と、は、電氣的に接続されて電荷が保持されるノードを構成し、ビット線と、第1のソース電極と、第2のソース電極と、は電氣的に接続され、ソース線と、第1のドレイン電極と、は電氣的に接続され、書き込みワード線と、第2のゲート電極と、は電氣的に接続され、書き込みおよび読み出しワード線と、容量素子の他方の電極と、は電氣的に接続された半導体装置である。

10

【 0 0 1 5 】

また、本発明の一態様は、ビット線と、ソース線と、書き込みワード線と、書き込みおよび読み出しワード線と、複数のメモリセルを含むメモリセルアレイと、電位切り替え回路と、を有し、メモリセルの一は、第1のゲート電極、第1のソース電極、第1のドレイン電極、および第1のチャンネル形成領域を含むpチャンネル型の第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、および第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有し、第1のチャンネル形成領域は、第2のチャンネル形成領域とは、異なる半導体材料を含んで構成され、第1のゲート電極と、第2のドレイン電極と、容量素子の一方の電極と、は、電氣的に接続されて電荷が保持されるノードを構成し、ビット線と、第1のソース電極と、第2のソース電極と、は電氣的に接続され、電位切り替え回路の端子の一と、ソース線と、第1のドレイン電極と、は電氣的に接続され、書き込みワード線と、第2のゲート電極と、は電氣的に接続され、書き込みおよび読み出しワード線と、容量素子の他方の電極と、は電氣的に接続され、ソース線は、複数列のメモリセルと電氣的に接続され、電位切り替え回路は、書き込み期間において、ソース線に接地電位を選択的に与える機能を備えた半導体装置である。

20

【 0 0 1 6 】

また、上記の半導体装置において、第2のチャンネル形成領域は、酸化物半導体を含んで構成されるのが好ましい。

30

【 0 0 1 7 】

また、上記の半導体装置において、第2のトランジスタは、第1のトランジスタの少なくとも一部と重畳して設けられるのが好ましい。

【 0 0 1 8 】

また、上記の半導体装置において、第1のチャンネル形成領域は、シリコンを含んで構成されていてもよい。

【 0 0 1 9 】

また、上記の半導体装置において、第2のトランジスタとして、nチャンネル型トランジスタを用いてもよい。

40

【 0 0 2 0 】

また、本発明の別の態様は、ビット線と、ソース線と、複数の書き込みワード線と、複数の書き込みおよび読み出しワード線と、複数のメモリセルを含むメモリセルアレイと、を有する半導体装置の駆動方法であって、メモリセルの一は、第1のゲート電極、第1のソース電極、第1のドレイン電極、および第1のチャンネル形成領域を含むpチャンネル型の第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、および第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有し、第1のゲート電極と、第2のドレイン電極と、容量素子の一方の電極と、は、電氣的に接続されて電荷が保持されるノードを構成し、ビット線と、第1のソース電極と、第2のソース電

50

極と、は電氣的に接続され、ソース線と、第1のドレイン電極と、は電氣的に接続され、書き込みワード線の一と、第2のゲート電極と、は電氣的に接続され、書き込みおよび読み出しワード線の一と、容量素子の他方の電極と、は電氣的に接続され、書き込み期間において、ソース線に接地電位を供給し、読み出し期間において、非選択となるメモリセルの一と接続された書き込みおよび読み出しワード線の一に、電源電位を供給する半導体装置の駆動方法である。

【0021】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

10

【0022】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0023】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

20

【0024】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0025】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

30

【0026】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0027】

また、開示する発明に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

40

【0028】

また、読み出し用トランジスタには、酸化物半導体以外の材料を適用した十分な高速動作が可能なトランジスタを用い、書き込み用トランジスタの酸化物半導体を用いたトランジスタと組み合わせることにより、半導体装置の動作（例えば、情報の読み出し動作）の高

50

速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0029】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【図面の簡単な説明】

【0030】

【図1】半導体装置の回路図。

【図2】半導体装置の回路図。

【図3】半導体装置の回路図。

【図4】タイミングチャート図。

【図5】半導体装置の断面図および平面図。

【図6】半導体装置の作製工程に係る断面図。

【図7】半導体装置の作製工程に係る断面図。

【図8】半導体装置の作製工程に係る断面図。

【図9】半導体装置の作製工程に係る断面図。

【図10】半導体装置の作製工程に係る断面図。

【図11】半導体装置を用いた電子機器を説明するための図。

【図12】酸化物材料の結晶構造を説明する図。

【図13】酸化物材料の結晶構造を説明する図。

【図14】酸化物材料の結晶構造を説明する図。

【図15】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図16】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図17】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図18】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図19】計算に用いたトランジスタの断面構造を説明する図。

【図20】酸化物半導体膜を用いたトランジスタ特性のグラフを示す図。

【図21】試料1のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図22】試料2のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図23】 I_d および電界効果移動度の V_g 依存性を示す図。

【図24】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す図。

【図25】試料Aおよび試料BのXRDスペクトルを示す図。

【図26】トランジスタのオフ電流と測定時基板温度との関係を示す図。

【図27】 $In - Sn - Zn - O$ 膜を酸化物半導体膜に用い、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図。

【図28】実施例2で作製したトランジスタの構造を示す上面図および断面図。

【発明を実施するための形態】

【0031】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0032】

10

20

30

40

50

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0033】

なお、本明細書等における「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0034】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の基本的な回路構成およびその動作について、図1および図2を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

10

【0035】

基本回路1

はじめに、最も基本的な回路構成およびその動作について、図1を参照して説明する。図1(A-1)に示す半導体装置において、ビット線BLとトランジスタ160のソース電極(またはドレイン電極)と、トランジスタ162のソース電極(またはドレイン電極)とは、電氣的に接続され、ソース線SLとトランジスタ160のドレイン電極(またはソース電極)とは、電氣的に接続されている。また、書き込みワード線OSGと、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のドレイン電極(またはソース電極)は、容量素子164の電極の一方と電氣的に接続され、書き込みおよび読み出しワード線Cと、容量素子164の電極の他方は電氣的に接続されている。なお、トランジスタ160のソース電極(またはドレイン電極)と、トランジスタ162のソース電極(またはドレイン電極)と、を電氣的に接続させずに、それぞれが別の配線と電氣的に接続する構成としてもよい。

20

【0036】

ここで、トランジスタ162には、例えば、酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

30

【0037】

なお、トランジスタ160の半導体材料については特に限定されない。情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。ただし、トランジスタ160としては、pチャネル型のトランジスタを用いるものとする。

【0038】

また、図1(B)に示すように、容量素子164を設けない構成とすることも可能である。

40

【0039】

図1(A-1)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0040】

はじめに、情報の書き込みおよび保持について説明する。まず、書き込みワード線OSGの電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、トランジスタ162のドレイン電極(またはソース電極)と、トランジスタ160のゲート電極と、容量素子164の一方の電

50

極が電氣的に接続されたノード（ノードFGとも表記する）に与えられる。すなわち、ノードFGには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位を与える電荷（以下、低電位を与える電荷を電荷 Q_L 、高電位を与える電荷を電荷 Q_H という）のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、書き込みワード線OSGの電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、ノードFGに与えられた電荷が保持される（保持）。

【0041】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

10

【0042】

次に、情報の読み出しについて説明する。ソース線SLに所定の電位（定電位）を与えた状態で、書き込みおよび読み出しワード線Cに適切な電位（読み出し電位）を与えると、ノードFGに保持された電荷量に応じて、ビット線BLは異なる電位をとる。すなわち、トランジスタ160のコンダクタンスは、トランジスタ160のゲート電極（ノードFGともいえる）に保持される電荷によって制御される。

【0043】

一般に、トランジスタ160をpチャンネル型とすると、トランジスタ160のゲート電極に Q_H が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極に Q_L が与えられている場合の見かけのしきい値 V_{th_L} より低くなる。例えば、書き込みにおいて Q_L が与えられた場合には、書き込みおよび読み出しワード線Cの電位が V_0 （ V_{th_H} と V_{th_L} の中間の電位）となれば、トランジスタ160は「オン状態」となる。 Q_H が与えられた場合には、書き込みおよび読み出しワード線Cの電位が V_0 となっても、トランジスタ160は「オフ状態」のままである。このため、ビット線BLの電位を判別することで、保持されている情報を読み出すことができる。

20

【0044】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、書き込みワード線OSGの電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、ビット線BLの電位（新たな情報に係る電位）が、ノードFGに与えられる。その後、書き込みワード線OSGを、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、ノードFGは、新たな情報に係る電荷が与えられた状態となる。

30

【0045】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0046】

以下に、一例として、ノードFGに電位VDDまたは接地電位GNDのいずれかを与えた場合の書き込み、保持、読み出しの方法について具体的に説明する。以下では、ノードFGに電位VDDを与えた場合に保持されるデータをデータ"1"、ノードFGに接地電位GNDを与えた場合に保持されるデータをデータ"0"とする。なお、ノードFGに与える電位の関係はこれに限られるものではない。

40

【0047】

情報を書き込む場合には、ソース線SLをGNDとし、書き込みおよび読み出しワード線CをGNDとし、書き込みワード線OSGをVDDとして、トランジスタ162をオン状態とする。そして、ノードFGにデータ"0"を書き込む場合には、ビット線BLにはGNDを与える。また、ノードFGにデータ"1"を書き込む場合には、ビット線BLの電

50

位をVDDとする。なお、ノードFGにデータ"1"を書き込む場合には、トランジスタ162のしきい値電圧(V_{th_OS})分電圧降下しないように、書き込みワード線OSGの電位を $VDD + V_{th_OS}$ としてもよい。

【0048】

情報を保持する場合には、書き込みワード線OSGをGNDとしてトランジスタ162をオフ状態にする。また、pチャネル型トランジスタであるトランジスタ160を介して、ビット線BLとソース線SLに電流が生じて電力が消費されることを抑制するために、ビット線BLとソース線SLは同電位とする。なお、ビット線BLとソース線SLとが同電位であれば、書き込みおよび読み出しワード線Cは、VDDでもGNDでも構わない。

【0049】

なお、上記において、「同電位」には、「略同電位」も含まれるものとする。すなわち、上記においては、ビット線BLとソース線SLの電位差を十分に低減して、ビット線BLとソース線SLに生じる電流を抑制することを目的としているため、ソース線SLの電位をGNDなどに固定した場合と比較して消費電力を十分に(例えば、百分の一以下に)低減できる電位など、「略同電位」とした電位が含まれるのである。また、例えば、配線抵抗などに起因する電位ずれ程度の差は十分に許容される。

【0050】

情報を読み出す場合には、書き込みワード線OSGをGNDとし、書き込みおよび読み出しワード線CをGNDとし、ソース線SLをVDDもしくはVDDよりいくらか低い電位(以下VRと表記する)とする。ここで、ノードFGにデータ"1"が書き込まれている場合は、pチャネル型トランジスタであるトランジスタ160はオフ状態となり、ビット線BLの電位は、読み出し開始時の電位が維持されるか、または上昇する。なお、ビット線BLの電位の維持または上昇は、ビット線BLに接続される読み出し回路に依存する。また、ノードFGにデータ"0"が書き込まれている場合は、トランジスタ160がオン状態となり、ビット線BLの電位はソース線SLの電位と同電位のVDDもしくはVRとなる。したがって、ビット線BLの電位を判別することで、ノードFGに保持されたデータ"1"またはデータ"0"を読み出すことができる。

【0051】

なお、ノードFGに電位VDDが保持されている(すなわち、データ"1"が書き込まれている)場合、読み出しの際にソース線SLの電位をVDDとすると、トランジスタ160のゲートとソース間の電圧(以下、 V_{gs_p} と表記する)は、 $V_{gs_p} = VDD - VDD = 0V$ となり、 V_{gs_p} がトランジスタ160のしきい値電圧(以下、 V_{th_p} と表記する)よりも大きくなるため、pチャネル型トランジスタであるトランジスタ160はオフ状態となる。ここで、ノードFGに書き込まれた電位がVDDに満たなかった等で、ノードFGに保持された電位がVDDよりも小さい場合であっても、ノードFGの電位が $VDD - |V_{th_p}|$ 以上であれば、 $V_{gs_p} = (VDD - |V_{th_p}|) - VDD = -|V_{th_p}| = V_{th_p}$ となりトランジスタ160がオフ状態となるため、正常にデータ"1"が読み出せる。しかしながら、ノードFGの電位が $VDD - |V_{th_p}|$ より小さい場合には、 V_{gs_p} が V_{th_p} より小さくなるため、トランジスタ160はオン状態となり、データ"1"ではなくデータ"0"が読み出され、誤読み出しとなる。つまり、データ"1"を書き込んだ場合、読み出しが可能である電位の下限值は、ソース線SLの電位VDDより $|V_{th_p}|$ 分低い、 $VDD - |V_{th_p}|$ となる。

【0052】

一方で、読み出しの際にソース線SLの電位をVRとすると、上述した通り、データ"1"の読み出しが可能である電位の下限值は、ソース線SLの電位VRよりも $|V_{th_p}|$ 分低い、 $VR - |V_{th_p}|$ となる。ここで、VRはVDDよりも低い電位であるので、 $VR - |V_{th_p}|$ は $VDD - |V_{th_p}|$ より小さくなる。すなわち、ソース線SLの電位をVRとした方が、読み出しが可能である電位の下限值は低くなる。よって、ソース線SLの電位はVDDとするよりもVRとした方がデータ"1"の読み出しが可能である電位の幅を広くすることができるため好ましい。なお上限値については、ソース

10

20

30

40

50

線 S L の電位を V R とした場合、ノード F G に V D D が書き込まれている場合の V_{gs_p} は $V_{DD} - V_R > V_{th_p}$ ($V_{DD} > V_R$) となりトランジスタ 160 を問題無くオフ状態とすることができる。

【0053】

ここで、トランジスタ 162 のドレイン電極（またはソース電極）と、トランジスタ 160 のゲート電極と、容量素子 164 の一方の電極が電氣的に接続されたノード（ノード F G）は、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。トランジスタ 162 がオフの場合、当該ノード F G は絶縁体中に埋設されたと見ることができ、ノード F G には電荷が保持される。酸化物半導体を用いたトランジスタ 162 のオフ電流は、シリコン半導体などで形成されるトランジスタの 10 万分の 1 以下であるため、トランジスタ 162 のリークによる、ノード F G に蓄積された電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ 162 により、電力の供給が無くても情報の保持が可能で不揮発性の記憶装置を実現することが可能である。

10

【0054】

例えば、トランジスタ 162 の室温（25）でのオフ電流が 10 z A (1 z A (zepto アンペア) は $1 \times 10^{-21} \text{ A}$) 以下であり、容量素子 164 の容量値が 10 f F 程度である場合には、少なくとも 10^4 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

20

【0055】

また、開示する発明の半導体装置においては、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁層（トンネル絶縁膜）の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁層の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要な高電圧も不要である。

【0056】

図 1 (A - 1) に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図 1 (A - 2) のように考えることが可能である。つまり、図 1 (A - 2) では、トランジスタ 160 および容量素子 164 が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R 1 および C 1 は、それぞれ、容量素子 164 の抵抗値および容量値であり、抵抗値 R 1 は、容量素子 164 を構成する絶縁層による抵抗値に相当する。また、R 2 および C 2 は、それぞれ、トランジスタ 160 の抵抗値および容量値であり、抵抗値 R 2 はトランジスタ 160 がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値 C 2 はいわゆるゲート容量（ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量）の容量値に相当する。

30

【0057】

トランジスタ 162 がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値（実効抵抗とも呼ぶ）を R_{OS} とすると、トランジスタ 162 のゲートリーク電流が十分に小さい条件において、R 1 および R 2 が、 $R_1 \ll R_{OS}$ 、 $R_2 \ll R_{OS}$ を満たす場合には、電荷の保持期間（情報の保持期間ということもできる）は、主としてトランジスタ 162 のオフ電流によって決定されることになる。

40

【0058】

逆に、当該条件を満たさない場合には、トランジスタ 162 のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ 162 のオフ電流以外のリーク電流（例えば、ソース電極とゲート電極の間において生じるリーク電流等）が大きいためである。このことから、本実施の形態において開示する半導体装置は、 $R_1 \ll R_{OS}$ 、および $R_2 \ll R_{OS}$ の関係を満たすものであることが望ましいといえる。

【0059】

50

一方で、C1とC2は、C1 C2の関係を満たすことが望ましい。C1を大きくすることで、書き込みおよび読み出しワード線CによってノードFGの電位を制御する際に、書き込みおよび読み出しワード線Cの電位を効率よくノードFGに与えることができるようになり、書き込みおよび読み出しワード線Cに与える電位間（例えば、読み出しの電位と、非読み出しの電位）の電位差を低く抑えることができるためである。

【0060】

このように、上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ160のゲート絶縁層や容量素子164の絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

10

【0061】

本実施の形態で示す半導体装置においては、ノードFGが、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の形態のノードFGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有している。

【0062】

フラッシュメモリでは、コントロールゲートに印加される電位が高いため、その電位が、隣接するセルのフローティングゲートに影響を与えないように、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

20

【0063】

一方、本実施の形態に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【0064】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対する優位点である。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものとの最小のものとの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下とすることができる。

30

【0065】

さらに、容量素子164を構成する絶縁層の比誘電率 r_1 と、トランジスタ160を構成する絶縁層の比誘電率 r_2 とを異ならせる場合には、容量素子164を構成する絶縁層の面積 S_1 と、トランジスタ160においてゲート容量を構成する絶縁層の面積 S_2 とが、 $2 \cdot S_2 \leq S_1$ （望ましくは $S_2 \leq S_1$ ）を満たしつつ、C1 C2を実現することが容易である。すなわち、容量素子164を構成する絶縁層の面積を小さくしつつ、C1 C2を実現することが容易である。具体的には、例えば、容量素子164を構成する絶縁層においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用して r_1 を10以上、好ましくは15以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$ とすることができる。

40

【0066】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

【0067】

基本回路2

図2は、図1（A-1）に示すメモリセルを2行×2列のマトリクス状に配置したメモリ

50

セルアレイの回路図である。図2におけるメモリセル170の構成は、図1(A-1)と同様である。ただし、図2(A)においては、ソース線SLが2列のメモリセルにおいて共通化された構造を有している。また、図2(B)においては、ソース線SLが2行のメモリセルにおいて共通化された構造を有している。

【0068】

図2(A)および図2(B)に示すように、ソース線SLが2列、若しくは、2行で共通化された構造にすることで、メモリセル170に接続する信号線の本数を共通化しない場合の4本から、3.5本(3本+1/2本)へと削減することができる。

【0069】

なお、ソース線SLを共通化させる列数(または行数)は、2列(2行)に限定されるものではなく、3列(または3行)以上の複数列(または複数行)のメモリセルにおいて共通した構造としてもよい。共通化させるソース線SLの列数(または行数)は、共通化による寄生抵抗および寄生容量を考慮し、好適な値を適宜選択すれば良い。また、共通化させる列数(または行数)が多い程、メモリセル170に接続される信号線本数を削減することができるため好ましい。

10

【0070】

図2において、ソース線SLは、ソース線切り替え回路194と接続されている。ここで、ソース線切り替え回路194は、ソース線SLの他に、ソース線切り替え信号線SLCと接続されている。

【0071】

図2(A)および図2(B)に示す半導体装置において、データの書き込み、保持、および読み出しは、図1の場合と同様であり、前述の記載を参照することができる。なお、例えば、ノードFGに電源電位VDDまたは接地電位GNDのいずれかを与える場合であって、ノードFGに電源電位VDDを与えた場合に保持されるデータをデータ"1"、ノードFGに接地電位GNDを与えた場合に保持されるデータをデータ"0"とする場合において、具体的な書き込みの動作は次の通りである。まず、メモリセル170に接続される書き込みおよび読み出しワード線Cの電位をGNDとし、書き込みワード線OSGをVDDとしてメモリセル170を選択する。これにより、ビット線BLの電位が、選択されたメモリセル170のノードFGに供給される。

20

【0072】

ここで、ノードFGに接地電位GNDが与えられる場合(すなわち、データ"0"が保持される場合)には、トランジスタ160のゲート電極にオン状態となる電位が与えられることとなる。その場合において、ビット線BLとソース線SLに電流が生じてノードFGに書き込む電位が上昇することを抑制するために、ソース線SLの電位を接地電位GNDとする必要がある。

30

【0073】

そこで、ソース線切り替え信号線SLCの信号によってソース線切り替え回路194の信号経路を切り換えることで、ソース線SLに接地電位GNDを供給する。

【0074】

当該動作の特徴は、書き込み時において、ソース線SLの電位を接地電位GNDとする点にある。これにより、ノードFGにトランジスタ160がオン状態となる電位が与えられる場合でも、ビット線BLとソース線SLに電流が生じることを抑制できる。

40

【0075】

また、図2に示すように、メモリセル170をアレイ状に配置して用いる場合には、読み出し時に、所望のメモリセル170の情報のみを読み出せることが必要になる。このように、所定のメモリセル170の情報を読み出し、それ以外のメモリセル170の情報を読み出さないためには、読み出さないメモリセル170を非選択状態とする必要がある。

【0076】

例えば、基本回路1で示したように、ノードFGに電源電位VDDまたは接地電位GNDのいずれかを与える場合であって、ノードFGに電源電位VDDを与えた場合に保持され

50

るデータをデータ"1"、ノードFGに接地電位GNDを与えた場合に保持されるデータをデータ"0"とする場合においては、ソース線SLをGNDとし、書き込みおよび読み出しワード線CをVDDとし、書き込みワード線OSGをGNDとすることでメモリセル170を非選択状態とすることができる。

【0077】

書き込みおよび読み出しワード線CをVDDとすることで、ノードFGの電位は容量素子164との容量結合によってVDD分上昇する。データ"1"であるVDDがノードFGに書き込まれている場合は、VDD分上昇して $VDD + VDD = 2VDD$ になり、 V_{gs_p} が、 V_{th_p} よりも大きくなるため、pチャネル型トランジスタであるトランジスタ160はオフ状態となる。一方、データ"0"であるGNDがノードFGに書き込まれている場合は、VDD分上昇して $GND + VDD = VDD$ となり、 V_{gs_p} が V_{th_p} よりも大きくなるため、pチャネル型トランジスタであるトランジスタ160はオフ状態となる。すなわち、書き込みおよび読み出しワード線CをVDDとすることで、ノードFGに保持されたデータによらずに、トランジスタ160をオフ状態、すなわち、メモリセル170を非選択状態とすることができる。

【0078】

なお、仮に読み出し用のトランジスタ160にnチャネル型トランジスタを用いるとすると、nチャネル型トランジスタのゲート電極の電位が該トランジスタのしきい値より高くなってしまった場合、書き込み及び読み出しワード線Cを0Vとしても全てのメモリセルをオフ状態にできるとは限らない。したがって、メモリセルを非選択状態とするために非選択行の書き込み及び読み出しワード線Cに負電位を供給する必要がある。しかしながら、本実施の形態に示す半導体装置では、読み出し用のトランジスタにpチャネル型トランジスタを用いているため、非選択行の書き込み及び読み出しワード線Cを高電位とすることでメモリセルをオフ状態とすることが可能である。したがって、メモリセルにおいて負電位を生成する電源を設ける必要がなくなるため、消費電力を削減し、且つ半導体装置を小型化することができる。

【0079】

以上示したように、図2に示す回路構成の半導体装置では、ソース線SLを複数列(または複数行)で共通化することで、メモリセルアレイの面積の縮小を図ることができるため、ダイサイズの縮小を実現することができる。また、ダイサイズの縮小により、半導体装置作製のコストを低減することができる、または、歩留まりを向上させることができる。

【0080】

応用例1

次に、図1に示す回路を応用したより具体的な回路構成および動作について、図3および図4を参照して説明する。なお、以下の説明においては、書き込み用トランジスタ(トランジスタ162)にnチャネル型トランジスタを用い、読み出し用トランジスタ(トランジスタ160)にpチャネル型トランジスタを用いる場合を例に説明する。なお、図3の回路図において、斜線を有する配線は、バス信号線である。

【0081】

図3は、(m×n)個のメモリセル170を有する半導体装置の回路図の一例である。図3中のメモリセル170の構成は、図1(A-1)と同様である。

【0082】

図3に示す半導体装置は、m本(mは2以上の整数)の書き込みワード線OSGと、m本の書き込み及び読み出しワード線Cと、n本(nは2以上の整数)のビット線BLと、ソース線SLと、メモリセル170が縦m個(行)×横n個(列)のマトリクス状に配置されたメモリセルアレイと、昇圧回路180と、アドレスデコーダを含む第1の駆動回路182と、ロードドライバを含む第2の駆動回路192と、ページバッファを含む第3の駆動回路190と、コントローラを含む第4の駆動回路184と、入出力制御回路を含む第5の駆動回路186と、ソース線切り替え回路194と、を有する。なお、駆動回路の数は、図3に限られるものではなく、各機能を有する駆動回路を組み合わせて用いてもよく、

10

20

30

40

50

または、各駆動回路に含まれる機能を分割して用いてもよい。

【0083】

図3に示す半導体装置において、第1の駆動回路182はアドレスデコーダを含む。アドレスデコーダは、アドレス選択信号線Aをデコードし、デコードしたアドレス選択信号を、行選択信号線RADRと、ページバッファアドレス選択信号線PBADRに出力する回路である。アドレス選択信号線Aは、メモリセル170の行方向のアドレス選択信号と、ページバッファのアドレス選択信号が入力される端子であり、メモリセル170の行数、列数、またはページバッファの構成によって、1本～複数本となる。行選択信号線RADRは、メモリセルの行方向のアドレスを指定する信号線である。ページバッファアドレス選択信号線PBADRは、ページバッファのアドレスを指定する信号線である。

10

【0084】

第2の駆動回路192は、ロードライバを含む。ロードライバは、第1の駆動回路182に含まれるアドレスデコーダから出力される行選択信号線RADRからの信号をもとに、メモリセル170の行方向の選択信号、書き込みワード線OSGへの信号、書き込みおよび読み出しワード線Cへの信号を出力する。

【0085】

昇圧回路180は、配線VH-Lによって第2の駆動回路192と接続され、昇圧回路180に入力される一定電位(例えば、電源電位VDD)を昇圧して、第2の駆動回路192に該一定電位よりも高い電位(VH)を出力する。メモリセル170のノードFGに書き込む電位を、書き込み用トランジスタであるトランジスタ162のしきい値電圧(V_{th_OS})分降下させないようにするためには、書き込みワード線OSGの電位をビット線BLの電位+ V_{th_OS} よりも高くする必要がある。したがって、例えば、ノードFGに電源電位VDDを書き込む場合には、VHを $VDD + V_{th_OS}$ 以上とする。ただし、ノードFGに書き込まれる電位が V_{th_OS} 分降下しても問題がない場合には、昇圧回路180を設けなくともよい。

20

【0086】

第3の駆動回路190は、ページバッファを含む。ページバッファは、データラッチとセンスアンプの機能を有している。データラッチとしての機能は、内部データ入出力信号線INTDIO、若しくはビット線BLから出力されるデータを一時的に保存し、その保存したデータを内部データ入出力信号線INTDIO、若しくはビット線BLに出力する。センスアンプとしての機能は、読み出し時にメモリセルからデータが出力されるビット線BLをセンシングする。

30

【0087】

第4の駆動回路184は、コントローラを含み、チップイネーブルバー信号線CEB、ライトイネーブルバー信号線WEB、またはリードイネーブルバー信号線REBからの信号から、第1の駆動回路182、第2の駆動回路192、第3の駆動回路190、第5の駆動回路186、ソース線切り替え回路194、昇圧回路180を制御する信号を生成する回路である。

【0088】

チップイネーブルバー信号線CEBは、回路全体の選択信号を出力する信号線であり、アクティブ時のみ、入力信号の入力受け付け、及び出力信号の出力を行う。また、ライトイネーブルバー信号線WEBは、第3の駆動回路190内のページバッファのラッチデータの、メモリセルアレイへの書き込みを行うことを許可する信号を出力する信号線である。また、リードイネーブルバー信号線REBは、メモリセルアレイのデータの読み出しを許可する信号を出力する信号線である。また、第4の駆動回路184は、昇圧回路制御信号線BCCによって、昇圧回路180と接続されている。昇圧回路制御信号線BCCは、第4の駆動回路184内のコントローラから出力させる昇圧回路の制御信号を伝達する配線であり、回路構成によって、0本～複数本となる。また、第4の駆動回路184は、ページバッファ制御信号線PBCによって第3の駆動回路190と接続されている。ページバッファ制御信号線PBCは、第4の駆動回路184内のコントローラから出力されるペー

40

50

ジバッファの制御信号を伝達する配線であり、回路構成によって、0本～複数本となる。また、第4の駆動回路184は、ロードライバ制御信号線RDRVCによって、第2の駆動回路192と接続されている。また、第4の駆動回路184は、ソース線切り替え信号線SLCによって、ソース線切り替え回路194と接続されている。

【0089】

ソース線切り替え回路194は、第4の駆動回路184内のコントローラからのソース線切り替え信号を基にソース線SLの電位を切り替える回路である。ソース線切り替え回路194は、ソース線SLの電位を切り替える機能を有していれば良く、マルチプレクサ、インバータ等を用いても良い。ソース線切り替え信号線SLCは、第4の駆動回路184内のコントローラから出力されるソース線SLの電位を切り替える信号を伝達する配線である。回路構成によって、信号線本数は1本～複数本となる。

10

【0090】

第5の駆動回路186は、入出力制御回路を含む。入出力制御回路は、データ入出力信号線DIOからの入力信号を内部データ入出力信号線INTDIOに出力するか、内部データ入出力信号線INTDIOからの入力信号をデータ入出力信号線DIOに出力するための回路である。データ入出力信号線DIO端子は、外部からのデータが入力されるか、外部へメモリデータが出力される端子である。回路構成によって、信号線本数は1本～複数本となる。内部データ入出力信号線INTDIOは、入出力制御回路の出力信号をページバッファに入力するか、ページバッファの出力信号を入出力制御回路に入力する信号線である。回路構成によって、信号線本数は1本～複数本となる。また、データ入出力信号線DIOは、データ入力用信号線とデータ出力用信号線に分けても良い。

20

【0091】

図3に示す半導体装置において、データの書き込み、保持、および読み出しは、基本的に図1および図2の場合と同様である。図4に、図3に係る半導体装置の書き込み及び読み出し動作に係るタイミングチャートの例を示す。具体的には、ページバッファのラッチデータをメモリセルアレイへの書き込む動作と、メモリセルアレイに書き込まれたデータを読み出して、ページバッファにデータラッチさせる動作の一例を説明する。タイミングチャート中のCEB、WEB等の名称は、タイミングチャートに示す電位が与えられる配線を示しており、同様の機能を有する配線が複数ある場合には、配線の名称の末尾に、1、m、n等を付すことで区別している。なお、開示する発明は以下に示す配列に限らない。また、本実施の形態に示す回路構成は、CEB、WEB、REBは、Low（ロー）電位が入力されるとアクティブになるが、High（ハイ）電位が入力されてアクティブになるような回路を用いても良い。

30

【0092】

メモリセルは(m×n)個とし、1行1列目のメモリセルにデータ"1"、1行n列目のメモリセルにデータ"0"、m行1列目のメモリセルにデータ"0"、m行n列目のメモリセルにデータ"1"をそれぞれ書き込み、その後書き込まれた全データを読み出す場合の各配線間の電位の関係を示すものである。

【0093】

書き込み期間において、まずチップイネーブル信号線CEBをLow電位にし、アドレス選択信号線Aから書き込みを行うメモリセル170のアドレスを指定する。そして、ライトイネーブル信号線WEBをLow電位にすることで書き込みを行う。ページバッファは、書き込みデータであるラッチデータをビット線BLに出力する。ロードライバは、選択行の書き込みワード線OSGと、非選択行の書き込みおよび読み出しワード線CにHigh電位を出力し、非選択行の書き込みワード線と、選択行の書き込みおよび読み出しワード線CにLow電位を出力する。

40

【0094】

書き込み期間において、行選択のタイミングに合わせて、ビット線BLに書き込みデータがページバッファより出力される。データ"1"を書き込む場合のビット線BLはHigh電位、データ"0"を書き込む場合のビット線BLはLow電位となる。なお、ビット

50

線 B L の信号入力期間は、選択行の書き込みワード線 O S G と、選択行の書き込みおよび読み出しワード線 C の信号入力期間より長くなるようにする。ビット線 B L の信号入力期間が短いと、メモリセルへのデータの誤書き込みが生じることがあるためである。

【 0 0 9 5 】

なお、書き込み期間において、ノード F G に接地電位 G N D が与えられる場合において、ビット線 B L とソース線 S L に電流が生じることを抑制するために、ソース線 S L の電位を接地電位 G N D とする。当該駆動は、ソース線切り替え信号線 S L C の信号によってソース線切り替え回路 1 9 4 の信号経路を切り換えることで行われる。

【 0 0 9 6 】

読み出し期間において、まずチップイネーブルバー信号線 C E B を L o w 電位にし、アドレス選択信号線 A から読み出しを行うメモリセル 1 7 0 のアドレスを指定する。そして、リードイネーブルバー信号線 R E B を L o w 電位にすることで読み出しを行う。ページバッファは、メモリセルからビット線 B L に読み出されたデータをラッチする。ロードライバは、選択行の書き込みおよび読み出しワード線 C に L o w 電位を出力し、非選択行の書き込みおよび読み出しワード線 C に H i g h 電位を出力する。書き込みワード線 O S G は、選択、非選択に係わらず L o w 電位となる。ソース線切り替え回路 1 9 4 は、ソース線 S L に H i g h 電位を出力する。

10

【 0 0 9 7 】

読み出し期間において、行選択のタイミングに合わせて、ビット線 B L にメモリセル 1 7 0 に書き込まれているデータに応じた電位が出力される。メモリセルに、データ " 1 " が書き込まれていればビット線 B L は L o w 電位に、データ " 0 " が書き込まれていればビット線 B L は H i g h 電位となる。

20

【 0 0 9 8 】

スタンバイ及びデータ保持期間においては、チップイネーブルバー信号線 C E B を H i g h 電位にして、図 3 に示す回路全体を非アクティブとする。この場合、書き込みも読み出しも行われないため、W E B 、 R E B 等の制御信号は、H i g h 電位でも L o w 電位でも構わない。

【 0 0 9 9 】

なお、図 4 のタイミングチャート中の斜線部は、H i g h 電位でも、L o w 電位でも良い区間である。

30

【 0 1 0 0 】

以上のように、図 3 に示す回路構成の半導体装置では、ソース線 S L を複数列で共通化することで、メモリセルアレイの面積の縮小を図ることができるため、ダイサイズの縮小を実現することができる。また、ダイサイズの縮小により、半導体装置作製のコストを低減することができる。または、歩留まりを向上させることができる。

【 0 1 0 1 】

また、図 3 に示した半導体装置では、読み出しを行う場合に非選択行のメモリセルをオフ状態とする必要がある。本実施の形態で示す半導体装置は、読み出しトランジスタに p チャンネル型トランジスタを用いるため、非選択行の書き込み及び読み出しワード線 C を H i g h 電位（例えば、電源電位）とすることでメモリセルをオフ状態とすることが可能である。したがって、メモリセルにおいて負電位を生成する電源を設ける必要がなくなるため、消費電力を削減し、且つ半導体装置を小型化することができる。

40

【 0 1 0 2 】

なお、開示する発明の半導体装置に関する動作方法、動作電圧などについては、上述の構成に限定されず、半導体装置の動作が実現される態様において適宜変更することが可能である。

【 0 1 0 3 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせることができる。

【 0 1 0 4 】

50

(実施の形態 2)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について図 5 乃至図 10 を参照して説明する。

【0105】

半導体装置の断面構成および平面構成

図 5 は、半導体装置の構成の一例である。図 5 (A) には、半導体装置の断面を、図 5 (B) には、半導体装置の平面を、それぞれ示す。図 5 (A) は、図 5 (B) の A1 - A2 および B1 - B2 における断面に相当する。図 5 (A) および図 5 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有する。第 1 の半導体材料と第 2 の半導体材料とは異なる材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。図 5 に示す半導体装置は、メモリセルとして用いることができる。

10

【0106】

なお、開示する発明の技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料をトランジスタ 162 に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

20

【0107】

図 5 におけるトランジスタ 160 は、半導体基板 500 上の半導体層中に設けられたチャネル形成領域 134 と、チャネル形成領域 134 を挟むように設けられた不純物領域 132 (ソース領域およびドレイン領域とも記す) と、チャネル形成領域 134 上に設けられたゲート絶縁層 122a と、ゲート絶縁層 122a 上にチャネル形成領域 134 と重畳するように設けられたゲート電極 128a と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれる。

30

【0108】

また、半導体基板 500 上の半導体層中に設けられた不純物領域 126 には、導電層 128b が接続されている。ここで、導電層 128b は、トランジスタ 160 のソース電極やドレイン電極としても機能する。また、不純物領域 132 と不純物領域 126 との間には、不純物領域 130 が設けられている。また、トランジスタ 160 を覆うように絶縁層 136、絶縁層 138、および絶縁層 140 が設けられている。なお、高集積化を実現するためには、図 5 に示すようにトランジスタ 160 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 160 の特性を重視する場合には、ゲート電極 128a の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 132 を設けても良い。

40

【0109】

図 5 におけるトランジスタ 162 は、絶縁層 140 などの上に設けられた酸化物半導体層 144 と、酸化物半導体層 144 と電氣的に接続されているソース電極 (またはドレイン電極) 142a、およびドレイン電極 (またはソース電極) 142b と、酸化物半導体層 144、ソース電極 142a およびドレイン電極 142b を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上に酸化物半導体層 144 と重畳するように設けられたゲート電極 148a と、を有する。

50

【0110】

ここで、酸化物半導体層144は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温(25℃)でのオフ電流(ここでは、単位チャネル幅(1μm)あたりの値)は100zA(1zA(zeptoアンペア)は $1 \times 10^{-21} \text{ A}$)以下、望ましくは10zA以下となる。このように、i型化(真性化)または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ162を得ることができる。

10

【0111】

なお、図5のトランジスタ162では、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化物半導体層144を用いているが、島状に加工されていない構成を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化物半導体層144の汚染を防止できる。

20

【0112】

図5における容量素子164は、ドレイン電極142b、ゲート絶縁層146、および導電層148b、とで構成される。すなわち、ドレイン電極142bは、容量素子164の一方の電極として機能し、導電層148bは、容量素子164の他方の電極として機能することになる。このような構成とすることにより、十分な容量を確保することができる。また、酸化物半導体層144とゲート絶縁層146とを積層させる場合には、ドレイン電極142bと、導電層148bとの絶縁性を十分に確保することができる。さらに、容量が不要の場合は、容量素子164を設けない構成とすることもできる。

30

【0113】

本実施の形態では、トランジスタ162および容量素子164が、トランジスタ160と少なくとも一部が重畳するように設けられている。このような平面レイアウトを採用することにより、高集積化を図ることができる。例えば、最小加工寸法をFとして、メモリセルの占める面積を $15F^2 \sim 25F^2$ とすることが可能である。

【0114】

トランジスタ162および容量素子164の上には、絶縁層150が設けられている。そして、ゲート絶縁層146および絶縁層150に形成された開口には、配線154が設けられている。配線154は、メモリセルの一と他のメモリセルとを接続する配線であり、図2の回路図におけるビット線BLに相当する。配線154は、ソース電極142aと、導電層128bとを介して、不純物領域126に接続されている。これにより、トランジスタ160におけるソース領域またはドレイン領域と、トランジスタ162におけるソース電極142aと、をそれぞれ異なる配線に接続する場合と比較して、配線の数を削減することができるため、半導体装置の集積度を向上させることができる。

40

【0115】

また、導電層128bを設けることにより、不純物領域126とソース電極142aの接続する位置と、ソース電極142aと配線154との接続する位置を、重畳して設けることができる。このような平面レイアウトを採用することにより、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

【0116】

50

S O I 基板の作製方法

次に、上記半導体装置の作製に用いられる S O I 基板の作製方法の一例について、図 6 を参照して説明する。

【 0 1 1 7 】

まず、ベース基板として半導体基板 5 0 0 を準備する（図 6（A）参照）。半導体基板 5 0 0 としては、単結晶シリコン基板、単結晶ゲルマニウム基板などの半導体基板を用いることができる。また、半導体基板として、太陽電池級シリコン（S O G - S i : S o l a r G r a d e S i l i c o n）基板などを用いても良い。また、多結晶半導体基板を用いても良い。太陽電池級シリコンや、多結晶半導体基板などを用いる場合には、単結晶シリコン基板などを用いる場合と比較して、製造コストを抑制することができる。

10

【 0 1 1 8 】

なお、半導体基板 5 0 0 に変えて、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。また、窒化シリコンと酸化アルミニウムを主成分とした熱膨張係数がシリコンに近いセラミック基板を用いてもよい。

【 0 1 1 9 】

半導体基板 5 0 0 は、その表面をあらかじめ洗浄しておくことが好ましい。具体的には、半導体基板 5 0 0 に対して、塩酸過酸化水素水混合溶液（H P M）、硫酸過酸化水素水混合溶液（S P M）、アンモニア過酸化水素水混合溶液（A P M）、希フッ酸（D H F）等を用いて洗浄を行うのが好ましい。

20

【 0 1 2 0 】

次に、ボンド基板を準備する。ここでは、ボンド基板として単結晶半導体基板 5 1 0 を用いる（図 6（B）参照）。なお、ここでは、ボンド基板として単結晶のものを用いるが、ボンド基板の結晶性を単結晶に限る必要はない。

【 0 1 2 1 】

単結晶半導体基板 5 1 0 としては、例えば、単結晶シリコン基板、単結晶ゲルマニウム基板、単結晶シリコンゲルマニウム基板など、第 1 4 族元素でなる単結晶半導体基板を用いることができる。また、ガリウムヒ素やインジウムリン等の化合物半導体基板を用いることもできる。市販のシリコン基板としては、直径 5 インチ（1 2 5 m m）、直径 6 インチ（1 5 0 m m）、直径 8 インチ（2 0 0 m m）、直径 1 2 インチ（3 0 0 m m）、直径 1 6 インチ（4 0 0 m m）サイズの円形のものが代表的である。なお、単結晶半導体基板 5 1 0 の形状は円形に限らず、例えば、矩形等に加工したものであっても良い。また、単結晶半導体基板 5 1 0 は、C Z（チョクラルスキー）法や F Z（フローティングゾーン）法を用いて作製することができる。

30

【 0 1 2 2 】

単結晶半導体基板 5 1 0 の表面には酸化膜 5 1 2 を形成する（図 6（C）参照）。なお、汚染物除去の観点から、酸化膜 5 1 2 の形成前に、塩酸過酸化水素水混合溶液（H P M）、硫酸過酸化水素水混合溶液（S P M）、アンモニア過酸化水素水混合溶液（A P M）、希フッ酸（D H F）、F P M（フッ酸、過酸化水素水、純水の混合液）等を用いて単結晶半導体基板 5 1 0 の表面を洗浄しておくことが好ましい。希フッ酸とオゾン水を交互に吐出して洗浄してもよい。

40

【 0 1 2 3 】

酸化膜 5 1 2 は、例えば、酸化シリコン膜、酸化窒化シリコン膜等を単層で、または積層させて形成することができる。上記酸化膜 5 1 2 の作製方法としては、熱酸化法、C V D 法、スパッタリング法などがある。また、C V D 法を用いて酸化膜 5 1 2 を形成する場合、良好な貼り合わせを実現するためには、テトラエトキシシラン（略称；T E O S；化学式 $S i (O C _ 2 H _ 5) _ 4$ ）等の有機シランを用いて酸化シリコン膜を形成することが好ましい。

【 0 1 2 4 】

本実施の形態では、単結晶半導体基板 5 1 0 に熱酸化処理を行うことにより酸化膜 5 1 2

50

(ここでは、 SiO_x 膜)を形成する。熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。

【0125】

例えば、塩素(Cl)が添加された酸化性雰囲気中で単結晶半導体基板510に熱酸化処理を行うことにより、塩素酸化された酸化膜512を形成することができる。この場合、酸化膜512は、塩素原子を含有する膜となる。このような塩素酸化により、外因性の不純物である重金属(例えば、Fe、Cr、Ni、Mo等)を捕集して金属の塩化物を形成し、これを外方に除去して単結晶半導体基板510の汚染を低減させることができる。

【0126】

なお、酸化膜512に含有させるハロゲン原子は塩素原子に限られない。酸化膜512にはフッ素原子を含有させてもよい。単結晶半導体基板510表面をフッ素酸化する方法としては、HF溶液に浸漬させた後に酸化性雰囲気中で熱酸化処理を行う方法や、 NF_3 を酸化性雰囲気に添加して熱酸化処理を行う方法などがある。

10

【0127】

次に、イオンを電界で加速して単結晶半導体基板510に照射し、添加することで、単結晶半導体基板510の所定の深さに結晶構造が損傷した脆化領域514を形成する(図6(D)参照)。

【0128】

脆化領域514が形成される領域の深さは、イオンの運動エネルギー、イオンの質量と電荷、イオンの入射角などによって調節することができる。また、脆化領域514は、イオンの平均侵入深さとほぼ同じ深さの領域に形成される。このため、イオンを添加する深さで、単結晶半導体基板510から分離される単結晶半導体層の厚さを調節することができる。例えば、単結晶半導体層の厚さが、10nm以上500nm以下、好ましくは50nm以上200nm以下程度となるように平均侵入深さを調節すれば良い。

20

【0129】

当該イオンの照射処理は、イオンドーピング装置やイオン注入装置を用いて行うことができる。イオンドーピング装置の代表例としては、プロセスガスをプラズマ励起して生成された全てのイオン種を被処理体に照射する非質量分離型の装置がある。当該装置では、プラズマ中のイオン種を質量分離しないで被処理体に照射することになる。これに対して、イオン注入装置は質量分離型の装置である。イオン注入装置では、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する。

30

【0130】

本実施の形態では、イオンドーピング装置を用いて、水素を単結晶半導体基板510に添加する例について説明する。ソースガスとしては水素を含むガスを用いる。照射するイオンについては、 H_3^+ の比率を高くすると良い。具体的には、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ の割合が50%以上(より好ましくは80%以上)となるようにする。 H_3^+ の割合を高めることで、イオン照射の効率を向上させることができる。

【0131】

なお、添加するイオンは水素に限定されない。ヘリウムなどのイオンを添加しても良い。また、添加するイオンは一種類に限定されず、複数種類のイオンを添加しても良い。例えば、イオンドーピング装置を用いて水素とヘリウムとを同時に照射する場合には、異なる工程で照射する場合と比較して工程数を低減できると共に、後の単結晶半導体層の表面荒れを抑えることが可能である。

40

【0132】

なお、イオンドーピング装置を用いて脆化領域514を形成する場合には、重金属も同時に添加されるおそれがあるが、ハロゲン原子を含有する酸化膜512を介してイオンの照射を行うことによって、これら重金属による単結晶半導体基板510の汚染を防ぐことができる。

【0133】

次に、半導体基板500と、単結晶半導体基板510とを対向させ、酸化膜512を介し

50

て密着させる。これにより、半導体基板 500 と、単結晶半導体基板 510 とが貼り合わされる（図 6（E）参照）。なお、単結晶半導体基板 510 と貼り合わせる半導体基板 500 の表面に酸化膜または窒化膜を成膜してもよい。

【0134】

貼り合わせの際には、半導体基板 500 または単結晶半導体基板 510 の一箇所に、 0.001 N/cm^2 以上 100 N/cm^2 以下、例えば、 1 N/cm^2 以上 20 N/cm^2 以下の圧力を加えることが望ましい。圧力を加えて、貼り合わせ面を接近、密着させると、密着させた部分において半導体基板 500 と酸化膜 512 の接合が生じ、当該部分を始点として自発的な接合がほぼ全面におよぶ。この接合には、ファンデルワールス力や水素結合が作用しており、常温で行うことができる。

10

【0135】

なお、単結晶半導体基板 510 と半導体基板 500 とを貼り合わせる前には、貼り合わせに係る表面につき、表面処理を行うことが好ましい。表面処理を行うことで、単結晶半導体基板 510 と半導体基板 500 との界面での接合強度を向上させることができる。

【0136】

表面処理としては、ウェット処理、ドライ処理、またはウェット処理とドライ処理の組み合わせ、を用いることができる。また、異なるウェット処理どうしを組み合わせ用いても良いし、異なるドライ処理どうしを組み合わせ用いても良い。

【0137】

なお、貼り合わせの後には、接合強度を増加させるための熱処理を行ってもよい。この熱処理の温度は、脆化領域 514 における分離が生じない温度（例えば、室温以上 400 未満）とする。また、この温度範囲で加熱しながら、半導体基板 500 と酸化膜 512 とを接合させてもよい。上記熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置などを用いることができる。なお、上記温度条件はあくまで一例に過ぎず、開示する発明の一態様がこれに限定して解釈されるものではない。

20

【0138】

次に、熱処理を行うことにより、単結晶半導体基板 510 を脆化領域において分離して、半導体基板 500 上に、酸化膜 512 を介して単結晶半導体層 516 を形成する（図 6（F）参照）。

30

【0139】

なお、上記分離の際の熱処理温度は、できる限り低いものであることが望ましい。分離の際の温度が低いほど、単結晶半導体層 516 の表面荒れを抑制できるためである。具体的には、例えば、上記分離の際の熱処理温度は、 300 以上 600 以下とすればよく、 400 以上 500 以下とすると、より効果的である。

【0140】

なお、単結晶半導体基板 510 を分離した後には、単結晶半導体層 516 に対して、 500 以上の温度で熱処理を行い、単結晶半導体層 516 中に残存する水素の濃度を低減させてもよい。

【0141】

次に、単結晶半導体層 516 の表面にレーザー光を照射することによって、表面の平坦性を向上させ、かつ欠陥を低減させた単結晶半導体層 518 を形成する（図 6（G）参照）。なお、レーザー光の照射処理に代えて、熱処理を行っても良い。

40

【0142】

なお、本実施の形態においては、単結晶半導体層 516 の分離に係る熱処理の直後に、レーザー光の照射処理を行っているが、本発明の一態様はこれに限定して解釈されない。単結晶半導体層 516 の分離に係る熱処理の後にエッチング処理を施して、単結晶半導体層 516 表面の欠陥が多い領域を除去してから、レーザー光の照射処理を行っても良いし、単結晶半導体層 516 表面の平坦性を向上させてからレーザー光の照射処理を行ってもよい。なお、上記エッチング処理としては、ウェットエッチング、ドライエッチングのいずれ

50

れを用いてもよい。また、本実施の形態においては、上述のようにレーザー光を照射した後、単結晶半導体層516の膜厚を小さくする薄膜化工程を行ってもよい。単結晶半導体層516の薄膜化には、ドライエッチングまたはウェットエッチングの一方、または双方を用いればよい。

【0143】

以上の工程により、良好な特性の単結晶半導体層518を有するSOI基板を得ることができる(図6(G)参照)。

【0144】

半導体装置の作製方法

次に、上記のSOI基板を用いた半導体装置の作製方法について、図7乃至図10を参照して説明する。

10

【0145】

下部のトランジスタの作製方法

はじめに下部のトランジスタ160の作製方法について、図7および図8を参照して説明する。なお、図7および図8は、図6に示す方法で作成したSOI基板の一部であって、図5(A)に示す下部のトランジスタに相当する断面工程図である。

【0146】

まず、単結晶半導体層518を島状に加工して、半導体層120を形成する(図7(A)参照)。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純物元素や、p型の導電性を付与する不純物元素を半導体層に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物元素としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物元素としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

20

【0147】

次に、半導体層120を覆うように絶縁層122を形成する(図7(B)参照)。絶縁層122は、後にゲート絶縁層となるものである。絶縁層122は、例えば、半導体層120表面の熱処理(熱酸化処理や熱窒化処理など)によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などのうちのいずれかの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層122は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_yN_z$ ($x > 0$, $y > 0$, $z > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_yN_z$ ($x > 0$, $y > 0$, $z > 0$))等を含む単層構造または積層構造とすることが望ましい。また、絶縁層122の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。本実施の形態では、プラズマCVD法を用いて、酸化シリコンを含む絶縁層を単層で形成することとする。

30

【0148】

次に、絶縁層122上にマスク124を形成し、一導電性を付与する不純物元素を半導体層120に添加して、不純物領域126を形成する(図7(C)参照)。なお、ここでは、不純物元素を添加した後、マスク124は除去する。

40

【0149】

次に、絶縁層122上にマスクを形成し、絶縁層122が不純物領域126と重畳する領域の一部を除去することにより、ゲート絶縁層122aを形成する(図7(D)参照)。絶縁層122の除去方法として、ウェットエッチングまたはドライエッチングなどのエッチング処理を用いることができる。

【0150】

次に、ゲート絶縁層122a上にゲート電極(これと同じ層で形成される配線を含む)を

50

形成するための導電層を形成し、当該導電層を加工して、ゲート電極 128a および導電層 128b を形成する（図 7（E）参照）。

【0151】

ゲート電極 128a および導電層 128b に用いる導電層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を含む導電層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。また、導電層の加工は、レジストマスクを用いたエッチングによって行うことができる。

【0152】

次に、ゲート電極 128a および導電層 128b をマスクとして、一導電型を付与する不純物元素を半導体層に添加して、チャンネル形成領域 134、不純物領域 132、および不純物領域 130 を形成する（図 8（A）参照）。ここでは、p 型トランジスタを形成するために、硼素（B）やアルミニウム（Al）などの不純物元素を添加する。ここで、添加される不純物元素の濃度は適宜設定することができる。また、不純物元素を添加した後は、活性化のための熱処理を行う。ここで、不純物領域の濃度は、不純物領域 126、不純物領域 132、不純物領域 130 の順に高くなる。

【0153】

次に、ゲート絶縁層 122a、ゲート電極 128a、導電層 128b を覆うように、絶縁層 136、絶縁層 138 および絶縁層 140 を形成する（図 8（B）参照）。

【0154】

絶縁層 136、絶縁層 138、絶縁層 140 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層 136、絶縁層 138、絶縁層 140 に誘電率の低い（low-k）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層 136、絶縁層 138、絶縁層 140 には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層 136 や絶縁層 138、絶縁層 140 は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。本実施の形態では、絶縁層 136 として酸化窒化シリコン、絶縁層 138 として窒化酸化シリコン、絶縁層 140 として酸化シリコンを用いる場合について説明する。なお、ここでは、絶縁層 136、絶縁層 138 および絶縁層 140 の積層構造としているが、開示する発明の一態様はこれに限定されない。1層または2層としても良いし、4層以上の積層構造としても良い。

【0155】

次に、絶縁層 138 および絶縁層 140 にCMP（化学的機械研磨）処理やエッチング処理を行うことにより、絶縁層 138 および絶縁層 140 を平坦化する（図 8（C）参照）。ここでは、絶縁層 138 が一部露出されるまで、CMP処理を行う。絶縁層 138 に窒化酸化シリコンを用い、絶縁層 140 に酸化シリコンを用いた場合、絶縁層 138 はエッチングストップとして機能する。

【0156】

次に、絶縁層 138 および絶縁層 140 にCMP処理やエッチング処理を行うことにより、ゲート電極 128a および導電層 128b の上面を露出させる（図 8（D）参照）。ここでは、ゲート電極 128a および導電層 128b が一部露出されるまで、エッチング処理を行う。当該エッチング処理は、ドライエッチングを用いることが好適であるが、ウェットエッチングを用いてもよい。ゲート電極 128a および導電層 128b の一部を露出させる工程において、後に形成されるトランジスタ 162 の特性を向上させるために、絶縁層 136、絶縁層 138、絶縁層 140 の表面は可能な限り平坦にしておくことが好ましい。

10

20

30

40

50

【0157】

以上の工程により、下部のトランジスタ160を形成することができる(図8(D)参照)。

【0158】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、配線の構造として、絶縁層および導電層の積層構造である多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0159】

上部のトランジスタの作製方法

次に、上部のトランジスタ162の作製方法について、図9および図10を参照して説明する。

10

【0160】

まず、ゲート電極128a、導電層128b、絶縁層136、絶縁層138、絶縁層140などの上に酸化半導体層を形成し、当該酸化半導体層を加工して、酸化半導体層144を形成する(図9(A)参照)。なお、酸化半導体層を形成する前に、絶縁層136、絶縁層138、絶縁層140の上に、下地として機能する絶縁層を設けても良い。当該絶縁層は、スパッタリング法をはじめとするPVD法やプラズマCVD法などのCVD法などを用いて形成することができる。

【0161】

用いる酸化半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

20

【0162】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

30

【0163】

例えば、酸化半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

40

【0164】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとG

50

aとZn以外の金属元素が入っていてもよい。

【0165】

また、酸化物半導体層に用いる材料としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-Zn-O系の材料、In-Sn-Zn-O系の材料、In-Al-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料や、二元系金属酸化物であるIn-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料、Sn-Mg-O系の材料、In-Mg-O系の材料、In-Ga-O系の材料や、一元系金属酸化物であるIn-O系の材料、Sn-O系の材料、Zn-O系の材料などを用いることができる。また、上記の材料にSiO₂を含ませてもよい。ここで、例えば、In-Ga-Zn-O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物膜、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。

10

【0166】

例えば、In:Ga:Zn=1:1:1(=1/3:1/3:1/3)あるいはIn:Ga:Zn=2:2:1(=2/5:2/5:1/5)の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In:Sn:Zn=1:1:1(=1/3:1/3:1/3)、In:Sn:Zn=2:1:3(=1/3:1/6:1/2)あるいはIn:Sn:Zn=2:1:5(=1/4:1/8:5/8)の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

20

【0167】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0168】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度を得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0169】

なお、例えば、In、Ga、Znの原子数比がIn:Ga:Zn=a:b:c(a+b+c=1)である酸化物の組成が、原子数比がIn:Ga:Zn=A:B:C(A+B+C=1)の酸化物の組成の近傍であるとは、a、b、cが、

$$(a - A)^2 + (b - B)^2 + (c - C)^2 < r^2$$

を満たすことをいい、rは、例えば、0.05とすればよい。他の酸化物でも同様である。

30

【0170】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

40

【0171】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0172】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

50

【0173】

なお、Raは、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0174】

【数1】

$$Ra = \frac{1}{S_0} \int_{x_2}^{x_1} \int_{y_2}^{y_1} |f(x, y) - Z_0| dx dy$$

10

【0175】

なお、上記において、 S_0 は、測定面（座標 (x_1, y_1) 、 (x_1, y_2) 、 (x_2, y_1) 、 (x_2, y_2) ）で表される4点によって囲まれる長方形の領域の面積を指し、 Z_0 は測定面の平均高さを指す。Raは原子間力顕微鏡（AFM：Atomic Force Microscope）にて評価可能である。

【0176】

また、酸化物半導体層は、化学式 $InMO_3$ （ ZnO ） $_m$ （ $m > 0$ ）で表記される材料を用いた薄膜とすることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えば、Mとして、Ga、GaおよびAl、GaおよびMn、またはGaおよびCoなどを用いることができる。

20

【0177】

また、酸化物半導体層の厚さは、3nm以上30nm以下とするのが望ましい。酸化物半導体層を厚くしすぎると（例えば、膜厚を50nm以上）、トランジスタがノーマリーオンになってしまう恐れがあるためである。

【0178】

酸化物半導体層は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。例えば、スパッタリング法などを用いて作製することができる。

【0179】

また、酸化物半導体としてIn-Zn系酸化物材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$ （モル数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$ ）、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ （モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$ ）、さらに好ましくは $In : Zn = 15 : 1 \sim 1.5 : 1$ （モル数比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$ ）とする。例えば、In-Zn系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

30

【0180】

また、In-Sn-Zn系酸化物は、ITZOと呼ぶことができ、用いるターゲットの組成比は、 $In : Sn : Zn$ が原子数比で、 $1 : 2 : 2$ 、 $2 : 1 : 3$ 、 $1 : 1 : 1$ 、または $20 : 45 : 35$ などとする。

40

【0181】

本実施の形態では、酸化物半導体層を、In-Ga-Zn系の酸化物ターゲットを用いたスパッタリング法により形成する。

【0182】

In-Ga-Zn系の酸化物ターゲットとしては、例えば、組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol数比]の酸化物ターゲットを用いることができる。なお、ターゲットの材料および組成を上述に限定する必要はない。例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比]の組成比の酸化物ターゲットを用いることもできる。

【0183】

50

酸化物ターゲットの充填率は、90%以上100%以下、好ましくは95%以上99.9%以下とする。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができるためである。

【0184】

成膜の雰囲気は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【0185】

例えば、酸化物半導体層は、次のように形成することができる。

10

【0186】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、200 を超えて500 以下、好ましくは300 を超えて500 以下、より好ましくは350 以上450 以下となるように加熱する。

【0187】

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブレーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。

20

【0188】

成膜中の基板温度が低温（例えば、100 以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが望ましい。基板を上述の温度で加熱して、酸化物半導体層の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体層に取り込まれにくい。したがって、基板が上述の温度で加熱された状態で、酸化物半導体層の成膜を行うことにより、酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減することができる。

30

【0189】

成膜条件の一例として、基板とターゲットの間との距離を60mm、圧力を0.4Pa、直流（DC）電源を0.5kW、基板温度を400、成膜雰囲気を酸素（酸素流量比率100%）雰囲気とする。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるため望ましい。

【0190】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体層の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが望ましい。逆スパッタとは、基板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

40

【0191】

酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いても

50

よい。

【0192】

その後、酸化半導体層144に対して、熱処理（第1の熱処理）を行ってもよい。熱処理を行うことによって、酸化半導体層144中に含まれる水素原子を含む物質をさらに除去することができる。熱処理の温度は、不活性ガス雰囲気下、250以上700以下、好ましくは450以上600以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

10

【0193】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

【0194】

ところで、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化半導体層を島状に加工する前、ゲート絶縁層の形成後などのタイミングにおいて行うことも可能である。また、このような脱水処理、脱水素化処理は、一回に限らず複数回行ってもよい。

20

【0195】

次に、酸化半導体層144などの上に、ソース電極およびドレイン電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ソース電極142a、ドレイン電極142bを形成する（図9（B）参照）。

【0196】

導電層は、PVD法や、CVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせさせた材料を用いてもよい。

30

【0197】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極142aおよびドレイン電極142bへの加工が容易であるというメリットがある。

【0198】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ化合物（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する場合がある）、酸化インジウム酸化亜鉛化合物（ $\text{In}_2\text{O}_3 - \text{ZnO}$ ）、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

40

【0199】

導電層のエッチングは、形成されるソース電極142aおよびドレイン電極142bの端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、30°以上60°以下であることが好ましい。ソース電極142a、ドレイン電極142bの端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート

50

絶縁層 146 の被覆性を向上し、段切れを防止することができる。

【0200】

上部のトランジスタのチャネル長(L)は、ソース電極 142a、およびドレイン電極 142b の下端部の間隔によって決定される。なお、チャネル長(L)が 25nm 未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm~数10nm と波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、10nm 以上 1000nm(1 μ m)以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

10

【0201】

また、図9(B)とは別の一例として、酸化物半導体層 144 とソース電極およびドレイン電極との間に、ソース領域およびドレイン領域として酸化物導電層を設けることができる。酸化物導電層の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電層として、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

【0202】

例えば、酸化物半導体層 144 上に酸化物導電膜を形成し、その上に導電層を形成し、酸化物導電膜および導電層を同じフォトリソグラフィ工程によって加工して、ソース領域およびドレイン領域となる酸化物導電層、ソース電極 142a、ドレイン電極 142b を形成することができる。

20

【0203】

また、酸化物半導体膜と酸化物導電膜の積層を形成し、酸化物半導体膜と酸化物導電膜との積層を同じフォトリソグラフィ工程によって形状を加工して島状の酸化物半導体層 144 と酸化物導電膜を形成してもよい。ソース電極 142a、ドレイン電極 142b を形成した後、ソース電極 142a、ドレイン電極 142b をマスクとして、さらに島状の酸化物導電膜をエッチングし、ソース領域およびドレイン領域となる酸化物導電層を形成することもできる。

【0204】

なお、酸化物導電層の形状を加工するためのエッチング処理の際、酸化物半導体層が過剰にエッチングされないように、エッチング条件(エッチング剤の種類、濃度、エッチング時間等)を適宜調整する。

30

【0205】

酸化物導電層を酸化物半導体層とソース電極及びドレイン電極との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタの高速動作を可能にすることができる。また、酸化物半導体層 144、酸化物導電層、金属材料からなるドレイン電極の構成とすることによって、よりトランジスタの耐圧を向上させることができる。

【0206】

ソース領域及びドレイン領域として酸化物導電層を用いることは、周辺回路(駆動回路)の周波数特性を向上させるために有効である。金属電極(モリブデン、タングステン等)と酸化物半導体層との接触に比べ、金属電極(モリブデン、タングステン等)と酸化物導電層との接触は、接触抵抗を下げるからである。酸化物半導体層とソース電極及びドレイン電極との間に酸化物導電層を介在させることで接触抵抗を低減でき、周辺回路(駆動回路)の周波数特性を向上させることができる。

40

【0207】

次に、ソース電極 142a、ドレイン電極 142b を覆い、かつ、酸化物半導体層 144 の一部と接するように、ゲート絶縁層 146 を形成する(図9(C)参照)。

【0208】

50

ゲート絶縁層146は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化ガリウム、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_yN_z$ ($x > 0$, $y > 0$, $z > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_yN_z$ ($x > 0$, $y > 0$, $z > 0$))、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、上記の材料を組み合わせる積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

10

【0209】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_yN_z$ ($x > 0$, $y > 0$, $z > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_yN_z$ ($x > 0$, $y > 0$, $z > 0$))、などの高誘電率(*high-k*)材料を用いると良い。*high-k*材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、*high-k*材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

20

【0210】

また、酸化物半導体層144に接する絶縁層(本実施の形態においては、ゲート絶縁層146)は、第13族元素および酸素を含む絶縁材料としてもよい。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁層に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【0211】

第13族元素を含む絶縁材料とは、絶縁材料に一または複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

30

【0212】

例えば、ガリウムを含有する酸化物半導体層に接してゲート絶縁層を形成する場合に、ゲート絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体層とゲート絶縁層の界面特性を良好に保つことができる。また、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のピルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

40

【0213】

また、酸化物半導体層144に接する絶縁層は、酸素雰囲気下による熱処理や、酸素ドーブなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーブとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸

50

素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法またはイオンドーピング法を用いて行ってもよい。

【0214】

例えば、酸化物半導体層144に接する絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を Ga_2O_x ($X = 3 + \delta$ 、 $0 < \delta < 1$)とすることができる。また、酸化物半導体層144に接する絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_x ($X = 3 + \delta$ 、 $0 < \delta < 1$)とすることができる。または、酸化物半導体層144に接する絶縁層として酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を用いた場合、酸素雰囲気下での熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム(酸化アルミニウムガリウム)の組成を $Ga_xAl_{2-x}O_3 + \delta$ ($0 < X < 2$ 、 $0 < \delta < 1$)とすることができる。

10

【0215】

酸素ドーピング処理等を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素不足欠陥を低減することができる。

【0216】

なお、化学量論的組成比より酸素が多い領域を有する絶縁層は、ゲート絶縁層146に代えて、酸化物半導体層144の下地膜として形成する絶縁層に適用しても良く、ゲート絶縁層146および下地膜の双方に適用しても良い。

20

【0217】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことにより、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、脱水化または脱水素化処理後の酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、*i*型(真性半導体)または*i*型に限りなく近い酸化物半導体層を形成することもできる。

30

【0218】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。

【0219】

次に、ゲート電極(これと同じ層で形成される配線を含む)を形成するための導電層を形成し、当該導電層を加工して、ゲート電極148aおよび導電層148bを形成する(図9(D)参照)。

40

【0220】

ゲート電極148aおよび導電層148bは、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。なお、ゲート電極148aおよび導電層148bは、単層構造としても良いし、積層構造としても良い。

【0221】

次に、ゲート絶縁層146、ゲート電極148a、および導電層148b上に、絶縁層150を形成する(図10(A)参照)。絶縁層150は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成す

50

ることができる。なお、絶縁層 150 には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁層 150 の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁層 150 の単層構造としているが、開示する発明の一態様はこれに限定されず、2 層以上の積層構造としても良い。

【0222】

次に、ゲート絶縁層 146、絶縁層 150 に、ソース電極 142 a にまで達する開口を形成する。その後、絶縁層 150 上にソース電極 142 a と接する配線 154 を形成する（図 10（B）参照）。なお、当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

10

【0223】

配線 154 は、PVD 法や、CVD 法を用いて導電層を形成した後、当該導電層をパターニングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、ネオジウム、スカンジウムのいずれか、またはこれらを複数組み合わせる材料を用いてもよい。

【0224】

より具体的には、例えば、絶縁層 150 の開口を含む領域に PVD 法によりチタン膜を薄く（5 nm 程度）形成し、PVD 法によりチタン膜を形成した後に、開口に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここではソース電極 142 a）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

20

【0225】

絶縁層 150 に形成する開口は、導電層 128 b と重畳する領域に形成することが望ましい。このような領域に開口を形成することで、コンタクト領域に起因する素子面積の増大を抑制することができる。

【0226】

ここで、導電層 128 b を用いずに、不純物領域 126 とソース電極 142 a との接続部と、ソース電極 142 a と配線 154 との接続部とを重畳させる場合について説明する。この場合、不純物領域 126 上に形成された絶縁層 136、絶縁層 138 および絶縁層 140 に開口（下部のコンタクトと呼ぶ）を形成し、下部のコンタクトにソース電極 142 a を形成した後、ゲート絶縁層 146 および絶縁層 150 において、下部のコンタクトと重畳する領域に開口（上部のコンタクトと呼ぶ）を形成し、配線 154 を形成することになる。下部のコンタクトと重畳する領域に上部のコンタクトを形成する際に、エッチングにより下部のコンタクトに形成されたソース電極 142 a が断線してしまうおそれがある。これを避けるために、下部のコンタクトと上部のコンタクトが重畳しないように形成することにより、素子面積が増大するという問題がおこる。

30

40

【0227】

本実施の形態に示すように、導電層 128 b を用いることにより、ソース電極 142 a を断線させることなく、上部のコンタクトの形成が可能となる。これにより、下部のコンタクトと上部のコンタクトを重畳させて設けることができるため、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

【0228】

次に、配線 154 を覆うように絶縁層 156 を形成する（図 10（C）参照）。

【0229】

以上により、高純度化された酸化物半導体層 144 を用いたトランジスタ 162、および

50

容量素子 164 が完成する (図 10 (C) 参照) 。

【 0 2 3 0 】

本実施の形態において示すトランジスタ 162 では、酸化物半導体層 144 が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層 144 のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度 ($1 \times 10^{14} / \text{cm}^3$ 程度) と比較して、十分に小さい値 (例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満) をとる。そして、オフ電流も十分に小さくなる。例えば、トランジスタ 162 の室温 (25) でのオフ電流 (ここでは、単位チャネル幅 (1 μm) あたりの値) は 100 zA (1 zA (ゼプトアンペア) は $1 \times 10^{-21} \text{ A}$) 以下、望ましくは 10 zA 以下となる。

10

【 0 2 3 1 】

このように高純度化され、真性化された酸化物半導体層 144 を用いることで、トランジスタのオフ電流を十分に低減することが容易になる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【 0 2 3 2 】

また、本実施の形態において示す半導体装置では、配線を共通化することも可能であり、集積度が十分に高められた半導体装置を実現することができる。

【 0 2 3 3 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

20

【 0 2 3 4 】

(実施の形態 3)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図 11 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機 (携帯電話、携帯電話装置ともいう)、携帯情報端末 (携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラなどのカメラ、電子ペーパー、テレビジョン装置 (テレビ、またはテレビジョン受信機ともいう) などの電子機器に、上述の半導体装置を適用する場合について説明する。

30

【 0 2 3 5 】

図 11 (A) は、ノート型のパーソナルコンピュータであり、筐体 701、筐体 702、表示部 703、キーボード 704 などによって構成されている。筐体 701 と筐体 702 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【 0 2 3 6 】

図 11 (B) は、携帯情報端末 (PDA) であり、本体 711 には、表示部 713 と、外部インターフェイス 715 と、操作ボタン 714 等が設けられている。また、携帯情報端末を操作するスタイラス 712 などを備えている。本体 711 内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

40

【 0 2 3 7 】

図 11 (C) は、電子ペーパーを実装した電子書籍 720 であり、筐体 721 と筐体 723 の 2 つの筐体で構成されている。筐体 721 および筐体 723 には、それぞれ表示部 725 および表示部 727 が設けられている。筐体 721 と筐体 723 は、軸部 737 により接続されており、該軸部 737 を軸として開閉動作を行うことができる。また、筐体 721 は、電源 731、操作キー 733、スピーカー 735 などを備えている。筐体 721、筐体 723 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。

50

そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【0238】

図11(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図11(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、操作キー745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

10

【0239】

図11(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

20

【0240】

図11(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【0241】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

30

【0242】

(実施の形態4)

本実施の形態では、上記実施の形態1乃至3で述べた半導体材料として酸化物半導体を用いたトランジスタについて、詳しく説明する。具体的には、酸化物半導体として、c軸配向し、かつab面、表面または界面の方向から見て三角形または六角形状の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる(c軸を中心に回転した)結晶(CAAC: C Axis Aligned Crystalともいう。)を含む酸化物について説明する。

【0243】

CAACを含む酸化物とは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

40

【0244】

CAACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAACは結晶化した部分(結晶部分)を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0245】

CAACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAACを構成する個々の結晶部分のc軸は一定の方向(例えば、CAACを支持する基板面、C

50

A A Cの表面などに垂直な方向)に揃っていてもよい。または、C A A Cを構成する個々の結晶部分のa b面の法線は一定の方向(例えば、C A A Cを支持する基板面、C A A Cの表面などに垂直な方向)を向いていてもよい。

【0246】

C A A Cは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0247】

このようなC A A Cの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子(または窒素原子)の層状配列が認められる結晶を挙げることもできる。

10

【0248】

C A A Cに含まれる結晶構造の一例について図12乃至図14を用いて詳細に説明する。なお、特に断りがない限り、図12乃至図14は上方向をc軸方向とし、c軸方向と直交する面をa b面とする。なお、単に上半分、下半分という場合、a b面を境にした場合の上半分、下半分をいう。

【0249】

図12(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子(以下4配位のO)と、を有する構造を示す。ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図12(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図12(A)の上半分および下半分にはそれぞれ3個ずつ4配位のOがある。図12(A)に示す小グループは電荷が0である。

20

【0250】

図12(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子(以下3配位のO)と、Gaに近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもa b面に存在する。図12(B)の上半分および下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図12(B)に示す構造をとりうる。図12(B)に示す小グループは電荷が0である。

【0251】

図12(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図12(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図12(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあってもよい。図12(C)に示す小グループは電荷が0である。

30

【0252】

図12(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造を示す。図12(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図12(D)に示す小グループは電荷が+1となる。

【0253】

図12(E)に、2個のZnを含む小グループを示す。図12(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図12(E)に示す小グループは電荷が-1となる。

40

【0254】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ(ユニットセルともいう。)と呼ぶ。

【0255】

ここで、これらの小グループ同士が結合する規則について説明する。図12(A)に示す6配位のInの上半分の3個のOは、下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Inを有する。5配位のGaの上半分の1個のOは、下方向に1個の近接Gaを有し、下半分の1個のOは、上方向に1個の近接Gaを

50

有する。4配位の Zn の上半分の1個の O は下方向に1個の近接 Zn を有し、下半分の3個の O は、上方向にそれぞれ3個の近接 Zn を有する。このように、金属原子の上方向の4配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位の O の数と、その O の上方向にある近接金属原子の数は等しい。 O は4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。したがって金属原子の上方向にある4配位の O の数と、別の金属原子の下方向にある4配位の O の数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子(In または Sn)が下半分の4配位の O を介して結合する場合、4配位の O が3個であるため、5配位の金属原子(Ga または In)または4配位の金属原子(Zn)のいずれかと結合することになる。

10

【0256】

これらの配位数を有する金属原子は、 c 軸方向において、4配位の O を介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0257】

図13(A)に、 $In-Sn-Zn-O$ 系の層構造を構成する中グループのモデル図を示す。図13(B)に、3つの中グループで構成される大グループを示す。なお、図13(C)は、図13(B)の層構造を c 軸方向から観察した場合の原子配列を示す。

【0258】

図13(A)においては、簡単のため、3配位の O は省略し、4配位の O は個数のみ示し、例えば、 Sn の上半分および下半分にはそれぞれ3個ずつ4配位の O があることを丸棒の3として示している。同様に、図13(A)において、 In の上半分および下半分にはそれぞれ1個ずつ4配位の O があり、丸棒の1として示している。また、同様に、図13(A)において、下半分には1個の4配位の O があり、上半分には3個の4配位の O がある Zn と、上半分には1個の4配位の O があり、下半分には3個の4配位の O がある Zn とを示している。

20

【0259】

図13(A)において、 $In-Sn-Zn-O$ 系の層構造を構成する中グループは、上から順に4配位の O が3個ずつ上半分および下半分にある Sn が、4配位の O が1個ずつ上半分および下半分にある In と結合し、その In が、上半分に3個の4配位の O がある Zn と結合し、その Zn の下半分の1個の4配位の O を介して4配位の O が3個ずつ上半分および下半分にある In と結合し、その In が、上半分に1個の4配位の O がある Zn 2個からなる小グループと結合し、この小グループの下半分の1個の4配位の O を介して4配位の O が3個ずつ上半分および下半分にある Sn と結合している構成である。この中グループが複数結合して大グループを構成する。

30

【0260】

ここで、3配位の O および4配位の O の場合、結合1本当当たりの電荷はそれぞれ -0.667 、 -0.5 と考えることができる。例えば、 In (6配位または5配位)、 Zn (4配位)、 Sn (5配位または6配位)の電荷は、それぞれ $+3$ 、 $+2$ 、 $+4$ である。従って、 Sn を含む小グループは電荷が $+1$ となる。そのため、 Sn を含む層構造を形成するためには、電荷 $+1$ を打ち消す電荷 -1 が必要となる。電荷 -1 をとる構造として、図12(E)に示すように、2個の Zn を含む小グループが挙げられる。例えば、 Sn を含む小グループが1個に対し、2個の Zn を含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

40

【0261】

具体的には、図13(B)に示した大グループが繰り返されることで、 $In-Sn-Zn-O$ 系の結晶($In_2SnZn_3O_8$)を得ることができる。なお、得られる $In-Sn-Zn-O$ 系の層構造は、 $In_2SnZn_2O_7(ZnO)_m$ (m は0または自然数。)とする組成式で表すことができる。

【0262】

50

また、このほかにも、四元系金属の酸化物である $In - Sn - Ga - Zn$ 系酸化物や、三元系金属の酸化物である $In - Ga - Zn$ 系酸化物 ($IGZO$ とも表記する。)、 $In - Al - Zn$ 系酸化物、 $Sn - Ga - Zn$ 系酸化物、 $Al - Ga - Zn$ 系酸化物、 $Sn - Al - Zn$ 系酸化物や、 $In - Hf - Zn$ 系酸化物、 $In - La - Zn$ 系酸化物、 $In - Ce - Zn$ 系酸化物、 $In - Pr - Zn$ 系酸化物、 $In - Nd - Zn$ 系酸化物、 $In - Sm - Zn$ 系酸化物、 $In - Eu - Zn$ 系酸化物、 $In - Gd - Zn$ 系酸化物、 $In - Tb - Zn$ 系酸化物、 $In - Dy - Zn$ 系酸化物、 $In - Ho - Zn$ 系酸化物、 $In - Er - Zn$ 系酸化物、 $In - Tm - Zn$ 系酸化物、 $In - Yb - Zn$ 系酸化物、 $In - Lu - Zn$ 系酸化物や、二元系金属の酸化物である $In - Zn$ 系酸化物、 $Sn - Zn$ 系酸化物、 $Al - Zn$ 系酸化物、 $Zn - Mg$ 系酸化物、 $Sn - Mg$ 系酸化物、 $In - Mg$ 系酸化物や、 $In - Ga$ 系酸化物などを用いた場合も同様である。

10

【0263】

例えば、図14(A)に、 $In - Ga - Zn - O$ 系の層構造を構成する中グループのモデル図を示す。

【0264】

図14(A)において、 $In - Ga - Zn - O$ 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

20

【0265】

図14(B)に3つの中グループで構成される大グループを示す。なお、図14(C)は、図14(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0266】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0267】

また、 $In - Ga - Zn - O$ 系の層構造を構成する中グループは、図14(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

30

【0268】

(実施の形態5)

本実施の形態では、上記実施の形態1乃至4で述べた酸化物半導体をチャネル形成領域に用いたトランジスタの移動度について言及する。

【0269】

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

40

【0270】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、

【0271】

【数 2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0272】

と表現できる。ここで、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levins onモデルでは、

【0273】

【数 3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0274】

と表される。ここで、eは電気素量、Nはチャネル形成領域内の単位面積当たりの平均欠陥密度、 μ は半導体の誘電率、nは単位面積当たりのチャネル形成領域に含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、tはチャネル形成領域の厚さである。なお、厚さ30nm以下の半導体層であれば、チャネル形成領域の厚さは半導体層の厚さと同じとして差し支えない。

線形領域におけるドレイン電流 I_d は、

【0275】

【数 4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0276】

である。ここで、Lはチャネル長、Wはチャネル幅であり、ここでは、 $L = W = 10 \mu m$

である。また、 V_d はドレイン電圧である。

上式の両辺を V_g で割り、更に両辺の対数を取ると、

【0277】

【数 5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0278】

となる。数5の右辺は V_g の関数である。この式からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度Nが求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム(In)、スズ(Sn)、亜鉛(Zn)の比率が、 $In : Sn : Zn = 1 : 1 : 1$ のものでは欠陥密度Nは $1 \times 10^{12} / cm^2$ 程度である。

【0279】

このようにして求めた欠陥密度等をもとに数2および数3より $\mu_0 = 120 cm^2 / Vs$ が導出される。欠陥のあるIn-Sn-Zn酸化物で測定される移動度は $40 cm^2 / Vs$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 cm^2 / Vs$ となると予想できる。

10

20

30

40

50

【0280】

ただし、半導体内部に欠陥がなくても、チャンネル形成領域とゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁層界面からxだけ離れた場所における移動度 μ_1 は、

【0281】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

10

【0282】

で表される。ここで、Dはゲート方向の電界、B、lは定数である。Bおよびlは、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $l = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。Dが増加する（すなわち、ゲート電圧が高くなる）と数6の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0283】

半導体内部の欠陥が無い理想的な酸化物半導体をチャンネル形成領域に用いたトランジスタの移動度 μ_2 を計算した結果を図15に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15 nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

20

【0284】

さらに、ゲート電極、ソース電極、ドレイン電極の仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁層の厚さは100 nm、比誘電率は4.1とした。チャンネル長およびチャンネル幅はともに10 μm 、ドレイン電圧 V_d は0.1 Vである。

【0285】

図15で示されるように、ゲート電圧1 V強で移動度100 cm^2/Vs 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。

30

【0286】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図16乃至図18に示す。なお、計算に用いたトランジスタの断面構造を図19に示す。図19に示すトランジスタは酸化物半導体層に n^+ の導電性を呈する半導体領域103 aおよび半導体領域103 cを有する。半導体領域103 aおよび半導体領域103 cの抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

【0287】

図19(A)に示すトランジスタは、下地絶縁膜101と、下地絶縁膜101に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物102の上に形成される。トランジスタは半導体領域103 a、半導体領域103 cと、それらに挟まれ、チャンネル形成領域となる真性の半導体領域103 bと、ゲート電極105を有する。ゲート電極105の幅を33 nmとする。

40

【0288】

ゲート電極105と半導体領域103 bの間には、ゲート絶縁層104を有し、また、ゲート電極105の両側面には側壁絶縁物106 aおよび側壁絶縁物106 b、ゲート電極105の上部には、ゲート電極105と他の配線との短絡を防止するための絶縁物107を有する。側壁絶縁物の幅は5 nmとする。また、半導体領域103 aおよび半導体領域103 cに接して、ソース電極108 aおよびドレイン電極108 bを有する。なお、こ

50

のトランジスタにおけるチャンネル幅を40 nmとする。

【0289】

図19(B)に示すトランジスタは、下地絶縁膜101と、酸化アルミニウムよりなる埋め込み絶縁物102の上に形成され、半導体領域103a、半導体領域103cと、それらに挟まれた真性の半導体領域103bと、幅33 nmのゲート電極105とゲート絶縁層104と側壁絶縁物106aおよび側壁絶縁物106bと絶縁物107とソース電極108aおよびドレイン電極108bを有する点で図19(A)に示すトランジスタと同じである。

【0290】

図19(A)に示すトランジスタと図19(B)に示すトランジスタの相違点は、側壁絶縁物106aおよび側壁絶縁物106bの下の半導体領域の導電型である。図19(A)に示すトランジスタでは、側壁絶縁物106aおよび側壁絶縁物106bの下の半導体領域は n^+ の導電型を呈する半導体領域103aおよび半導体領域103cであるが、図19(B)に示すトランジスタでは、真性の半導体領域103bである。すなわち、図19(B)に示す半導体層において、半導体領域103a(半導体領域103c)とゲート電極105が L_{off} だけ重ならない領域ができています。この領域をオフセット領域といい、その幅 L_{off} をオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物106a(側壁絶縁物106b)の幅と同じである。

10

【0291】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用した。図16は、図19(A)に示される構造のトランジスタのドレイン電流(I_d 、実線)および移動度(μ 、点線)のゲート電極電圧(V_g 、ゲート電極とソースの電位差)依存性を示す。ドレイン電流 I_d は、ドレイン電圧(ドレインとソースの電位差)を+1 Vとし、移動度 μ はドレイン電圧を+0.1 Vとして計算したものである。

20

【0292】

図16(A)はゲート絶縁層の厚さを15 nmとしたものであり、図16(B)は10 nmとしたものであり、図16(C)は5 nmとしたものである。ゲート絶縁層が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流)が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流)には目立った変化が無い。ゲート電圧1 V前後で、ドレイン電流はメモリセルで用いられるトランジスタ等で必要とされる10 μ Aを超えることが示された。

30

【0293】

図17は、図19(B)に示される構造のトランジスタで、オフセット長 L_{off} を5 nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1 Vとし、移動度 μ はドレイン電圧を+0.1 Vとして計算したものである。図17(A)はゲート絶縁層の厚さを15 nmとしたものであり、図17(B)は10 nmとしたものであり、図17(C)は5 nmとしたものである。

40

【0294】

また、図18は、図19(B)に示される構造のトランジスタで、オフセット長 L_{off} を15 nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1 Vとし、移動度 μ はドレイン電圧を+0.1 Vとして計算したものである。図18(A)はゲート絶縁層の厚さを15 nmとしたものであり、図18(B)は10 nmとしたものであり、図18(C)は5 nmとしたものである。

【0295】

いずれもゲート絶縁層が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0296】

50

なお、移動度 μ のピークは、図16では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図17では $60\text{ cm}^2/\text{Vs}$ 程度、図18では $40\text{ cm}^2/\text{Vs}$ 程度と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流もオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧 1 V 前後で、ドレイン電流はメモリセルで用いられるトランジスタ等で必要とされる $10\text{ }\mu\text{A}$ を超えることが示された。

【0297】

(実施の形態6)

上記実施の形態1乃至5で示した、 In 、 Sn 、 Zn を主成分とする酸化物半導体をチャンネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で $5\text{ atomic}\%$ 以上含まれる元素をいう。

10

【0298】

In 、 Sn 、 Zn を主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

【0299】

例えば、図20(A)乃至図20(C)は、 In 、 Sn 、 Zn を主成分とし、チャンネル長 L が $3\text{ }\mu\text{m}$ 、チャンネル幅 W が $10\text{ }\mu\text{m}$ である酸化物半導体膜と、厚さ 100 nm のゲート絶縁層を用いたトランジスタの特性である。なお、 V_{d} は 10 V とした。

20

【0300】

図20(A)は基板を意図的に加熱せずにスパッタリング法で In 、 Sn 、 Zn を主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は $18.8\text{ cm}^2/\text{Vs}$ が得られている。一方、基板を意図的に加熱して In 、 Sn 、 Zn を主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図20(B)は基板を 200 に加熱して In 、 Sn 、 Zn を主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は $32.2\text{ cm}^2/\text{Vs}$ が得られている。

【0301】

電界効果移動度は、 In 、 Sn 、 Zn を主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図20(C)は、 In 、 Sn 、 Zn を主成分とする酸化物半導体膜を 200 でスパッタリング成膜した後、 650 で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は $34.5\text{ cm}^2/\text{Vs}$ が得られている。

30

【0302】

基板を意図的に加熱することでスパッタリング成膜中に水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には $100\text{ cm}^2/\text{Vs}$ を超える電界効果移動度を実現することも可能になると推定される。

40

【0303】

In 、 Sn 、 Zn を主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0304】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界

50

効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることに寄与している。基板を意図的に加熱しないで形成された I_n 、 S_n 、 Z_n を主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図 20 (A) と図 20 (B) の対比からも確認することができる。

【0305】

なお、しきい値電圧は I_n 、 S_n 及び Z_n の比率を変えることによっても制御することが可能であり、組成比として $I_n : S_n : Z_n = 2 : 1 : 3$ とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比を $I_n : S_n : Z_n = 2 : 1 : 3$ とすることで結晶性の高い酸化物半導体膜を得ることができる。

10

【0306】

意図的な基板加熱温度若しくは熱処理温度は、150 以上、好ましくは 200 以上、より好ましくは 400 以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0307】

また、意図的に基板を加熱した成膜及び / 又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、 2 MV/cm 、150、1 時間印加の条件において、ドリフトがそれぞれ $\pm 1.5 \text{ V}$ 未満、好ましくは 1.0 V 未満を得ることができる。

20

【0308】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料 1 のトランジスタと、650 の加熱処理を行った試料 2 のトランジスタに対して BT 試験を行った。

【0309】

まず基板温度を 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。なお、 V_d はドレイン電圧 (ドレインとソースの電位差) を示す。次に、基板温度を 150 とし、 V_d を 0.1 V とした。次に、ゲート絶縁層 608 に印加される電界強度が 2 MV/cm となるように V_g に 20 V を印加し、そのまま 1 時間保持した。次に、 V_g を 0 V とした。次に、基板温度 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行った。これをプラス BT 試験と呼ぶ。

30

【0310】

同様に、まず基板温度を 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150 とし、 V_d を 0.1 V とした。次に、ゲート絶縁層 608 に印加される電界強度が -2 MV/cm となるように V_g に -20 V を印加し、そのまま 1 時間保持した。次に、 V_g を 0 V とした。次に、基板温度 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナス BT 試験と呼ぶ。

【0311】

試料 1 のプラス BT 試験の結果を図 21 (A) に、マイナス BT 試験の結果を図 21 (B) に示す。また、試料 2 のプラス BT 試験の結果を図 22 (A) に、マイナス BT 試験の結果を図 22 (B) に示す。

40

【0312】

試料 1 のプラス BT 試験およびマイナス BT 試験によるしきい値電圧の変動は、それぞれ 1.80 V および -0.42 V であった。また、試料 2 のプラス BT 試験およびマイナス BT 試験によるしきい値電圧の変動は、それぞれ 0.79 V および 0.76 V であった。試料 1 および試料 2 のいずれも、BT 試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【0313】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧

50

下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【0314】

酸化物半導体中及び該酸化物半導体と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

10

【0315】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折 (XRD: X-Ray Diffraction) でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば650の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0316】

実際に、 $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

20

【0317】

XRD分析を行った試料として、試料Aおよび試料Bを用意した。以下に試料Aおよび試料Bの作製方法を説明する。

【0318】

脱水素化処理済みの石英基板上に $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜を100nmの厚さで成膜した。

【0319】

$\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜は、スパッタリング装置を用い、酸素雰囲気中で電力を100W (DC)として成膜した。ターゲットは、原子数比で、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ の $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ ターゲットを用いた。なお、成膜時の基板加熱温度は200とした。このようにして作製した試料を試料Aとした。

30

【0320】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を650の温度で行った。加熱処理は、はじめに窒素雰囲気中で1時間の加熱処理を行い、温度を下げずに酸素雰囲気中でさらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。

【0321】

図25に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、2θが35deg近傍および37deg~38degに結晶由来のピークが観測された。

40

【0322】

このように、In、Sn、Znを主成分とする酸化物半導体は成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0323】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含まないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによ

50

ってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を $1 \text{ a A} / \mu\text{m}$ 以下にすることができる。ここで、上記オフ電流値の単位は、チャンネル幅 $1 \mu\text{m}$ あたりの電流値を示す。

【0324】

図26に、トランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に 1000 を掛けた数値（ $1000/T$ ）を横軸としている。

【0325】

具体的には、図26に示すように、基板温度が 125 （ 398.15 K ）の場合には、 $1 \text{ a A} / \mu\text{m}$ （ $1 \times 10^{-18} \text{ A} / \mu\text{m}$ ）以下、基板温度が 85 （ 358.15 K ）の場合には、 $100 \text{ z A} / \mu\text{m}$ （ $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ）以下、基板温度が室温（ 27 、 300.15 K ）の場合には、 $1 \text{ z A} / \mu\text{m}$ （ $1 \times 10^{-21} \text{ A} / \mu\text{m}$ ）以下にすることができる。好ましくは、基板温度が 125 において $0.1 \text{ a A} / \mu\text{m}$ （ $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ）以下に、 85 において $10 \text{ z A} / \mu\text{m}$ （ $1 \times 10^{-20} \text{ A} / \mu\text{m}$ ）以下に、室温において $0.1 \text{ z A} / \mu\text{m}$ （ $1 \times 10^{-22} \text{ A} / \mu\text{m}$ ）以下にすることができる。

【0326】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点 -70 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。 In 、 Sn 、 Zn を主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、 In 、 Ga 、 Zn を主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0327】

また、酸化物半導体膜成膜後に 650 の加熱処理を行った試料Bを用いたトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0328】

測定に用いたトランジスタは、チャンネル長 L が $3 \mu\text{m}$ 、チャンネル幅 W が $10 \mu\text{m}$ 、 L_{ov} が $0 \mu\text{m}$ 、 dW が $0 \mu\text{m}$ である。なお、 V_d は 10 V とした。なお、基板温度は -40 、 -25 、 25 、 75 、 125 および 150 で行った。ここで、トランジスタにおいて、ゲート電極と一对の電極との重畳する幅を L_{ov} と呼び、酸化物半導体膜に対する一对の電極のはみ出しを dW と呼ぶ。

【0329】

図23に、 I_d （実線）および電界効果移動度（点線）の V_g 依存性を示す。また、図24（A）に基板温度としきい値電圧の関係を、図24（B）に基板温度と電界効果移動度の関係を示す。

【0330】

図24（A）より、基板温度が高いほどしきい値電圧は低くなるのがわかる。なお、その範囲は $-40 \sim 150$ で $1.09 \text{ V} \sim -0.23 \text{ V}$ であった。

【0331】

また、図24（B）より、基板温度が高いほど電界効果移動度が低くなるのがわかる。なお、その範囲は $-40 \sim 150$ で $36 \text{ cm}^2 / \text{Vs} \sim 32 \text{ cm}^2 / \text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0332】

上記のような In 、 Sn 、 Zn を主成分とする酸化物半導体をチャンネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ a A} / \mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2 / \text{Vs}$ 以上、好ましくは $40 \text{ cm}^2 / \text{Vs}$ 以上、より好ましくは $60 \text{ cm}^2 / \text{Vs}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$ のFETで、ゲート電圧 2.7 V 、ドレイン電圧 1.0 V の

とき $12 \mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si 半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

【実施例 1】

【0333】

本実施例では、In-Sn-Zn-O 膜を酸化物半導体膜に用いたトランジスタの一例について、図 27 などを用いて説明する。

【0334】

図 27 は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図 27 (A) にトランジスタの上面図を示す。また、図 27 (B) に図 27 (A) の一点鎖線 A-B に対応する断面 A-B を示す。

10

【0335】

図 27 (B) に示すトランジスタは、基板 1100 と、基板 1100 上に設けられた下地絶縁膜 1102 と、下地絶縁膜 1102 の周辺に設けられた保護絶縁膜 1104 と、下地絶縁膜 1102 および保護絶縁膜 1104 上に設けられた高抵抗領域 1106a および低抵抗領域 1106b を有する酸化物半導体膜 1106 と、酸化物半導体膜 1106 上に設けられたゲート絶縁層 1108 と、ゲート絶縁層 1108 を介して酸化物半導体膜 1106 と重畳して設けられたゲート電極 1110 と、ゲート電極 1110 の側面と接して設けられた側壁絶縁膜 1112 と、少なくとも低抵抗領域 1106b と接して設けられた一対の電極 1114 と、少なくとも酸化物半導体膜 1106、ゲート電極 1110 および一対の電極 1114 を覆って設けられた層間絶縁膜 1116 と、層間絶縁膜 1116 に設けられた開口部を介して少なくとも一対の電極 1114 の一方と接続して設けられた配線 1118 と、を有する。

20

【0336】

なお、図示しないが、層間絶縁膜 1116 および配線 1118 を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜 1116 の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

30

【実施例 2】

【0337】

本実施例では、上記とは異なる In-Sn-Zn-O 膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。

【0338】

図 28 は、本実施例で作製したトランジスタの構造を示す上面図および断面図である。図 28 (A) はトランジスタの上面図である。また、図 28 (B) は図 28 (A) の一点鎖線 A-B に対応する断面図である。

【0339】

図 28 (B) に示すトランジスタは、基板 600 と、基板 600 上に設けられた下地絶縁膜 602 と、下地絶縁膜 602 上に設けられた酸化物半導体膜 606 と、酸化物半導体膜 606 と接する一対の電極 614 と、酸化物半導体膜 606 および一対の電極 614 上に設けられたゲート絶縁層 608 と、ゲート絶縁層 608 を介して酸化物半導体膜 606 と重畳して設けられたゲート電極 610 と、ゲート絶縁層 608 およびゲート電極 610 を覆って設けられた層間絶縁膜 616 と、層間絶縁膜 616 に設けられた開口部を介して一対の電極 614 と接続する配線 618 と、層間絶縁膜 616 および配線 618 を覆って設けられた保護膜 620 と、を有する。

40

【0340】

基板 600 としてはガラス基板を、下地絶縁膜 602 としては酸化シリコン膜を、酸化物半導体膜 606 としては In-Sn-Zn-O 膜を、一対の電極 614 としてはタンクス

50

テン膜を、ゲート絶縁層 608 としては酸化シリコン膜を、ゲート電極 610 としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜 616 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 618 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 620 としてはポリイミド膜を、それぞれ用いた。

【0341】

なお、図 28 (A) に示す構造のトランジスタにおいて、ゲート電極 610 と一对の電極 614 との重畳する幅を L_{ov} と呼ぶ。同様に、酸化物半導体膜 606 に対する一对の電極 614 のはみ出しを dW と呼ぶ。

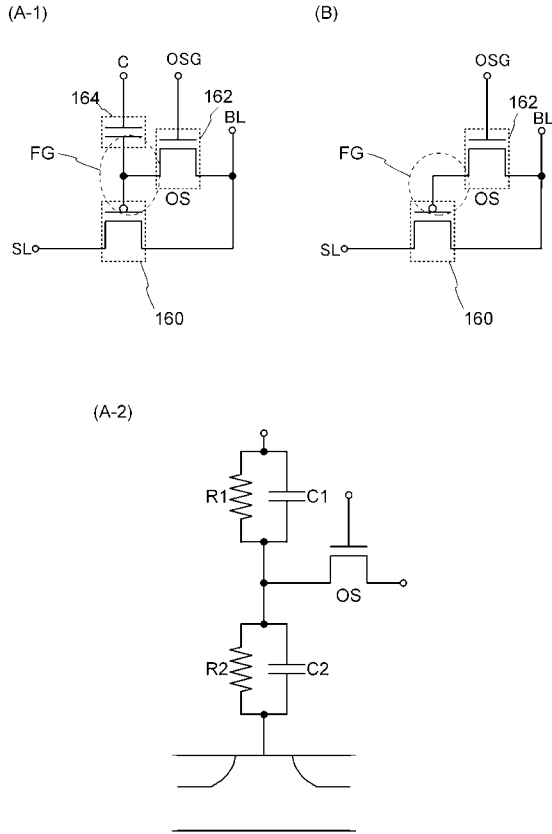
【符号の説明】

【0342】

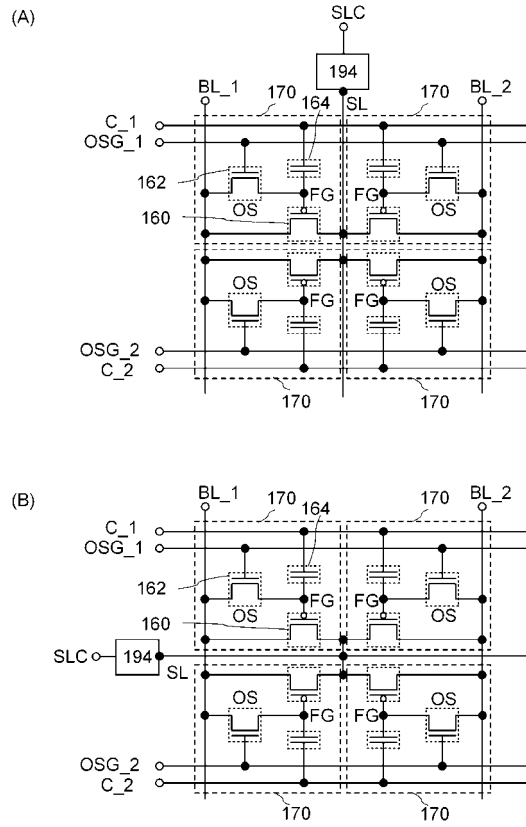
120	半導体層	
122	絶縁層	
122 a	ゲート絶縁層	
124	マスク	
126	不純物領域	
128 a	ゲート電極	
128 b	導電層	
130	不純物領域	
132	不純物領域	20
134	チャンネル形成領域	
136	絶縁層	
138	絶縁層	
140	絶縁層	
142 a	ソース電極	
142 b	ドレイン電極	
144	酸化物半導体層	
146	ゲート絶縁層	
148 a	ゲート電極	
148 b	導電層	30
150	絶縁層	
154	配線	
156	絶縁層	
160	トランジスタ	
162	トランジスタ	
164	容量素子	
170	メモリセル	
180	昇圧回路	
182	駆動回路	
184	駆動回路	40
186	駆動回路	
190	駆動回路	
192	駆動回路	
194	ソース線切り替え回路	
500	半導体基板	
510	単結晶半導体基板	
512	酸化膜	
514	脆化領域	
516	単結晶半導体層	
518	単結晶半導体層	50

7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	10
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	20
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	30
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	40

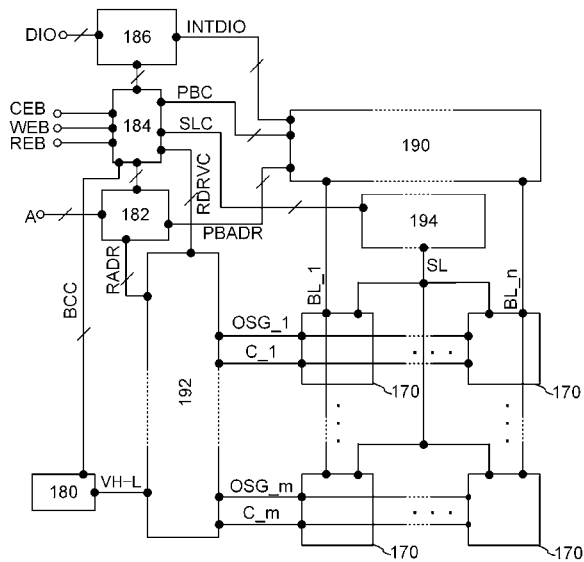
【 図 1 】



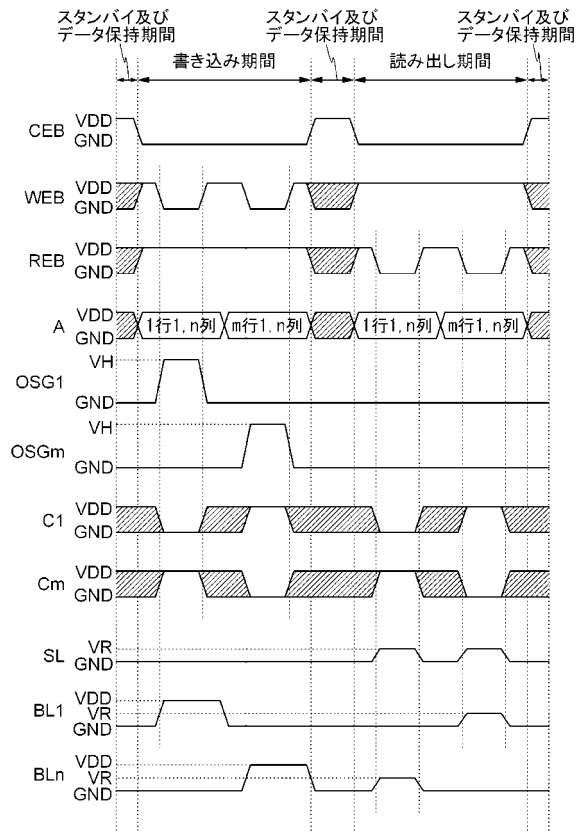
【 図 2 】



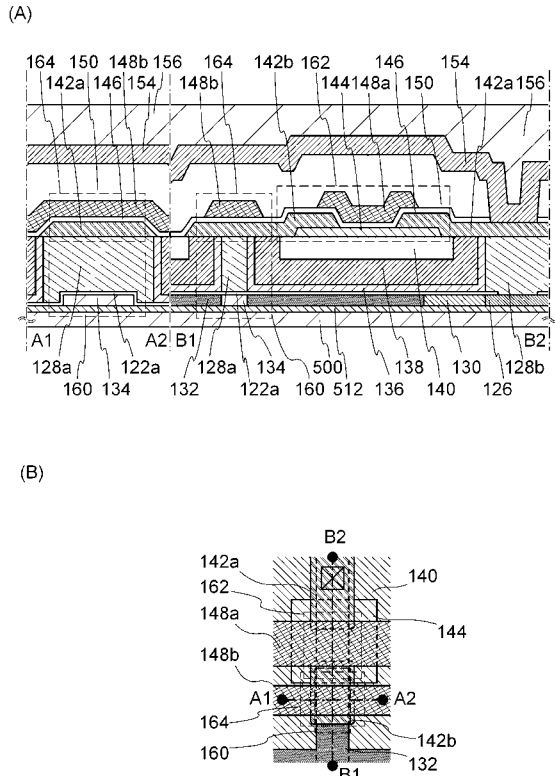
【 図 3 】



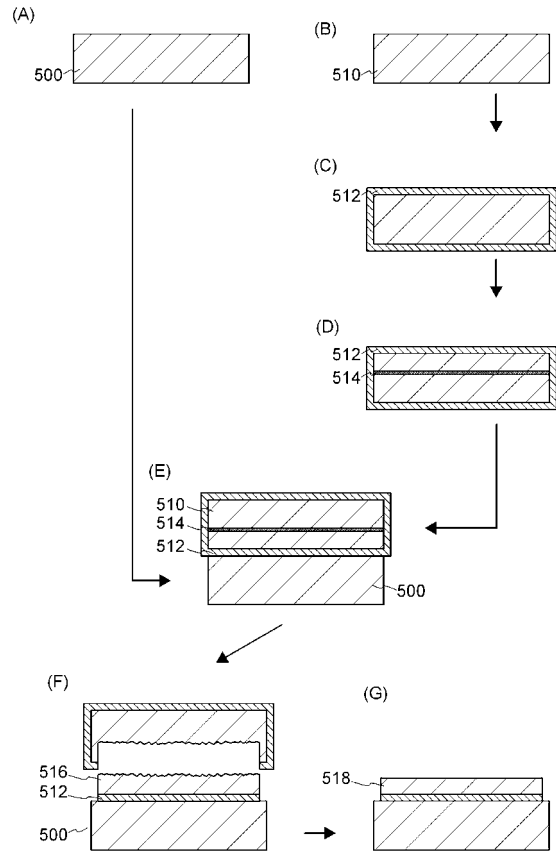
【 図 4 】



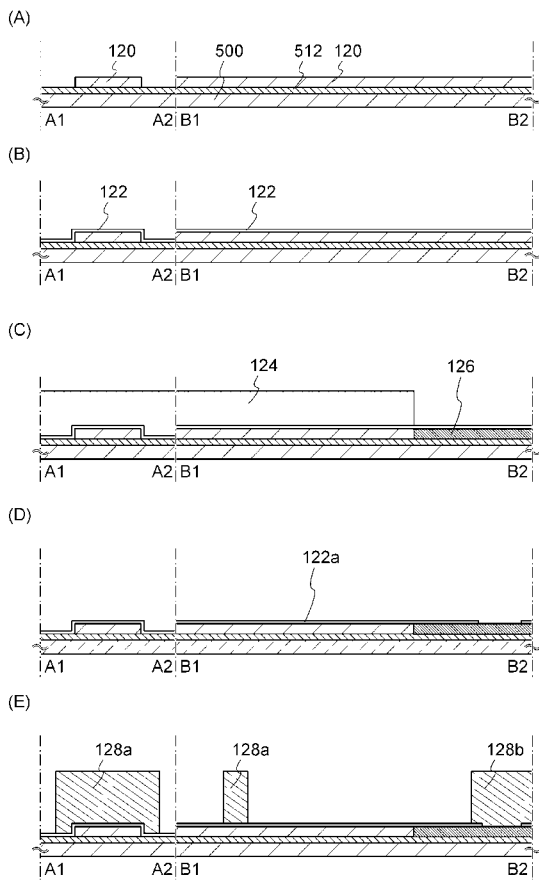
【 図 5 】



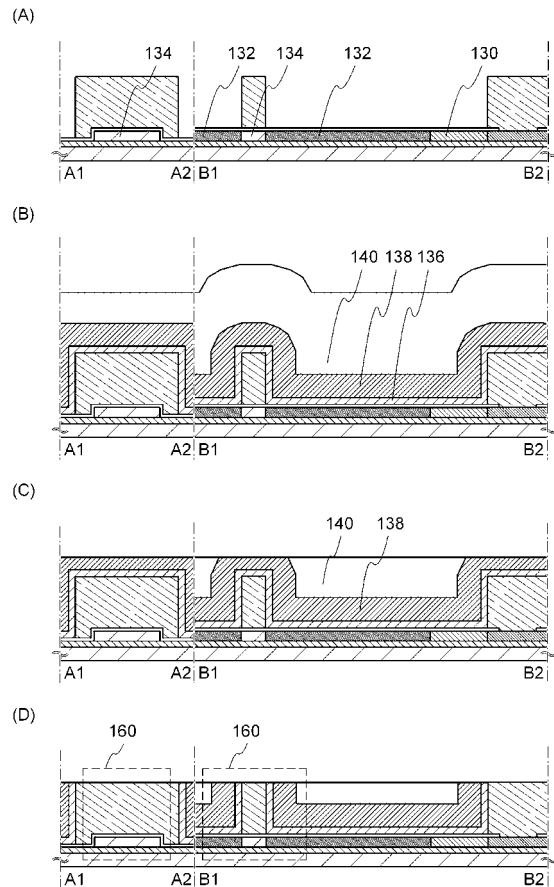
【 図 6 】



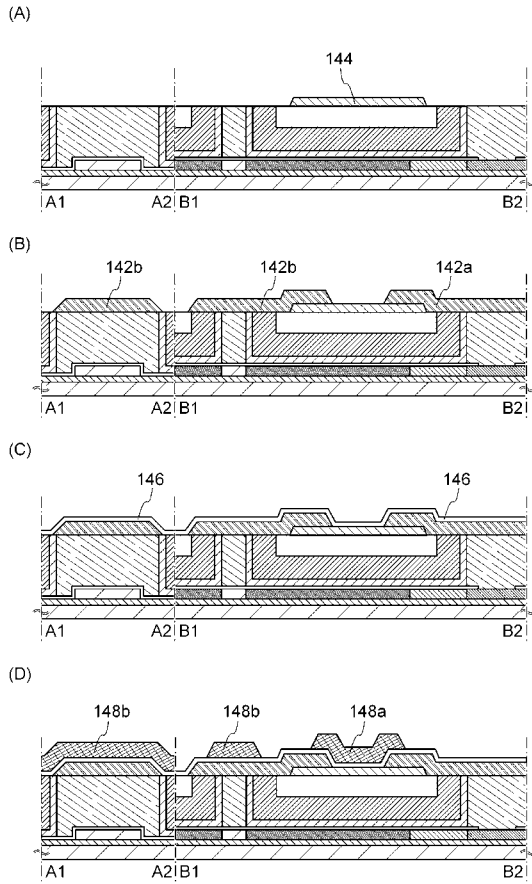
【 図 7 】



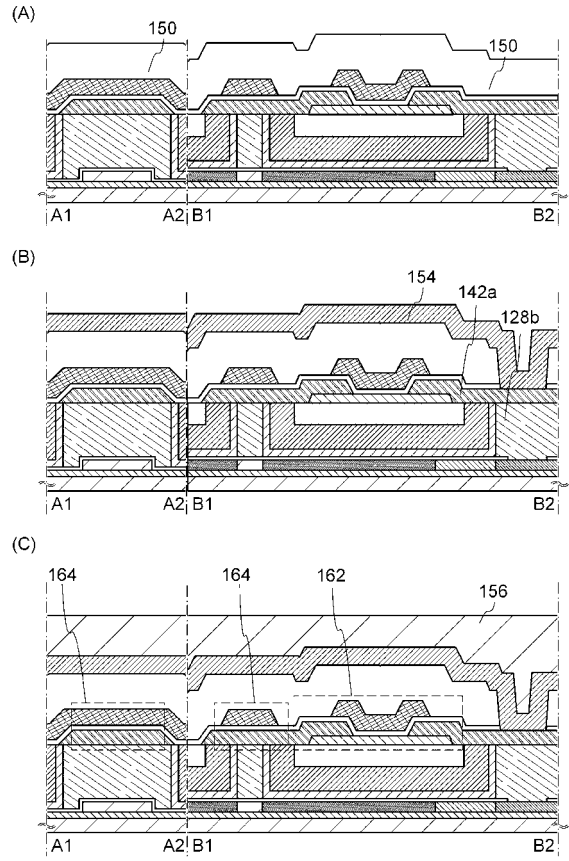
【 図 8 】



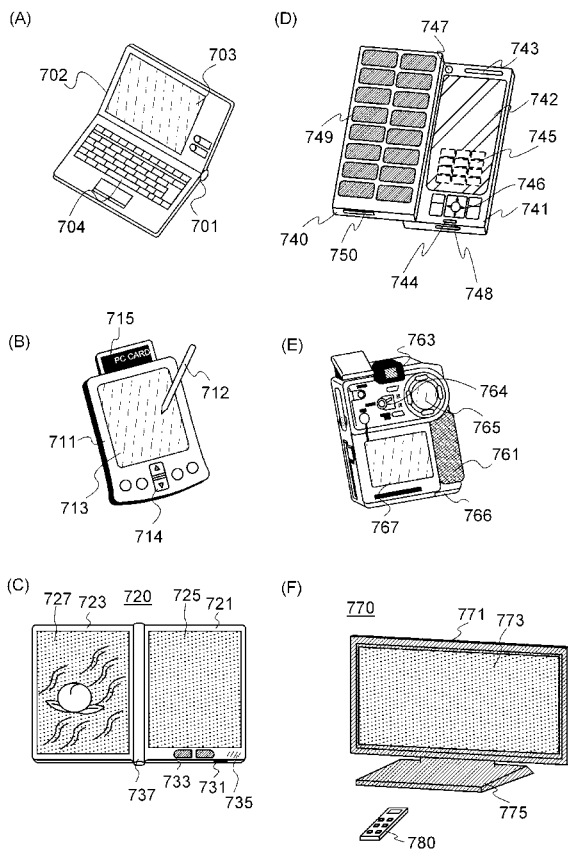
【図9】



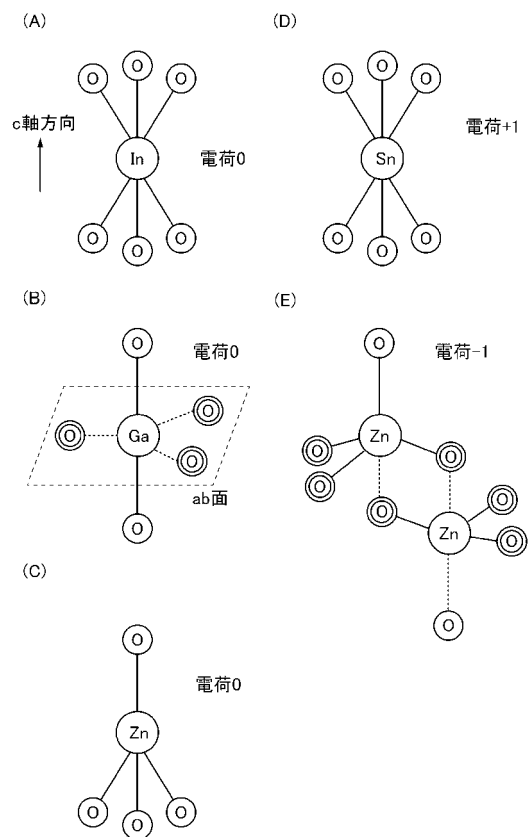
【図10】



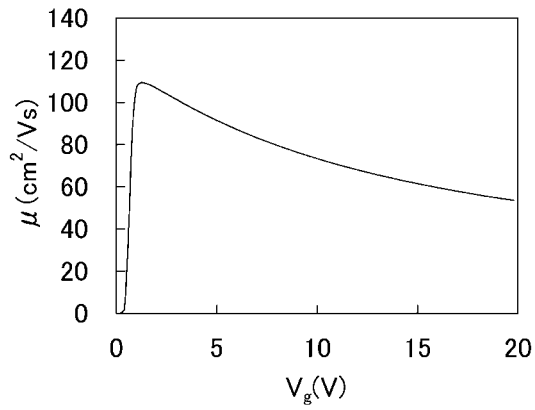
【図11】



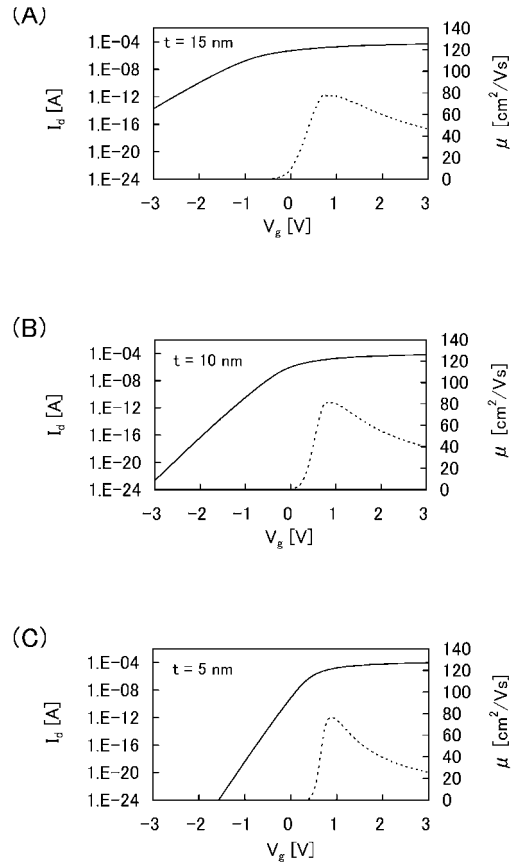
【図12】



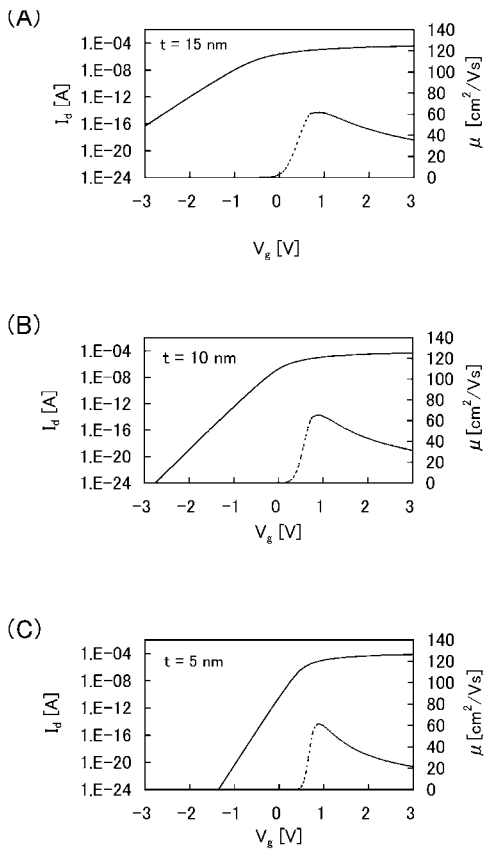
【 図 1 5 】



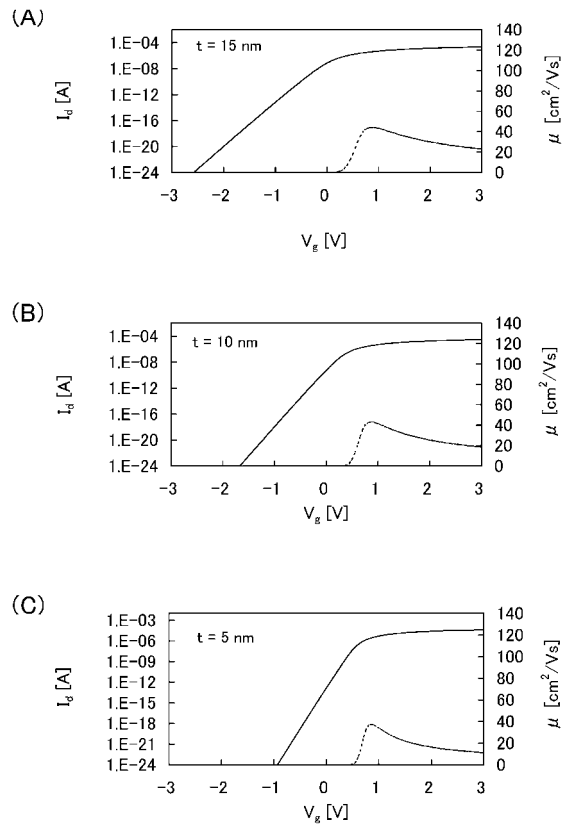
【 図 1 6 】



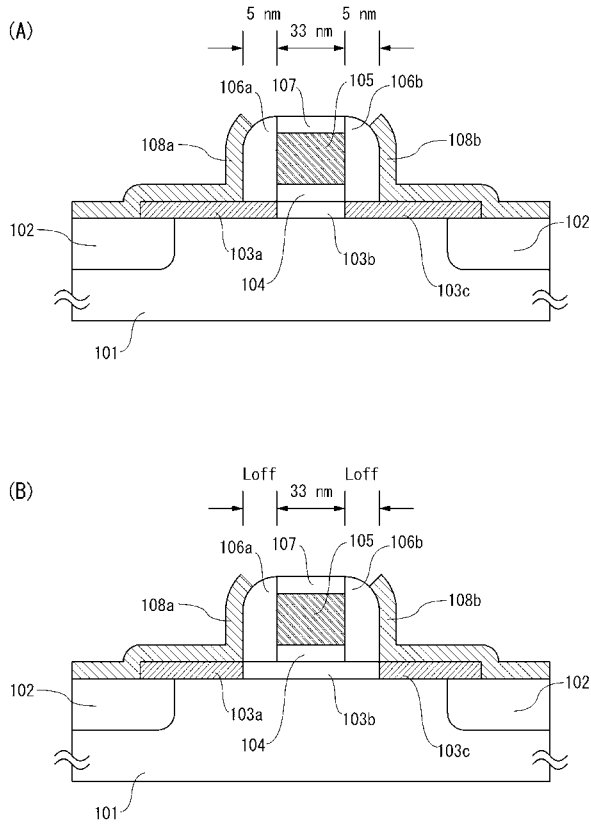
【 図 1 7 】



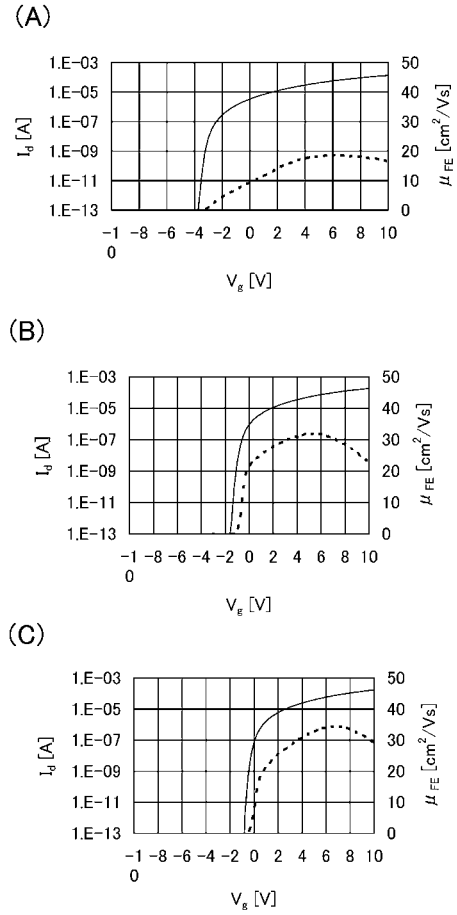
【 図 1 8 】



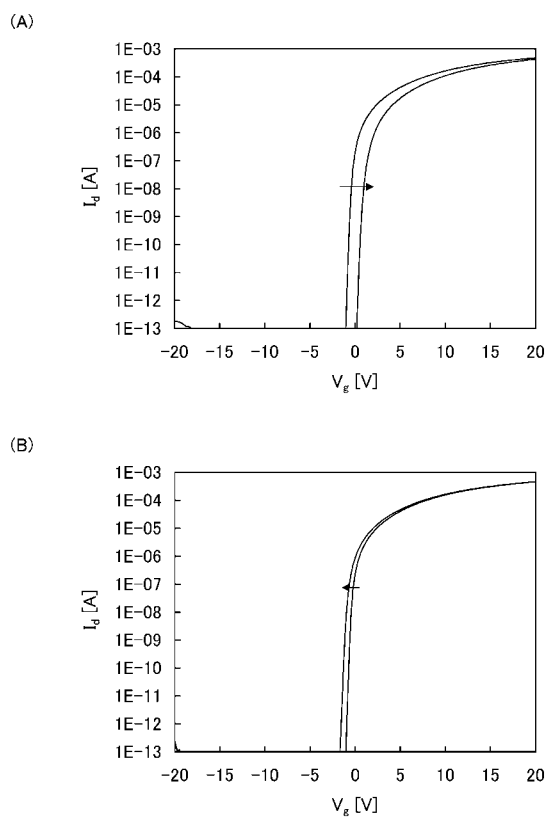
【 図 1 9 】



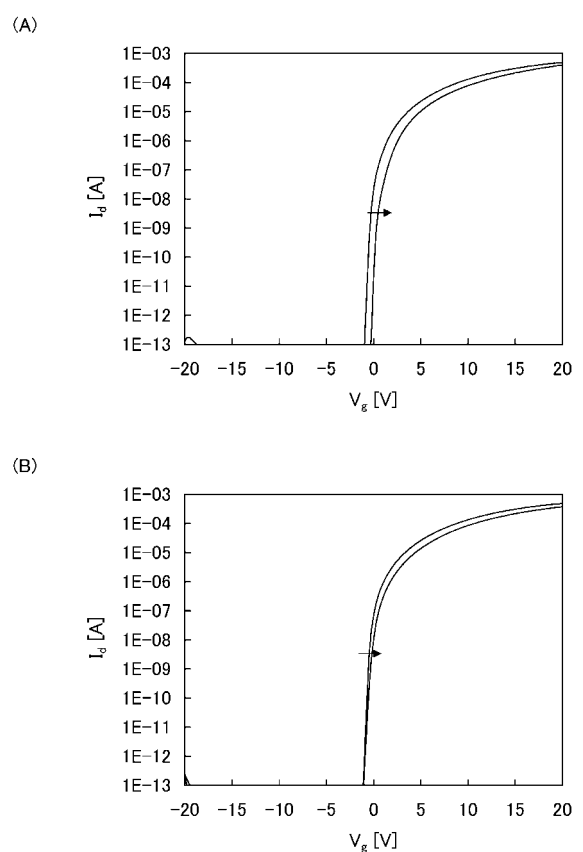
【 図 2 0 】



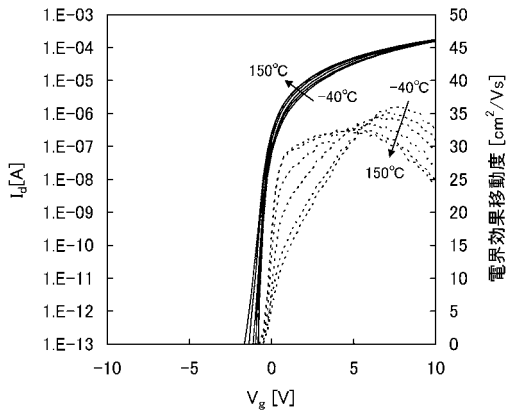
【 図 2 1 】



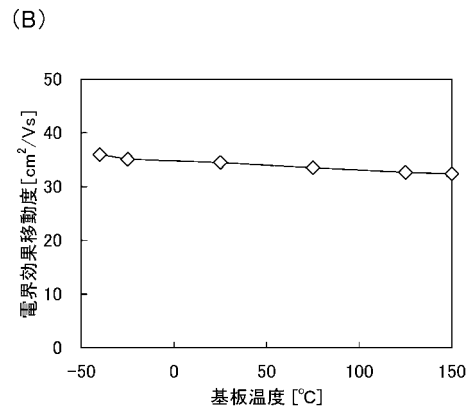
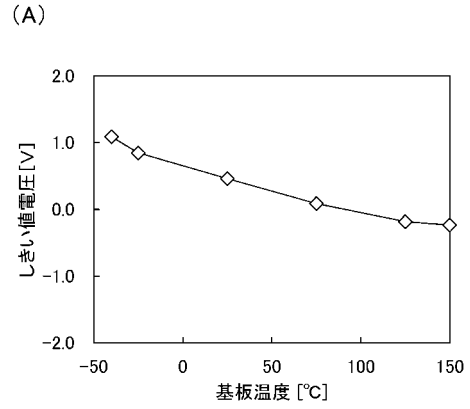
【 図 2 2 】



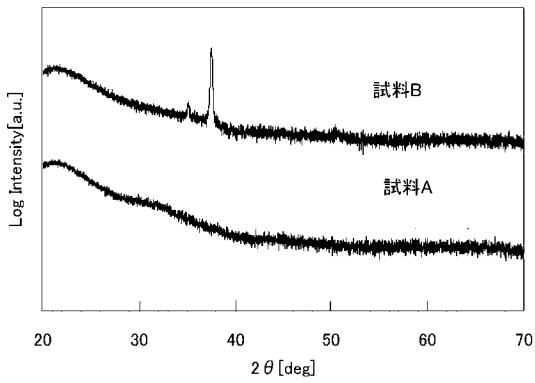
【 図 2 3 】



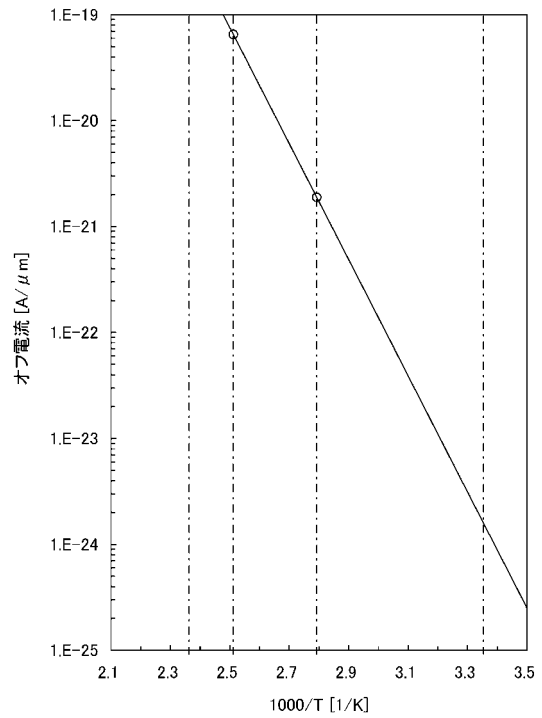
【 図 2 4 】



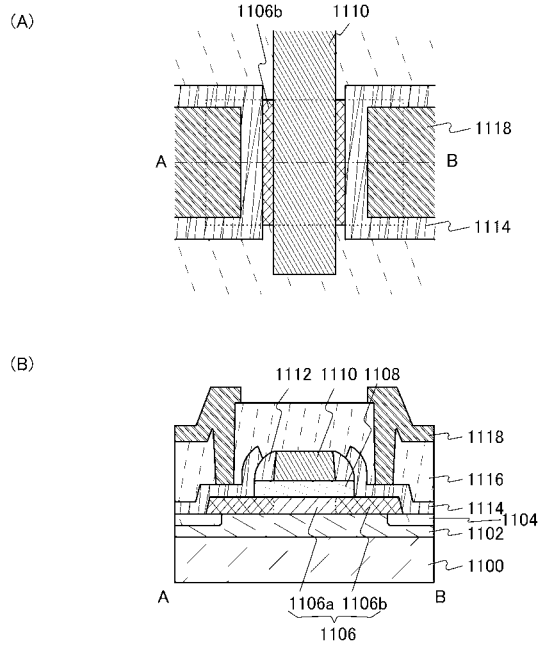
【 図 2 5 】



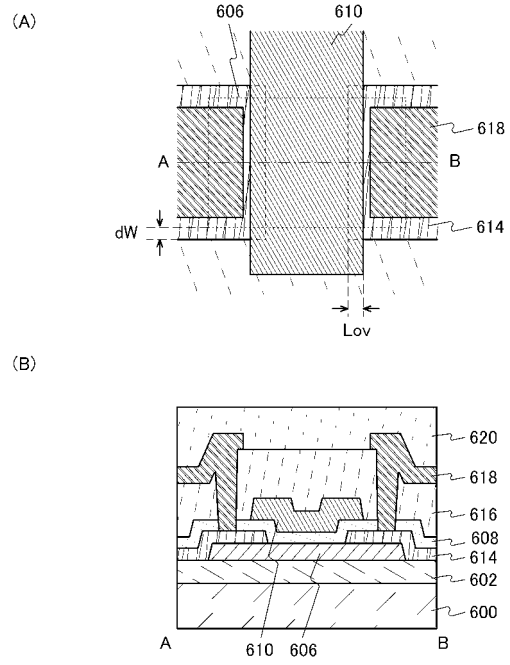
【 図 2 6 】



【 図 2 7 】

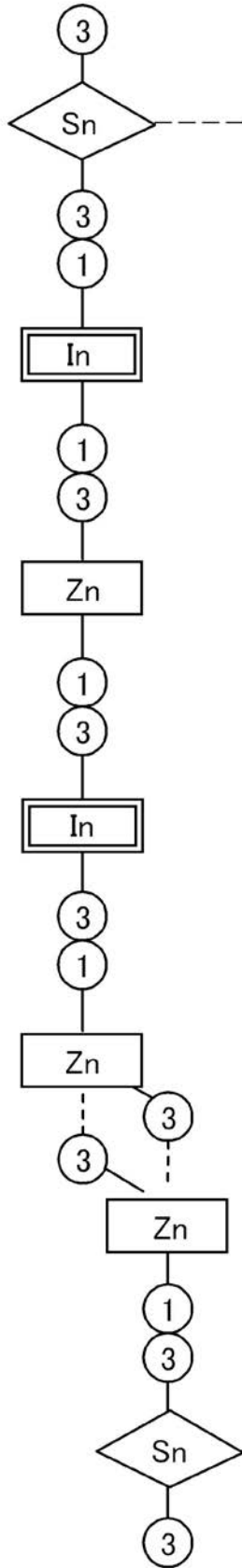


【 図 2 8 】



【 図 1 3 】

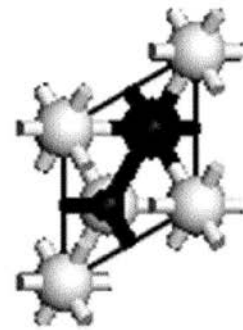
(A)



(B)



(C)



- In
- Sn
- Zn
- 0

【 図 1 4 】

