(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G06F 1/04

(45) 공고일자 2001년09월03일
(11) 등록번호 10-0299357
(24) 등록일자 2001년06월08일

(21) 출원번호 10-1997-0050872
(22) 출원일자 1997년10월02일

(65) 공개번호 특1998-0079390
(43) 공개일자 1998년11월25일

(30) 우선권주장 97-92455 1997년04월10일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1

(72) 발명자 에토사토시
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고후지쯔 가부시키가이샤 나이

(74) 대리인 조태연

심사관 : 오흥수

(54) 위상비교회로,DLL회로및반도체집적회로

요약

본 발명은, 전원을 공급할 때나 파워 온 리셋 등을 할 때에, DLL회로가 록업할 때까지 장시간을 요한다고 하는 과제를 해결하기 위하여, 비교 기준 신호와 비교 대상 신호와의 위상차에 따라 소정 수의 펄스 신호를 출력하도록 구성한다.

대표도

도 10

명세서

도면의 간단한 설명

도 1은 관련 기술로서 반도체 집적 회로의 일례를 나타내는 블럭도.

도 2는 관련 기술로서 반도체 집적 회로의 다른 예를 나타내는 블럭도.

도 3은 도 1 및 도 2의 반도체 집적 회로에서 관련 기술로서 위상 비교 회로(위상 비교부)의 일 구성예를 설명하기 위한 도면.

도 4의 (a),(b) 및 (c)는 도 3의 위상 비교 회로의 동작을 설명하기 위한 타이밍도.

도 5는 도 1 및 도 2의 반도체 집적 회로에서 위상 비교 회로(증폭 회로부)의 일 구성예를 설명하기 위한 도면.

도 6은 도 5의 위상 비교 회로에서 JK 플립플롭의 동작을 설명하기 위한 타이밍도.

도 7은 도 5의 위상 비교 회로에서 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트 업일 때).

도 8은 도 5의 위상 비교 회로에서 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트 유지일 때).

도 9는 도 5의 위상 비교 회로에서 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트 다운일 때).

도 10은 본 발명에 따른 반도체 집적 회로에서 위상 비교 회로의 제 1 실시예를 나타내는 회로도.

도 11은 본 발명에 따른 반도체 집적 회로에서 위상 비교 회로의 제2 실시예를 나타내는 도면.

도 12는 도 10 및 도 11에 나타내는 위상 비교 회로의 제1 시뮬레이션 결과를 나타내는 도면.

도 13은 도 10 및 도 11에 나타내는 위상 비교 회로의 제2 시뮬레이션 결과를 나타내는 도면.

도 14는 도 10 및 도 11에 나타내는 위상 비교 회로의 제3 시뮬레이션 결과를 나타내는 도면.

도 15는 도 10 및 도 11에 나타내는 위상 비교 회로의 제4 시뮬레이션 결과를 나타내는 도면.

도 16은 도 10 및 도 11에 나타내는 위상 비교 회로의 제5 시뮬레이션 결과를 나타내는 도면.

도 17의 (a) 및 (b) 도 10 및 도 11에 나타내는 위상 비교 회로에서 타이밍을 설명하기 위한 도면.

도 18은 도 2의 반도체 집적 회로에서 분주 회로(分周回路)의 일례를 나타내는 회로도.

도 19는 도 18의 분주 회로의 각 노드의 신호 파형을 도시한 도면.

도 20은 도 18의 분주 회로를 사용한 반도체 집적 회로의 동작을 설명하기 위한 타이밍도.

도 21의 (a),(b) 및 (c)는 도 1 및 도 2의 반도체 집적 회로에서 지연 회로의 일 구성예를 설명하기 위한 도면.

도 22은 도 1 및 도 2의 반도체 집적 회로에서 지연 제어 회로의 일 구성예를 설명하기 위한 도면.

도 23은 도 22의 지연 제어 회로의 동작을 설명하기 위한 타이밍도.

도 24는 본 발명에 따른 반도체 집적 회로가 적용되는 일례로서 동기식 DRAM의 구성을 도시한 도면.

도 25 도 24의 동기식 DRAM의 동작을 설명하기 위한 타이밍도.

도 26은 도 24의 동기식 DRAM의 주요부 구성을 개략적으로 나타내는 블럭도.

도 27은 본 발명에 따른 반도체 집적 회로에서 출력 회로(데이타 출력 버퍼 회로)의 일 구성예를 설명하기 위한 도면.

도 28은 본 발명에 따른 반도체 집적 회로에서 더미의 내부 출력 클럭 배선(더미 배선)의 일 구성예를 설명하기 위한 도면.

< 도면의 주요부분에 대한 부호의 설명 >

1 : 클럭 입력 패드

3 : DLL 회로

6 : 데이타 출력 패드

7 : 더미 부하용량

21 : 입력 회로(클럭 버퍼)

22 : 더미 입력 회로(클럭 버퍼)

31 : 위상 비교 회로(디지털위상 비교기)

32 : 지연 제어 회로

33 : 지연 회로(제 l 지연 회로)

34 : 더미 지연 회로(제 2 지연 회로)

41 : 클럭 배선(리얼 배선)

42 : 더미 배선

51 : 출력 회로(출력 버퍼)

52 : 더미 출력 회로(출력 버퍼)

410 : 제2 위상 비교부

420 : 제1 위상 비교부

500 : 카운터 회로

503 : 발진 회로

504 : 발진 제어 회로

505 : 신호 선택 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 위상 비교 회로, DLL 회로 및 반도체 집적 회로에 관한 것으로서, 특히, 지연단(遲延段) 및 시프트 레지스터를 이용하여 지연 시간(遲延時間)을 제어하는 DLL회로에서 위상 비교 회로에 관한 것이다.

최근, 반도체 집적 회로는 고속화 및 고집적화가 진행하여, 클럭 신호에 대해서도 위상이 동기(同期)한 클럭 신호를 소정의 회로에 공급하여 제어하는 것이 필요하게 되어 왔다. 구체적으로, 예컨대, 동기식 DRAM(SDRAM)에서는, DLL(DeIay Locked Loop)회로를 사용하여 외부 클럭에 위상 동기(位相同期)한 신호를 복수의 출력 버퍼 회로에 대하여 공급하도록 되고 있다. 그리고, 전원을 공급할 때나 파워 온 리셋 등을 할 때에 있어서, DLL회로가 록업하기까지의 시간을 단축하는 것이 요구되고 있다.

최근의 메모리 · 디바이스는 예컨대, 1OOMHz를 초과하는 동작 속도를 달성하고 있어, DLL 등의 기술을 이용하여 외부 입력 클럭 신호와 내부 출력 클럭 신호와의 위상을 일치시킴으로써, 내부의 클럭 배선으로 인한 지연(遲延) 영향을 제거하여 억세스 시간의 지연이나 편차를 억제하는 방법이 이용되고 있다.

이와 같은 DLL기술에서는, 내부 출력 클럭 신호선의 부하에 의한 전파 지연을 예측하기 위해서 더미 회로를 설치하도록 되어 있다.

도 1은 관련 기술로서 반도체 집적 회로의 일례를 나타내는 블럭도이다. 도 1에서, 참조부호 1은 클럭 입력 패드, 2l은 입력 회로(클럭 버퍼), 22는 더미 입력 회로(클럭 버퍼), 그리고, 3은 DLL회로를 나타내고 있다. 또한, 참조부호 41은 클럭 배선(리얼 배선), 42는 더미 배선, 51은 출력 회로(출력 버퍼), 52는 데이타 출력 버퍼, 그리고, 7은 더미 부하 용량을 나타내고 있다.

도 1에 나타낸 바와 같이, DLL회로(3)는 위상 비교 회로(디지털 위상 비교기)(31), 지연 제어 회로(32), 지연 회로(33), 및 더미 지연 회로(34)로 구성되어 있다. 위상 비교 회로(31)에는 외부 클럭(외부입력 클럭신호)(CLK)이 입력 회로(21)를 통해 공급(신호(S1))됨과 동시에, 외부 클럭(CLK)이 더미 지연 회로(34), 더미 배선(42), 더미 출력 회로(52) 및 더미 입력 회로(22)를 통해 공급되며(신호(S0)), 이들 신호(S1) 및 신호(S0)의 위상을 비교하여 지연 제어 회로(32)를 제어하도록 되어 있다. 여기서, 더미 입력 회로(22)를 통해 위상 비교 회로(31)에 공급되는 신호(S0)는, 통상 동작 시에는 더미 배선(42)등에 의해 정확히 1클럭분의 시간만큼 외부 클럭(CLK)을 지연시킨 신호이고, 이 1 클럭분 만큼 지연한 신호(S0)가 입력 회로(21)를 통해 공급되는 신호(S1)와 위상이 비교되게 된다. 또한, 전원을 공급할 때나 파워 온 리셋 등을 행할 때에 있어서는, 더미 입력 회로(22), 더미 배선(42) 및 더미 출력 회로(52)등의 동작 초기상태의 지연에 의해, 신호(S1)는 2클럭 또는 여러 클럭분 만큼 지연된 신호(S0)와 위상 비교될 수도 있다.

그런데, 예컨대, 위상 비교 회로(31)에 입력하는 신호(S1) 및 신호(S0)의 위상이 180도 어긋나 있는 경우, 비교 대상의 양쪽 신호(S1) 및 신호(S0)가 동시에 고레벨 " H" 로 되는 기간이 존재하지 않기 때문에, 위상 비교 회로(31)에 의한 위상 비교를 행할 수 없게 되어 버리게 된다.

지연 제어 회로(32)는 위상 비교 회로(31)부터의 출력에 따라, 지연 회로(33) 및 더미 지연 회로(34)에 대하여 동일한 지연량을 부여하기 위해 각각 제어하도록 되어 있다. 따라서, 출력 회로(51)에서 클럭 신호(내부 클럭 신호)는 입력 회로(21), 지연 회로(33), 클럭 배선(리얼 배선)(41) 및 출력 회로(51)에 의한 지연이 외관상 존재하지 않는 것 같은 타이밍으로 공급되게 된다.

그런데, 예컨대, SDRAM의 동작 주파수가 더욱더 빠르게 되어 외부 클럭(CLK)의 주기가 더욱더 줄어들면, 전술한 더미 배선(42) 등에 의한 지연 시간이 상기 외부 클럭(CLK)의 1주기보다도 길게 된다. 구체적으로, 입력 회로(21)의 지연 시간, 지연 회로(33)의 최소 지연 시간, 리얼 배선(41)의 지연 시간, 및 출력 회로(51)의 지연 시간의 합계(더미 입력 회로(22)의 지연 시간, 더미 지연 회로(34)의 최소 지연 시간, 더미 배선(42)의 지연 시간, 및 더미 출력 회로(52)의 지연 시간의 합계에 대응)가 외부 클럭(CLK)의 1 클럭분의 시간(1클럭 사이클)보다도 길게 되면, 위상 비교 회로(31)에서는 입력 회로(21)를 통해 공급되는 신호(S1)와, 더미 입력 회로(22)의 출력 신호(S0)와의 위상 비교를 할 수 없다. 즉, 1클럭 사이클전의 외부 클럭에서 위상 동기한 내부 클럭을 생성할 수 없게 된다.

또한, 위상 비교 회로(31)에 의해 위상 비교를 클럭의 각 주기마다(각 클럭사이클)행하면, 예컨대, 로우 어드레스신호(RAS신호)나 칼럼 어드레스 스트로브신호(CAS 신호)의 출력에 의한 전원전압의 변동, 또는, 노이즈 등에 의한 전원전압의 변동 등 때문에, 지연 제어 회로(32)에 의한 지연 회로(33)(더미 지연 회로(34))의 제어가 빈번히 행하여져 소비전력이 증대하게 된다. 또한, 위상 비교 회로(31)에 입력하는 신호(S1) 및 신호(S0)가 함께 고레벨 " H" 로 되는 기간이 존재하지 않으면, 위상 비교 회로(31)에 의한 위상 비교를 행할 수 없게 되어 바람직하지 못하다.

도 2는 관련 기술로서 반도체 집적 회로의 다른 예를 나타내는 블럭도이다. 이 도 2의 반도체 집적 회로는 도 1에 나타내는 반도체 집적 회로에서 DLL회로(3)의 구성을 개량한 것으로, 다른 구성은 도 1의 반도체 집적 회로와 같다.

도 2에 나타난 바와 같이, DLL회로(3)는 분주 회로(分周回路)(30), 위상 비교 회로(디지털 위상 비교기)(31), 지연 제어 회로(32), 지연 회로(33), 및 더미 지연 회로(34)를 갖추어 구성되고 있다. 분주 회로(30)에는 입력 회로(21)를 통해 외부 클럭(CLK)(신호(S1) : 제1 제어 신호)이 공급되며, 상기 외부 클럭(CLK)을 분주한 신호를 출력하도록 되어 있다. 즉, 분주 회로(30)는 제1 출력 신호(신호(S2))를 더미 지연 회로(34)에 출력함과 동시에, 제2 출력 신호(신호(S3))를 위상 비교 회로(31)의 제1 입력에 출력하도록 되어 있다. 위상 비교 회로(31)의 제2 입력에는 분주 회로(30)의 제1 출력 신호(신호(S2))가 더미 지연 회로(34), 더미 배선(42), 더미 출력 회로(52) 및 더미 입력 회로(22)를 통해 공급(신호(S0))되며, 상기 위상 비교 회로(31)는 이들 신호(S3) 및 신호(S0)의 위상 비교를 행하여 지연 제어 회로(32)를 제어하도록 되어 있다. 또한, 지연 회로(33)의 출력 신호(제2 제어 신호)는 DLL회로(3)의 출력 신호로서 클럭 배선(리얼 배선)(41)을 통해 출력 회로(대상회로)(51)에 공급되게 된다.

지연 제어 회로(32)는 위상 비교 회로(31)에서 출력(위상 비교결과)에 따라, 지연 회로(33) 및 더미 지연 회로(34)에 대하여 같은 지연량을 주도록 각 지연 회로(33, 34)를 제어하도록 되어 있다. 따라서, 출력 회로(51)에서 클럭신호(내부 클럭신호)는 입력 회로(21), 지연 회로(33), 리얼 배선(41) 및 출력 회로(51)에 의한 지연이 외관상 존재하지 않는 것 같은 타이밍으로 공급되게 된다.

그런데, 클럭의 주기가 입력 회로(21)와 출력 회로(51)와 그들 사이의 배선(클럭 배선(41))등의 지연보다도 줄어들면, 하나 앞의 외부 클럭에서 DLL회로(3)를 이용하여 내부 클럭을 생성할 수 없게 된다. 그래서, 클럭의 주기가 배선 지연 등보다도 줄어들 경우에는, 하나 앞의 외부 클럭이 아니라 두개 앞의 외부 클럭에서 내부 클럭을 생성하도록 되어 있다. 즉, 외부 클럭(CLK)의 2주기만큼 지연된 타이밍으로 위상 비교 회로(31)의 위상 비교처리를 행하도록 되어 있다.

즉, 후술하는 분주 회로(30)에 의해 위상 비교 회로(31)로 위상을 비교할 때에, 「DLL회로(3)로부터 출력된 클럭」의 상승 에지와「DLL회로(3)에 입력된 외부 클럭의 2주기만큼 지연한 외부 클럭」의 상승 에지로 동기를 취하도록(록을 하다)되어 있다. 이와 같이, 도 2에 나타내는 반도체 집적 회로(DLL회로)는 도 1에 나타내는 반도체 집적 회로에 대하여, 입력 회로(21)의 출력이 공급되는 분주 회로(30)를 설치하여, 상기 분주 회로(30)의 제1 출력 신호(S2)를 더미 지연 회로(34)에 공급하고, 또한, 제2 출력 신호(S3)를 위상 비교 회로(31)의 제1 입력에 공급하도록 되어 있다. 여기서, 분주 회로(30)를 설치함으로써, 예컨대, 신호(S1) 및 신호(S0)의 위상이 180도 어긋나 있는 경우라도 위상 비교 회로(31)에 입력하는 신호(S3) 및 신호(S0)에는 동시에 고레벨 " H" 로 되는 기간이 존재하기 때문에, 위상 비교 회로(31)에 의한 위상 비교를 행할 수 있게 된다. 또한, 분주 회로(30)를 설치함으로써, 샘플링(위상 비교처리)의 빈도를 저감하여 소비전력을 삭감할 수 있다.

도 3은 도 1 및 도 2의 반도체 집적 회로에서 관련 기술로서 위상 비교 회로(위상 비교부)의 일 구성예를 설명하기 위한 도면이고, 도 4의 (a),(b) 및 (c) 도 3의 위상 비교 회로의 동작을 설명하기 위한 타이밍도이다.

도 1 및 도 2의 반도체 집적 회로에서 위상 비교 회로(31)는 도 3에 나타내는 위상 비교부와, 후술하는 도 5에 나타내는 증폭 회로부의 두개의 회로부분으로 구성되어 있다. 도 3에서, 참조부호 ψout, ψext는 이 위상 비교 회로에서 비교하는 출력 신호와 외부 클럭신호를 나타내며, 신호(비교 기준신호) ψext를 기준으로서 신호(비교 대상신호) ψout의 위상이 판정되며, 또한, ψa ψe는 증폭 회로부에 접속되는 출력 신호를 나타내고 있다.

그런데, 후술하는 도 10 및 도 11에 나타내는 본 발명의 실시예로서 위상 비교 회로는, 도 3의 위상 비교부 및 도 5의 증폭 회로부를 갖춘 위상 비교 회로에 대응하는 것으로써, 도 2에 나타내는 반도체 집적 회로(DLL회로(3))에서 위상 비교 회로(31)로서 그대로 적용할 수 있다. 또한, 도 10 및 도 11에 나타내는 본 발명의 실시예로서 위상 비교 회로는 도 1에 나타내는 반도체 집적 회로에서 위상 비교 회로(31)로서도 적용할 수 있다.

도 3에 나타내는 바와 같이, 위상 비교 회로(31)의 위상 비교부는 2개의 NAND게이트로 구성된 플립플롭회로(421, 422), 그 상태를 래치하는 래치회로(425, 426), 래치회로의 활성화 신호를 생성하는 활성화 신호 생성회로(424), 및 외부 클럭신호 ψext의 위상 허용치를 얻는 1지연분의 지연 회로(423)를 갖추어 구성되고 있다.

도 4의 (a)는 비교 대상신호 ψout가 비교 기준신호 ψext보다도 위상이 진행되어 있는 경우, 즉, 신호 ψout가 신호 ψext보다 앞서 저레벨 " L" 에서 고레벨 " H" 이 되는 경우를 나타내고 있다. 신호 ψout와 신호 ψext가 동시에 저레벨 " L" 일 때에는, 플립플롭회로(421, 422)의 노드(6a-2, 6a-3, 6a-4, 6a-5)는 모두 고레벨 " H" 로 되어 있다. 신호 ψout가 저레벨 " L" 에서 고레벨 " H" 로 변화하면, 노드(6a-2, 6a-4)는 동시에 고레벨 " H" 에서 저레벨 " L" 로 변화한다. 그 후, 신호 ψext가 저레벨 " L" 에서 고레벨 " H" 로 되며, 또한, 1 지연분 만큼 늦게 노드(6a-1)가 저레벨 " L" 에서 고레벨 " H" 로 되지만, 플립플롭의 양단의 전위는 이미 확정되어 있기때문에, 아무런 변화는 생기지 않는다. 결국, 노드(6a-2)는 저레벨 " L" , 노드(6a-3)는 고레벨 " H" , 노드(6a-4)는 저레벨 " L" , 그리고, 노드(6a-5)는 고레벨 " H" 을 유지한다.

한편, 신호 ψext가 저레벨 " L" 에서 고레벨 " H" 로 변화한 데 따라서, 회로(424)의 출력 신호 ψa는 저레벨 " L" 에서 고레벨 " H" 로 변화하며, 노드(6a-6)에는, 일시적으로 고레벨 " H" 레벨이 되는 펄스가 인가된다. 이 노드(6a-6)는 래치회로(425, 426)의 NAND 게이트의 입력으로 되어 있기 때문에, 상기 NAND 게이트가 일시적으로 활성화되어 플립플롭회로(421, 422)의 양단의 전위상태를 래치회로(425, 426)에 입력하게 된다. 최종적으로는, 출력 신호 ψb가 고레벨 " H" , 출력 신호 ψc가 저레벨 " L" , 출력 신호 ψd가 고레벨 " H" , 그리고, 출력 신호 ψe가 저레벨 " L" 로 된다.

다음으로, 도 4의 (b)는 비교 대상 신호 ψout와 비교 기준 신호 ψext의 위상이 거의 같고, 신호 ψout가 신호 ψext와 거의 동시에 저레벨 " L" 에서 고레벨 " H" 이 되는 경우를 나타내고 있다. 신호 ψout의 상승시점과 노드(6a-l)의 상승시점과의 시간차 내에서 신호 ψout가 저레벨 " L" 에서 고레벨 " H" 로 변화하였을 때, 우선, 신호 ψext가 저레벨 " L" 에서 고레벨 " H" 로 됨으로써 플립플롭(421)의 노드(6a-3)가 저레벨 " L" 에서 고레벨 " H" 로 변화한다. 플립플롭(422)에서는, 노드(6a-l)가 저레벨 " L" 이기 때문에, 역으로, 노드(6a-4)가 고레벨 " H" 에서 저레벨 " L" 로 변화한다. 그 후, 노드(6a-1)가 고레벨 " H" 에서 저레벨 " L" 로 변화하지만, 플립플롭(422)의 상태는 이미 결정되어 있기 때문에, 아무런 변화도 생기지 않는다. 그 후, 노드(6a-6)가 일시적으로 고레벨 " H" 로 되기 때문에, 래치회로에는 이 상태가 기억되어, 결국, 출력 신호 ψb가 저레벨 " L" , 출력 신호 ψc가 고레벨 " H" , 출력 신호 ψd가 고레벨 " H" , 그리고, 출력 신호 ψe가 저레벨 " L" 이 된다.

또한, 도 4의 (c)는 비교대상신호 ψout가 비교기준신호 ψext보다도 위상이 지연되고 있어, ψout가 ψext보다 후에 저레벨 " L" 에서 고레벨 " H" 로 되는 경우를 나타내고 있다. 이 경우는, ψext에 의해 2개의 플립플롭회로(421, 422)에 변화가 생겨, 6a-3과 6a-5가 고레벨 " H" 에서 저레벨 " L" 로 변화한다. 그리고, 최종적으로는, ψb가 저레벨 " L" , ψc가 고레벨 " H" , ψd가 저레벨 " L" , ψe가 고레벨 " H" 로 된다.

이와 같이, 신호(비교 기준신호)) ψext의 상승시간을 기준으로 하여, 신호(비교 대상신호) ψout의 상승시간이 그 이전에 고레벨 " H" 로 되었는가, 거의 동시였는가, 또는, 늦게 고레벨 " H" 로 되었는가를 검출하는 것이 가능하게 된다. 이들 검출결과를 출력 신호 ψb, ψc, ψd, ψe의 값으로서 래치해 두고, 그 값에 근거하여 지연 제어 회로를 카운트 업 할 것인가, 카운트 다운할 것인가를 결정하게 된다.

도 5는 도 1 및 도 2의 반도체 집적 회로에서 위상 비교 회로(증폭 회로부)의 일 구성예를 설명하기 위한 도면이고, 도 6은 도 5의 위상 비교 회로에서 JK 플립플롭의 동작을 설명하기 위한 타이밍도이다.

도 5에 도시된 바와 같이, 위상 비교 회로(31)의 증폭 회로부는 JK 플립플롭(427)과, NAND 게이트 및 인버터로 구성되는 증폭부(428)와의 2개의 부분을 갖추어 구성되고 있다. JK 플립플롭(427)에는 도 10 및 도 1l에 나타내는 위상 비교부로부터의 출력 신호 ψa가 입력되어, 신호 ψa가 저레벨 " L" 인가 고레벨 " H" 인가에 따라 노드(7a-9, 7a-11)의 전위가 교대로 저레벨 " L" 과 고레벨 " H" 을 반복하는 구조로 되어 있다. 증폭부(428)는 JK 플립플롭(427)의 출력 신호와, 신호 ψb, ψd의 신호를 수신하여 증폭하여 출력한다.

우선, JK 플립플롭(427)의 동작을 도 6의 타이밍도를 참조하여 설명한다. 시간 T1에서 신호 ψa가 고레벨 " H" 에서 저레벨 " L" 로 변화하면, 노드(7a-1, 7a-10)가 저레벨 " L" 에서 고레벨 " H" 로 변화한다. 한편, 노드(7a-1)의 변화에 따라 노드(7a-5, 7a-6, 7a-7)가 변화하지만, 신호 ψa가 저레벨 " L" 이기 때문에, 노드(7a-8)는 변화하지 않는다. 결국, 출력(노드)(7a-9)은 변화하지 않고, 출력(7a-11)만이 저레벨 " L" 에서 고레벨 " H" 로 된다. 다음으로, 시간 T2가 되어, ψa가 저레벨 " L" 에서 고레벨 " H" 로 변화하면, 시간 T1에서 움직임과 역으로 노드(7a-8)는 고레벨 " H" 에서 저레벨 " L" 로, 7a-10은 7a-7이 변화하지 않기 때문에 변화하지 않고, 출력(7a-9)은 저레벨 " L" 에서 고레벨 " H" 로 변화하며, 출력(7a-11)은 변화하지 않는다. 이와 같이, JK플립플롭회로(427)는 신호 ψa의 움직임에 따라 출력(7a-9, 7a-11)이 번갈아 고레벨 " H" 과 저레벨 " L" 을 반복하는 움직임을 한다.

도 7은 도 5의 위상 비교 회로에서 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트 업 시)이고, 도 8은 도 5의 위상 비교 회로에서 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트 유지 시)이고, 그리고, 도 9는 도 5의 위상 비교 회로에서 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트 다운 시)이다. 다음으로, 증폭부(428)의 동작을 도 7 도 9를 참조하여 설명한다.

도 7은 비교기준신호 ψext의 상승에 대해서, 비교대상신호 ψout가 먼저 저레벨 " L" 에서 고레벨 " H" 이 되는 경우를 나타내고 있다. 이 경우의 위상 비교부로부터의 입력신호는 신호 ψb가 고레벨 " H" , 신호 ψc가 저레벨 " L" , 신호 ψd가 고레벨 " H" , 그리고, 신호 ψe가 저레벨 " L" 이다. 결국, 노드(7a-12)가 고레벨 " H" 가 되고, 노드(7a-13)가 저레벨 " L" 로 고정되며, 세트신호 ψSO, ψSE는 JK 플립플롭의 상태에 따라 변화하지만, 리셋신호 ψRO, ψRE는 7a-13이 저레벨 " L" 이기 때문에 변화하지 않는다.

도 8은 비교 대상신호 ψout가 비교 기준신호 ψext와 거의 동시에 저레벨 " L" 에서 고레벨 " H" 로 되는 경우를 나타내고 있다. 이 경우의 위상 비교부로부터의 입력신호는 신호 ψb가 저레벨 " L" , 신호 ψc가 고레벨 " H" , 신호 ψd가 고레벨 " H" , 그리고, 신호 ψe가 저레벨 " L" 이다. 결국, 노드(7a-12, 7a-13)가 저레벨 " L" 로 고정되고, 리셋신호 ψSO, ψSE는 JK 플립플롭의 출력이 증폭부에 영향을 미치지는 않아, 신호 ψSO, ψSE, ψRO 및 ψRE는 저레벨 " L" 로 고정된 상태로 된다.

도 9는 비교 대상신호 ψout가 비교 기준신호 ψext의 상승에 대하여 늦게 저레벨 " L" 에서 고레벨 " H" 로 되는 경우

를 나타내고 있다. 이 경우의 위상 비교부로부터의 입력신호는 신호 ψb가 저레벨 "L", 신호 ψc가 고레벨 "H", 신호 ψd가 저레벨 "L", 그리고, 신호 ψe가 고레벨 "H"이다. 결국, 노드(7a-12)가 저레벨 "L"로 고정되고, 노드(7a-13)가 고레벨 "H"로 고정되며, 리셋신호 ψRO 및 ψRE는 JK 플립플롭의 상태에 따라 변화하지만, 세트신호 ψSO 및 ψSE는 노드(7a-13)가 저레벨 "L"이기 때문에 변화하지 않는다.

발명이 이루고자 하는 기술적 과제

전술한 바와 같이, 예컨대, 도 2에 나타내는 반도체 집적 회로에서는, DLL회로(3)의 위상 비교 회로(31)에 의해 위상 비교를 행하는 타이밍은 분주 회로(30)의 출력 신호(제1 출력 신호(S2) 및 제2 출력 신호(S3))에 따라 규정되며, 예컨대, 분주 회로(30)가 입력신호(S1)를 8분주(예컨대, 도 19의 신호(S3)와 같이, 외부 클럭(S1)의 2주기분이 제l 레벨이며 외부 클럭의 6주기분이 제2 레벨)할 경우에는, 외부 클럭 S1(CLK)의 8주기에 1회의 타이밍으로 위상 비교 회로(31)에 의한 위상 비교가 행하여지게 된다.

따라서, 지연 제어 회로(32)를 통해 행하여지는 지연 회로(33)(더미 지연 회로(34))의 지연량의 제어는 외부 클럭(CLK)의 8주기에 1회만 지연단의 1단분 만큼의 지연량을 가산 또는 감하게 된다. 그 때문에, 전원을 공급할 때나 파워온 리셋 등을 할 때에 있어서, 위상 비교 회로(31)에 입력하는 신호(S3, S0 : 비교 기준신호 ψext 및 비교대상신호 ψout)에 큰 위상차가 존재하여 큰 지연량을 줄 필요가 있을 경우에는, 예컨대, 8주기에 하나의 지연단분의 지연량만 바꿀 수 있기 때문에, DLL 회로(3)를 록 업하기 까지의 시간이 길어지게 된다.

즉, DLL 회로(3)에서 위상 비교 회로(31)에 입력하는 신호 S3 및 S0가 동시에 고레벨 "H"로 되는 기간을 갖기 위하여 또는, 소비전력을 저감하기 위해서는, 분주 회로(30)의 출력 신호(제1 출력 신호(S2) 및 제2 출력 신호(S3))를 다분주(多分周)(예컨대, 8분주나 16분주)하여 출력할 필요가 있지만, 그렇게 하면, 전원을 공급할 때 등에서 DLL회로의 록 업에 요하는 시간이 길어지게 된다고 하는 과제가 있었다.

본 발명은 전술한 과제를 감안하여, 전원을 공급할 때 등에서 DLL 회로의 록 업에 요하는 시간을 단축하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명의 제1 형태에 의하면, 비교 기준 신호와 비교 대상 신호와의 위상차에 따라 소정 수의 펄스신호를 출력하도록 한 것을 특징으로 하는 위상 비교 회로가 제공된다.

또한, 본 발명의 제2 형태에 의하면, 입력하는 제1 제어 신호에 지연량을 부여하여 제2 제어 신호를 출력하는 지연 회로와, 상기 제1 제어 신호에 대응한 신호를 수신하여 상기 지연 회로와 같은 지연량을 부여한 신호를 출력하는 더미 지연 회로와, 상기 더미 지연 회로에서 지연량 및 상기 지연 회로에서 지연량을 동일한 값으로서 동시에 제어하는 지연 제어 회로와, 상기 제1 신호에 대응한 신호를 비교 기준신호로서 수신함과 동시에, 소정의 회로를 통해 공급되는 상기 더미 지연 회로로부터의 출력 신호를 비교 대상신호로서 수신하며, 상기 비교 기준신호와 상기 비교 대상신호와의 위상차에 따라 소정 수의 펄스신호를 상기 지연 제어 회로에 공급하여, 상기 지연 회로 및 상기 더미 지연 회로에서 지연량을 제어하도록 한 것을 특징으로 하는 DLL회로가 제공된다.

이에 따라, 전원을 공급할 때 등에서 DLL회로의 록 업에 요하는 시간을 단축할 수 있다. 또한, DLL회로를 이용하여 클럭과 동기하여 동작하는 반도체 집적 회로에서, 이 DLL회로의 록 업시간의 단축은 상기 반도체 집적 회로를 이용하여 구축한 시스템의 성능이나 안정성을 향상시키는 데 중요하다.

또한, 본 발명은 도 2에 나타내는 것과 같은 분주 회로를 갖는 DLL회로에 적용한 경우에 록 업시간의 단축이라는 효과를 얻을 수 있을 뿐만 아니라, 도 1에 나타내는 것과 같은 DLL회로에 대하여 적용한 경우라도 록 업시간의 단축이라는 효과는 마찬가지로 얻을 수 있게 된다.

이하, 도면을 참조하여 본 발명에 관한 위상 비교 회로, DLL회로 및 반도체 집적 회로의 실시예를 설명한다.

도 10 및 도 11은 본 발명에 관한 반도체 집적 회로에서 위상 비교 회로(위상 비교부 및 증폭부)의 일 실시예를 나타내는 회로도이다. 여기서, 도 10 및 도 11에 나타내는 본 실시예의 위상 비교 회로는 상기한 도 3의 위상 비교부 및 도 5의 증폭 회로부를 갖춘 위상 비교 회로에 대응하는 것으로써, 관련 기술로서 도 2에 나타내는 반도체 집적 회로(DLL회로(3))에서 위상 비교 회로(31)로서 그대로 적용할 수 있다. 또한, 도 10 및 도 11에 나타내는 본 실시예의 위상 비교 회로는 도 1에 나타내는 관련 기술로서 반도체 집적 회로(DLL회로(3))에서 위상 비교 회로(31)로서도 적용할 수 있다.

도 10 및 도 11에서, 참조부호 ψout, ψext는 이 위상 비교 회로에서 비교하는 출력 신호와 외부 클럭신호를 나타내며, 이 신호(비교 기준신호: Ref) ψext를 기준으로서 신호(비교 대상신호: In) ψout의 위상이 판정되게 된다. 또한, 참조부호 ψa ψe는 증폭 회로부에 접속되는 출력 신호를 나타내고 있다.

도 10 및 도 11에 나타내는 위상 비교 회로와, 전술한 도 3(위상 비교 회로의 위상 비교부)과의 비교에서 명백한 바와 같이, 본 실시예의 위상 비교 회로(31)는 2개의 NAND 게이트로 구성된 플립플롭회로(421, 422), 그 상태를 래치하는 래치회로(425, 426), 이들 래치회로(425, 426)의 활성화신호를 생성하는 활성화신호 생성회로(424), 및 외부 클럭신호 ψext(Ref)의 위상허용치를 얻는 1지연분(1td)의 지연 회로(423)를 갖추고 있다. 여기서, 1td는 지연단의 1단분의 지연 시간을 나타내고 있다. 또한, 참조부호 420은 제1 위상 비교부를 나타내고 있다.

또한, 도 10 및 도 11에 나타내는 위상 비교 회로와 전술한 도 5(위상 비교 회로의 증폭 회로부)와의 비교에서 명백한 바와 같이, 본 실시예의 위상 비교 회로(31)는 JK 플립플롭(427) 및 NAND 게이트 및 인버터로 구성되는 증폭부(428)를 갖추고 있다. 여기서, 본 실시예의 위상 비교 회로에서는 증폭부(428)에서, 노드(7a-12)는 직렬 접속된 5단의 인버터의 출력으로서 부여되며, 마찬가지로, 노드(7a-13)도 직렬 접속된 5단의 인버터의 출력으로서 부여된다는 점에서, 도 5에 나타내는 증폭부와는 다르지만, 기본적인 구성은 같다. 또한, 도 10 및 도 11에 나타내는 위상 비교 회로에서 JK 플립플롭(427)에 공급되는 신호 ψa는 도 5에 나타내는 증폭부와는 다르다.

또한, 도 10 및 도 11에 나타내는 바와 같이, 본 실시예의 위상 비교 회로(31)는 2개의 NAND 게이트로 구성된 플립플롭회로(411, 412), 그 상태를 래치하는 래치회로(415, 416), 외부 클럭신호 ψext(Ref)의 위상 허용치를 얻는 8지연분(8td)의 지연 회로(413), 및 비교대상신호 ψout(In)를 4지연분(4td)만큼 지연시키는 지연 회로(414)를 갖추고 있다. 여기서, 지연 시간(4td)을 부여하는 지연 회로(414)는 지연 회로(413)에서 지연 시간(8td)에서 4td분만큼 어긋나게 하여, 지연 회로(413)에 의해 ±4td (전체적으로 8td)의 위상 허용치를 얻도록 되어 있다. 여기서, 참조부호 410는 제2 위상 비교부를 나타내고 있다.

그리고, 본 실시예의 위상 비교 회로(31)는 복수의 인버터 및 NAND 게이트로 구성된 발진 회로(503), 상기 발진 회로의 출력펄스를 카운트하는 카운터 회로(500), 발진 동작을 제어하는 발진 제어 회로(504), 및 JK 플립플롭(427)에 공급되는 신호 ψa를 선택 제어하는 신호 선택 회로(505)를 갖추고 있다. 여기서, 카운터 회로(500)는 2단의 카운터(501, 502)를 갖추어 구성되고 있다.

도 10 및 도 11에 나타내는 바와 같이, 본 실시예의 위상 비교 회로(31)는 도 1 또는 도 2의 반도체 집적 회로에서 DLL회로(3)의 위상 비교 회로(31)로서 그대로 적용 가능한 것이며, 비교 기준신호 ψext 및 비교 대상신호 ψout의 상승 에지를 위상 비교하여 지연 제어 회로(32)에 공급하는 제어 신호 ψSO, ψSE, ψRO, ψRE에 의해, 시프트 레지스터(지연 제어 회로(32) : 도 22참조)에서 시프트(오른쪽 또는 왼쪽으로 시프트)를 제어하여 지연단(지연 회로(33) 및 더미 지연 회로(34))에 의한 지연량을 가감하도록 되어 있다. 여기서, ψRE는 짝수단의 가산 제어 신호를 나타내며, ψRO는 홀수단의 가산 제어 신호를 나타내며, ψSE는 짝수단의 감산 제어 신호를 나타내며, 그리고, ψSO는 홀수단의 감산 제어 신호를 나타내고 있다. 그리고, 후술하는 바와 같이, 비교 대상신호 ψout의 위상이 비교기준신호 ψext의 위상보다도 진행하고 있을 때, 짝수단의 가산 제어 신호 ψRE 및 /또는 홀수단의 가산 제어 신호 ψRO가 지연제어 회로(32)에 출력되어 지연 회로(33) 및 더미 지연 회로(34)에서 지연량을 증대시킨다. 또한, 비교 대상신호 ψout의 위상이 비교 기준신호 ψext의 위상보다도 지연될 때, 짝수단의 감산 제어 신호 ψSE 및 /또는 홀수단의 감산 제어 신호 ψSO가 지연 제어 회로(32)에 출력되어 지연 회로(33) 및 더미 지연 회로(34)에서 지연량이 감소된다.

이 때, 본 실시예의 위상 비교 회로에서는, 비교 기준신호 ψext 및 비교대상신호 ψout의 위상차가 큰 경우, 콘트롤 신호에 복수의 펄스(본 실시예에서는 4개의 펄스)를 출력하여, 시프트 레지스터(지연 제어 회로(32))를 복수단 시프트시킴으로써 지연량을 크게 보정할 수 있도록 되어 있다. 여기서, 본 실시예에서, 비교 기준신호 ψext 및 비교대상신호 ψout의 위상차를 비교하는 소정의 값은, 후술하는 지연 회로(33) 및 더미 지연 회로(34)를 구성하는 1단분 지연단의 지연량(ltd)을 단위로서 결정할 수 있도록 되어 있다.

이하, 본 실시예의 위상 비교 회로의 동작을 설명한다.

도 10 및 도 11에서, 제1 위상 비교부(420)는 비교 대상신호 ψout(In)를 비교기준신호 ψext(Ref)에 대하여 +1td의 범위로 위상 비교한다. 또한, 1td는 지연 회로(33) 및 더미 지연 회로(34) (도 21의 (a),(b) 및 (c) 참조)에 사용되고 있는 하나의 지연단(지연소자)의 지연 시간, 즉, 1단분 지연단의 지연량을 나타내고 있다.

즉, 제1 위상 비교부(420)는 비교 대상신호 ψout와 비교 기준신호 ψext와의 위상차 tdp(비교 기준신호 ψext에 대한 비교 대상신호 ψout의 위상 : tdp = ψout - ψext)가, tdp > 0이면 슬로우(SLOW), 0 ≥ tdp ≥ -ltd이면 져스트(JUST), 그리고, -1td > tdp이면 패스트(FAST)로 판정하도록 되어 있다.

마찬가지로, 제2 위상 비교부(410)는 비교 대상신호 ψout를 비교 기준신호 ψext에 대하여 ±4td의 범위에서 위상 비교하는 것으로, 비교 대상신호 ψout와 비교 기준신호 ψext와의 위상차 tdp가 4td < tdp이면 슬로우(SLOW : 베리 슬로우(VERY SLOW)에 대응), 4td ≥ tdp ≥ -4td이면 져스트(JUST), 그리고, -4td > tdp이면 패스트(FAST : 베리 패스트(VERY FAST)에 대응)로 판정하도록 되어 있다.

만약, 제2 위상 비교부(410)가 슬로우(베리 슬로우) 또는 패스트(베리 패스트)라고 판정하면, 래치회로(415, 416)의 출력 신호인 신호(N00, N01), 또는, 신호Nl0, Nl1)가 고레벨 " H" 로 되며, 발진 제어 회로(504)에서 신호 Start에 저레벨 " L" 의 펄스가 출력된다. 이로써, 발진 활성화신호 OscEn이 고레벨 " H" 로 되어, 카운터 회로(500) 및 발진 회로(503)가 활성화(인에이블 상태)된다.

카운터 회로(500)는 발진 회로(503)의 발진한 신호수를 카운트하고 있어, 발진 활성화 신호 0scEn이 고레벨 " H" 로 되면 발진 회로(503)가 발진하지만, 카운터 회로(500)는 발진 회로(503)의 발진한 신호수(펄스)를 카운트하여, 소정의 카운트수에 달하면, 발진 제어 회로(504)에서 신호 Stop에 저레벨 " L" 이 출력되어, 발진 활성화신호 OscEn이 저레벨 " L" 로 된다. 이로써, 발진 회로(503)는 발진을 정지하고, 카운터 회로(500)는 리셋상태(카운트수가 0로 되돌아감)로 된다.

여기서, 발진 회로(503)의 발진한 신호수(펄스)를 몇 회 카운트하면, 상기 발진 회로의 발진을 정지할 것인가는 카운터 회로(500)의 구성에 의해 임의로 설정할 수 있다. 또한, 카운터 회로(500), 발진 회로(503), 및 발진 제어 회로(504)(신호 선택 회로(505))는 위상 비교부(제1 위상 비교부(420) 및 제2 위상 비교부(410))의 비교결과에 따라 출력하는 펄스수를 제어하는 펄스수 제어부를 구성하고 있다.

그리고, 도 10 및 도 11에 나타내는 본 실시예에서는 제2 위상 비교부(410)가 슬로우(베리 슬로우) 또는 패스트(베리 패스트)라고 판정하면, 비교 대상신호 ψout 및 비교 기준신호 ψext를 위상 비교한 단계에서 1개의 펄스가 출력되며, 또한, 발진 회로(503)의 발진에 의해 3개의 펄스가 출력되고, 이에 따라 4개의 펄스신호가 출력되어 4td분의 지연량의 보정이 행하여지게 된다.

즉, 카운터 회로(500)에서 노드(nl00, nl01)가 함께 고레벨 " H" 로 되었을 때에, 발진 회로(503)의 발진이 정지하도록 되어 있다. 또한, 노드(n100, n101)는 각각 2진수의 1번째 자리수 및 2번째 자리수에 대응하며, 따라서, 노드(n100, n101)가 함께 고레벨 " H" 로 되는 것은 십진수의 3에 해당한다.

그리고, 출력된 펄스는 신호 선택 회로(505)에 의해 신호 Pu(ψa)로써 통합되어, JK 플립플롭(427)에 공급된다. 시프트 레지스터(지연 제어 회로(32))는 레지스터를 시프트시킬 때, 짝수 번째의 레지스터와 홀수 번째의 레지스터를 구별하여 제어할 필요가 있기 때문에, JK 플립플롭(427)은 최후에 시프트시킨 레지스터가 짝수인가 홀수인가를 기억해 둠과 동시에, 위상 비교의 결과를 지연량의 가산 또는 감산으로서 출력할 때, 짝수단인가, 홀수단인가를 선택하는 선택신호를 출력한다. 즉, 신호 Pu에 펄스가 입력할 때마다, JK 플립플롭(427)의 출력이 짝수단용 출력(제어 신호 ψSE, ψRE)에서 홀수단용 출력(제어 신호 ψSO, ψRO)으로, 또는, 홀수단용 출력(제어 신호 ψSO, ψRO)에서 짝수단용 출력(제어 신호 ψSE, ψRE)으로 변화한다.

그리고, 만약, 제1 위상 비교부(420)가 슬로우 또는 패스트라고 판정하면, 제어 신호 ψSO, ψRO, 또는, 제어 신호 ψSE, ψRE에 1회 펄스가 나온다. 또한, 만약, 제2 위상 비교부(410)가 슬로우(베리 슬로우) 또는 패스트(베리 패스트)라고 판정하면, 제1 위상 비교부(420)의 슬로우 또는 패스트의 결과를 받아 (제2 위상 비교부(410)가 슬로우 또는 패스트라고 판정할 때, 반드시 제1 위상 비교부(420)의 슬로우 또는 패스트의 판정결과는 상기 제2 위상 비교부(410)의 슬로우 또는 패스트의 판정결과에 일치한다), 제어 신호 ψSO, ψSE, 또는, 제어 신호 ψRO, ψRE에 4회 펄스가 나가게 된다.

따라서, 제1 위상 비교부(420) 및 제2 위상 비교부(410)의 양쪽의 판정결과에 의해, 비교 대상신호 ψout와 비교 기준신호 ψext와의 위상차 tdp(비교 기준신호 ψext에 대한 비교 대상신호 ψout의 위상 : tdp = ψout - ψext)가 tdp > 4td라면 베리 슬로우(VERY SLOW)로 판정하여 제어 신호 ψSO 및 ψSE에 합계 4회의 펄스를 출력하며, 4td ≥ tdp > 0이면 슬로우(SL0W)로 판정하여 제어 신호 ψSO 또는 ψSE에 1회의 펄스를 출력하고, 0 ≥ tdp ≥ -ltd이면 져스트(JUST)로 판정하여 제어 신호 ψRO, ψRE, ψSO, ψSE에 펄스를 출력하지 않고 (그 때의 지연량을 유지), -1td > tdp ≥ -4td이면 패스트(FAST)로 판정하여 제어 신호 ψRO 또는 ψRE에 1회의 펄스를 출력하며, 그리고, -4td > tdp이면 베리 패스트(VERY FAST)로 판정하여 제어 신호 ψRO 및 RSE에 합계 4회의 펄스를 출력한다.

이와 같이, 위상 비교부(31)는, m 및 n을 다른 자연수로 m < n으로 하여, 비교 기준신호 ψext 및 비교 대상신호 ψout의 위상차 tdp를 m단분 지연단의 지연량 mtd (예컨대, 1td)와 비교하여 판정하는 제1 위상 비교부(420)와, 상기 비교 기준신호 및 비교 대상신호의 위상차 tdp를 n단분 지연단의 지연량 ntd(예컨대, 4td)와 비교하여 판정하는 제2 위상 비교부(410)를 갖추어, 이들 제l 및 제2 위상 비교부(420, 410)의 판정결과에 따라 펄스수 제어부가 출력하는 펄스수를 제어하도록 되어 있다.

여기서, 베리 패스트 및 베리 슬로우일 때에 출력되는 펄스수는 4회로 한정되지 않고, 예컨대, 8회 등으로 하여도 좋다. 이 경우에는, 예컨대, 카운터 회로(500)를 2단 카운터(501, 502)에다 1단의 카운터(501, 502와 같은 것)를 더 설치한 3단 카운터로서 구성하게 된다. 또는, 카운터 회로(500)에서 노드 (n101)대신에 노드(N2)로부터 출력 신호를 인출함으로써(노드(N2)의 신호를 노드(nl01)의 신호로서 사용한다), 베리 패스트 및 베리 슬로우일 때에 출력되는 펄스수를 3회로 할 수 있다. 이 경우, 제조된 반도체 집적 회로(DLL 회로)의 특성에 따라 트리밍을 하여, 출력 펄스수를 설정하도록 하여도 좋다. 즉, 회로가 형성된 칩상의 소정의 배선을 절단하는 것에 의해, 출력 펄스수를 3회 또는 4회로 설정하도록 하여도 좋다. 또한, 도 10 및 도 11에 나타내는 회로는 위상 비교 회로의 일 구성예이고, 여러가지로 변형할 수 있음은 물론이다.

또한, 제1 위상 비교부(420)에서 비교(판정)를 ±1td에서 행할 경우에는 지연 회로(423)의 지연량을 1td에서 2td로 하고, 비교 대상신호 ψout를 ltd의 지연량을 갖는 지연 회로를 통해 공급하면 좋다. 이 때, 제1 위상 비교부(420)는 비교 대상신호 ψout와 비교 기준신호 ψext와의 위상차 tdp(비교 기준신호 ψext에 대한 비교 대상신호 ψout의 위상 : tdp = ψout - ψext)가 -1td > tdp이면 패스트(FAST), 1td ≥ tdp ≥ -1td 이면 져스트(JUST), 그리고, tdp > 1td이면 슬로우(SLOW)로 판정하게 된다.

도 12 내지 도 16은 도 10 및 도 11에 나타내는 위상 비교 회로의 시뮬레이션 결과를 도시한 도면이고, 도 12는 베리 패스트(VERY FAST)일 때의 파형을 나타내며, 도 13은 패스트(FAST)일 때의 파형을 나타내며, 도 14는 져스트(JUST)일 때의 파형을 나타내고, 도 14는 슬로우(SLOW)일 때의 파형을 나타내며, 그리고, 도 15는 베리 슬로우(VERY SLOW)일 때의 파형을 나타내고 있다. 또한, 이하의 설명에서는, 비교기준신호 ψext에 대한 비교 대상신호 ψout의 위상 tdp를 tdp = ψout - ψext로서 설명한다.

우선, 도 12에 나타내는 바와 같이, 비교 대상신호 ψout(In)가 비교 기준신호 ψext(Ref)에 대하여 4td보다도 크게 진행하고 있을(-4td > tdp)경우일 때, 베리 패스트(VERY FAST)로 판정되어, 위상 비교의 타이밍 시에 각각 제어 신호 ψRO 및 ψRE에 대하여 교대로 2회씩(합계 4회)의 펄스가 출력된다. 여기서, 1단분의 지연단에 의한 지연량(1개의 지연소자에 의한 지연 시간)은, 60 psec.(0.06 nsec.)이고, 이하의 각 시뮬레이션 결과를 나타낸 도면에서도 마찬가지이다. 이로써, 지연 회로(33) 및 더미 지연 회로(34)에서는 지연소자 4개분의 지연 시간(4단의 지연단분의 지연량)이 추가된 신호, 즉, 지연소자 4개분의 지연 시간만큼 더 늦은 신호가 출력된다. 또한, 도 12에 나타내는 시뮬레이션(확대도 참조)에서는, 당초(예컨대, 전원공급할 때 등), 비교 대상신호 ψout가 비교 기준신호 ψext보다도 20td만큼 진행하여 있는(tdp = -1.2 nsec.)경우가 나타나 있다. 2회의 제어 신호 ψRO가 5번 출력되고, 또한, 2회의 제어 신호 ψRE가 5번 출력되면(4회의 펄스신호 ψRO, ψRE가 5번 출력되면), 져스트의 상태(0 ≥ tdp ≥ -1td)로 되는 상황을 나타내고 있다. 여기에서, 베리 패스트와 져스트 사이에, 패스트(-ltd > tdp ≥ -4td)로 판정되어, 도 13에 나타내는 처리를 행할 수도 있다는 것은 말할 필요도 없다. 또한, 베리 슬로우의 경우도 마찬가지이다.

또한, 도 13에 나타내는 바와 같이, 비교 대상신호 ψout가 비교 기준신호 ψext보다도 1td보다 크고 4td 이하의 범위로 진행하고 있는(-1td > tdp ≥ -4td)경우, 패스트(FAST)로 판정되어 제어 신호 ψRO 또는 ψRE에 1회의 펄스가 출력된다. 이로써, 지연 회로(33) 및 더미 지연 회로(34)에서는 지연소자 1개분의 지연 시간(1단의 지연단분의 지연량)이 추가된 신호, 즉, 지연소자 1개분의 지연 시간만큼 더 늦은 신호가 출력된다. 또한, 도 13에 나타내는 시뮬레이션(확대도 참조)에서는, 당초, 비교 대상신호 ψout가 비교 기준신호 ψext보다도 약 3.3td만큼 진행하고 있는 (tdp = -0.2 nsec.)경우가 표시되어, 1회의 제어 신호 ψRO가 2번 출력되며, 또한, 1회의 제어 신호 ψRE가 1번 출력

되면, 져스트의 상태(0 ≥ tdp ≥ -ltd)로 되는 상황이 나타나 있다.

또한, 도 14에 나타내는 바와 같이, 비교 대상신호 ψout가 비교 기준신호 ψext보다도 1td이하의 범위로 진행하고 있는(0 ≥ tdp ≥ -1td)경우, 져스트(JUST)로 판정되어 제어 신호 ψRO, ψRE, ψSO, ψSE에 펄스는 출력되지 않는다. 즉, 지연 회로(33) 및 더미 지연 회로(34)에서 지연량이 유지되어, 그때까지와 같은 지연량이 주어진 신호가 출력된다. 또한, 도 14에 나타내는 시뮬레이션(확대도 참조)에서는, 당초, 비교 대상신호 ψout가 비교 기준신호 ψext보다도 약 0.3td만큼 진행하고 있는 (tdp = -0.02 nsec.)경우가 나타나 있다.

그리고, 도 15에 나타난 바와 같이, 비교 대상신호 ψout가 비교 기준신호 ψext보다도 4td이하의 범위로 지연되고 있는(4td ≥ tdp > 0)경우, 슬로우(SL0W)로 판정되어, 제어 신호 ψSO 또는 ψSE에 1회의 펄스가 출력된다. 이에 따라, 지연 회로(33) 및 더미 지연 회로(34)에서는 지연소자 1개분의 지연 시간(1단의 지연단분의 지연량)이 제하여진 신호, 즉, 지연소자 1개분의 지연 시간만큼 지연량이 감소된 신호가 출력된다. 또한, 도 15에 나타내는 시뮬레이션(확대도 참조)에서는, 당초, 비교 대상신호 ψout가 비교 기준신호 ψext보다도 2.5td만큼 지연되고 있는(tdp = +0.15 nsec.)경우가 표시되어, 1회의 제어 신호 ψRO가 1번 출력되며, 또한, 1회의 제어 신호 ψRE가 1번 출력되면, 져스트의 상태(0 ≥ tdp ≥ -1td)로 되는 상황이 나타나 있다.

또한, 도 16에 나타난 바와 같이, 비교 대상신호 ψout가 비교신호 ψext보다도 4td를 초과하여 지연되고 있는(tdp > 4td)경우, 베리 슬로우(VERY SLOW)로 판정되어, 위상 비교의 타이밍시 에 제어 신호 ψS0 및 ψSE에 대하여 교대에 2회씩(합계 4회)의 펄스가 출력된다. 이에 따라, 각 타이밍으로 지연 회로(33) 및 더미 지연 회로(34)에서는 지연소자 4개분의 지연 시간(4단 지연단분의 지연량)이 제하여진 신호, 즉, 지연소자 4개분의 지연 시간만큼 지연량이 감소된 신호가 출력된다. 또한, 도 l6에 나타내는 시뮬레이션(확대도 참조)에서는, 당초, 비교 대상신호 ψout가 비교 기준신호 ψext보다도 20td만큼 지연되고 있는(tdp = +1.2 nsec.)경우가 나타나 있다.

이상과 같이, 베리 패스트 및 베리 슬로우일 때에 출력되는 펄스수는 4회로 한정되지 않고, 여러 가지로 변경할 수 있다는 것은 전술한 대로이다. 또한, 비교 대상신호 ψout와 비교 기준신호 ψext와의 위상차 tdp를 판별하는 값도, 1td, 0 및 ±4td로 한정되는 것은 아니다.

도 17의 (a) 및 (b)는 도 10 및 도 11에 나타내는 위상 비교 회로에서 타이밍을 설명하기 위한 도면이고, 도 17(a)는 도 1의 반도체 집적 회로에서 위상 비교 회로에 입력하는 신호에 대응하며, 도 17(b)는 도 2의 반도체 집적 회로에서 위상 비교 회로(3)에 입력하는 신호에 대응하고 있다. 여기서, 외부 클럭(SI : 비교 기준신호 ψext)의 1주기의 시간 tCLK = 4 nsec.로 하고, 위상 비교 회로에 입력하는 신호의 차(비교 기준신호 ψext(S1)과 비교 대상신호 ψout(S0)와의 시간차)를 5 nsec.로 한다. 또한, 도 1 7(b)는 후술하는 도 19에 대응하고 있다.

도 17(a)에 나타나는 바와 같이, 분주를 하지 않은 경우, Tb의 위치에 맞추어야하지만, 1주기의 시간 tCLK가 신장한 때에는 Ta가 될지도 모른다. 즉, 비교 기준신호 ψext와 비교 대상신호 ψout의 지연과 1주기의 시간 tCLK의 관계에 따라 위상을 Ta, Tb, Tc, Td, ・・・의 어느 것으로 할 것인가 제어하지 않으면 안되어서 이 제어는 많은 곤란이 따른다. 또한, 위상 비교 회로는, 우선 비교하는 입력신호가 각각 저레벨 " L" 이 되며, 이것이 리셋상태로 된다. 다음으로, 어느 한쪽의 입력신호가 먼저 고레벨 " H" 로 되지만, 양쪽이 동시에 고레벨 " H" 의 상태를 경유하여 리셋상태로 복귀한다. 즉, 비교하는 클럭끼리(비교 기준신호 ψext 및 비교 대상신호 ψout)는 펄스가 중첩되어 있지 않으면 위상 비교할 수 없다.

그렇지만, 예컨대, 비교 기준신호 ψext와 비교 대상신호 ψout의 지연이 최대 5 nsec.이고, 1주기의 시간 tCLK의 최소가 4 nses.라고 알고 있으면, 외부 클럭 S1(ψext)을 8분주하여, 도 17(b)에 나타낸 바와 같이, 펄스의 듀티비를 1대 3으로 하면, 반드시 고레벨 " H" 로 되는 부분이 중첩되어(이것은 위상 비교기의 특성상 중요하다), 비교 기준신호 ψext의 상승 에지와 또한 그것에 대응하는 비교 대상신호 ψout의 상승 에지가 일관되게 결정되게 된다.

도 18은 도 2의 반도체 집적 회로에서 분주 회로의 일례를 나타내는 회로도이고, 도 19는 도 18의 분주 회로의 각 노드의 신호 파형을 나타낸 도면이다. 여기서, 도 18에 나타내는 분주 회로(30)는, 도 19의 파형 도면에서 명백한 바와 같이, 입력신호 S1(외부 클럭 CLK)을 8분주하여, 외부 클럭 CLK의 2클럭 사이클만큼의 기간이 고레벨 " H" (또는, 저레벨 " L")로, 6사이클만큼의 기간이 저레벨 " L" (또는, 고레벨 " H")로 되는 신호 S2(신호 S3)를 생성하는 것이다.

도 18에 나타낸 바와 같이, 분주 회로(30)는 복수의 NAND 게이트 및 인버터로 이루어지는 3단의 카운터(301 303)로서 구성되며, 상기 분주 회로(30)에 대하여 신호 S1(입력 회로(2l)를 통하여 외부 클럭 CLK)을 공급하여, 도 19에 나타내는 것과 같은 제1 및 제2 출력 신호 S2 및 S3를 생성하도록 되어 있다. 또한, 도 19에서, 참조부호 A는 첫번째 카운터(301)의 출력 신호, B는 2번째 카운터(302)의 출력 신호이고, 각 신호 파형은 도 19에 나타내는 대로이다. 또한, 분주 회로(30)는 복수의 NAND 게이트 및 인버터에 의해 이루어지는 3단의 카운터로 구성하는 것에 한정되지 않고, 여러 가지 논리게이트의 조합으로서 구성할 수 있다는 것은 말할 필요도 없다.

도 20은 도 18의 분주 회로를 사용한 반도체 집적 회로의 동작을 설명하기 위한 타이밍도이다.

도 20에 나타난 바와 같이, 분주 회로(30)는 입력 회로(21)의 출력인 신호 S1(외부 클럭 CLK)을 수신하여, 2주기의 사이(도 20중의 기간 aa)만큼 고레벨 " H" 로, 6주기의 사이(도 20중의 기간 bb)만큼 저레벨 " L" 로 되는 8분주(aa + bb)한 신호 S2 (제1 출력 신호)와, 그 역상의 신호 S3(제2 출력 신호)를 출력한다. 여기서, 제1 출력 신호 S2는 더미 지연 회로(34)에 공급되며, 제2 출력 신호 S3는 위상 비교 회로(31)의 한쪽의 입력에 공급된다. 또한, 신호 S0는 분주 회로(30)의 제1 출력 신호 S2가 더미 지연 회로(34), 더미 배선(4), 더미 출력 회로(52) 및 더미 입력 회로(22)에 의해 지연되어, 위상 비교 회로(31)의 다른 쪽의 입력에 공급된 신호이다.

위상 비교 회로(디지털 위상 비교기)(31)는 분주 회로(30)의 제2 출력 신호 S3의 상승타이밍과 신호 S0의 상승타이밍과의 위상을 비교하여, 상기 비교결과에 따라 지연 제어 회로(시프트 레지스터)(32)가 지연 회로(33) 및 더미 지연 회로(34)에 대하여 같은 지연량을 주도록 제어한다. 즉, DLL회로(3)는 입력 회로(21)로부터의 신호 S1(외부 클럭 CLK)에 대하여, 지연 회로(33)에 의한 지연량이 주어진 클럭신호(내부 클럭신호)를 출력하도록 되어 있다. 이로써, DLL회로(3)에서 2클럭사이클 앞의 외부 클럭에서부터 위상 동기한 내부 클럭을 생성할 수가 있어, DLL회로(3)를 고속 동작 가능한 SDRAM에 대응시킬 수 있다.

또한, 분주 회로(30)의 제1 출력 신호 S2에서 기간 aa를 변화시킴으로써 몇 클럭 앞의 외부 클럭에서부터, DLL회로(3)에서 내부 클럭을 만들 것인가를 조절할 수 있다. 구체적으로, 신호 S2의 기간 aa를 3 클럭만큼의 길이로 함으로써, DLL 회로(3)에서 3 클럭 사이클 앞의 외부 클럭에서부터 위상 동기한 내부 클럭을 생성할 수 있다. 또한, 분주 회로(30)의 제1 출력 신호 S2에서 기간 bb를 바꿈으로써(aa+ bb), 몇 주기마다 위상 비교를 할 것인가를 조절할 수 있다.

따라서, 본 실시예에서, 분주 회로(30)는 Y를 2이상의 정수로 Z를 양의 정수로 하여, 신호 S1(외부 클럭 CLK)를 Y주기만큼 고레벨 " H" 이고, 상기 신호 S1의 Z주기만큼 저레벨 " L" 로 되는 제1 출력 신호 S2를 생성하여, 외부 클럭 C

LK의 Y주기만큼 지연된 타이밍으로 위상 비교 회로(31)의 위상 비교처리를 행하도록 되어 있다. 또한, 본 실시예에서, 분주 회로(30)는 X를 2이상의 정수로 하여, 신호 S1(외부 클럭 CLK)을 X분주한 제1 및 제2 출력 신호 S2, S3를 생성하여, 외부 클럭 CLK의 X주기마다 위상 비교 회로(3l)의 위상 비교처리를 하도록 되어 있다.

도 21의 (a),(b) 및 (c)는 도 1 및 도 2의 반도체 집적 회로에서 지연 회로(33, 34)의 일 구성예를 설명하기 위한 도면이고, 도 21의 (a)는 1비트분의 지연 회로의 구성을 나타내며, 도 21의 (b)는 상기 1비트분의 지연 회로의 동작의 타임챠트를 나타내며, 그리고, 도 21의 (c)는 1비트분의 지연 회로를 복수단 접속하였을 때의 구성과 동작설명을 나타내는 것이다.

도 21의 (a)에 나타낸 바와 같이, 1비트분의 지연 회로는 2개의 NAND 게이트(401, 402) 및 인버터(403)를 갖추어 구성된다. 이 1비트분의 지연 회로의 동작을 도 21의 (b)를 참조하여 설명하면, 입력 ψE는 활성화신호(인에이블 신호)이고, 고레벨 "H" 일 때에 지연 회로가 동작한다. 도 21의 (b)에서는, 인에이블 신호 ψE가 고레벨 "H" 로 되어 신호의 억세스가 가능하게 된 상태가 표시되어 있다. 또한, 도 21의 (b)에서, IN은 1비트분의 지연 회로에의 입력신호를 나타내며, 또한, ψN은 복수단 접속된 지연 회로 중 인접하는 오른쪽의 지연 회로에서 신호, OUT는 1비트분의 지연 회로의 출력 신호, 그리고, 4a-1 및 4a-2는 도 21의 (a)의 회로에서 대응하는 노드의 파형을 나타내고 있다. 따라서, OUT는 좌측에 인접하는 1비트분의 지연 회로에서 신호 ψN에 대응한다.

신호 ψN이 저레벨 "L" 일 때에는, 출력 신호 OUT는 항상 저레벨 "L" 로 되며, 또한, 신호 ψN이 고레벨 "H" 이고 신호 ψE가 저레벨 "L" 일 때에는, 출력 신호 OUT는 고레벨 "H" 이 된다. 신호 ψN이 고레벨 "H" 이고 신호 ψE가 고레벨 "H" 일 때에, 입력신호 IN이 저레벨 "L" 이면 출력 신호 OUT는 고레벨 "H" 로 되며, IN이 고레벨 "H" 이면 저레벨 "L" 이 된다.

도 21의 (a)의 회로에 의하면, 인에이블 신호 ψE가 고레벨 "H" 의 상태로 입력신호 IN이 시작하면, 그 입력신호는 화살표의 경로로 전파하지만, 인에이블 신호 ψE가 저레벨 "L" 인 상태에서는, 입력신호 IN이 출력 OUT에 화살표의 경로로 전파하지 않도록 되어 있다.

도 21의 (c)는, 도 21의 (a)에 나타내는 1비트분의 지연 회로를 복수단 캐스코드 접속한 예로써, 실제의 지연 회로에 상당한다. 여기서, 도 21의 (c)에서는 3단밖에 묘사하고 있지 않지만, 실제로는 다수단 접속되어 있다. 또한, 인에이블 신호 ψE의 신호선은, 회로요소마다 ψE-1, ψE-2, ψE-3와 같이 복수 라인이며, 이들 신호는 지연 제어 회로(32)에 의해 제어된다.

도 21의 (c)에서는, 중앙의 1비트분의 지연 회로가 활성화되어 있고, 인에이블 신호 ψE-2가 고레벨 "H" 로 되어 있다. 이 경우, 입력신호 IN이 저레벨 "L" 에서 고레벨 "H" 로 변화하면, 좌측단의 1비트분 지연 회로와 우측단의 1비트분 지연 회로의 인에이블 신호 ψE-1 및 ψE-3는 저레벨 "L" 이기 때문에, 굵은 선과 같이 입력신호 IN은 NAND 게이트 401-1 및 401-3에서 멈추어져 버린다.

한편, 활성화되어 있는 중앙의 1비트분 지연 회로의 인에이블 신호 ψE-2는 고레벨 "H" 레벨이기 때문에, 입력신호 IN은 NAND 게이트(401-2)를 통과한다. 오른쪽의 1비트분 지연 회로의 출력 신호 OUT는 고레벨 "H" 이기 때문에, 입력신호 IN은 NAND 게이트(402-2)도 통과하여 출력 신호 OUT로서 저레벨 "L" 의 신호가 전달되게 된다. 전술한 바와 같이, 오른쪽의 출력 신호 OUT, 즉, 인에이블 신호 ψN이 저레벨 "L" 일 때에는, 출력 신호 OUT는 항상 저레벨 "L" 로 되기 때문에, 이 저레벨 "L" 신호가 좌측의 1비트분 지연 회로의 NAND 게이트 및 인버터에 순차 전달되어, 최종적인 출력 신호로서 인출된다.

이와 같이, 활성화된 1비트분의 지연 회로를 통해, 입력신호 IN은 되돌아오게 되도록 신호 전달되어, 최종적인 출력 신호로 된다. 즉, 어느 부분의 인에이블 신호 ψE를 고레벨 "H" 로 할 것인가에 따라 지연량을 제어할 수 있다. 1비트분의 지연량은, NAND 게이트와 인버터의 합계의 신호 전파시간으로 결정되며, 이 시간이 DLL회로의 지연 단위시간이 되고, 그리고, 전체의 지연 시간은 1비트분의 지연량에 통과하는 단수를 곱한 량으로 된다.

도 22는 도 1 및 도 2의 반도체 집적 회로에서 지연 제어 회로의 일 구성예를 설명하기 위한 도면이다.

도 22에 나타낸 바와 같이, 지연 제어 회로도 점선으로 둘러싼 1비트분의 지연 제어 회로(430-2)를 지연 회로의 단수만큼 접속한 구성으로 되어 있고, 각 단의 출력이 지연 회로의 각 단의 인에이블 신호 ψE가 된다.

구체적으로, 1비트분의 지연 제어 회로(430-2)는 NAND 게이트(432-2)와, 인버터(433-2)로 구성되는 플립플롭의 양단에 각각 직렬로 접속된 트랜지스터(435-2, 437-2, 438-2, 439-2), 및 NOR 게이트(431-2)를 갖고 있다. 트랜지스터(438-2)의 게이트는 전단의 1비트분 지연 제어 회로의 노드(5a-5)에, 트랜지스터(439-2)의 게이트는 후단의 1비트분 지연 제어 회로의 노드(5a-5)에 접속되어, 전단과 후단의 신호를 수신하도록 되어 있다. 한편, 직렬 접속되어 있는 다른쪽의 트랜지스터에는, 카운트 업할 때의 리셋신호 ψSE 및 ψSO와, 카운트 다운할 때의 리셋신호 ψRE 및 ψRO가 1 비트마다 회로에 접속되고 있다.

도 22에 나타낸 바와 같이, 중앙의 1비트분 지연 제어 회로(430-2)에서는, 트랜지스터(435-2)의 게이트에 세트신호 ψSO가 공급되고, 트랜지스터(437-2)에 리셋신호 ψRO가 공급되며, 또한, 지연 제어 회로(430-2)의 전단 및 후단 양측의 회로의 각 대응하는 트랜지스터의 게이트에는 제각기 세트신호 ψSE 및 리셋신호 ψRE가 공급되고 있다. 또한, NOR 게이트(431-2)에는 좌측(전단) 회로의 노드(5a-1)와 회로(430-2)의 노드(5a-4)의 신호가 입력되는 구성으로 되어 있다. 또한, ψR은 지연 제어 회로를 리셋하는 신호로써 전원 공급한 후에 일시적으로 저레벨 "L" 레벨로 되며, 그 후는 고레벨 "H" 로 고정된다.

도 23은 도 22의 지연 제어 회로의 동작을 설명하기 위한 타이밍도이다. 도 22에 나타낸 바와 같이, 우선, 리셋신호 ψR이 일시적으로 저레벨 "L" 로 되고, 노드(5a-1, 5a-3, 5a-5)가 고레벨 "H" , 또한, 5a-2, 5a-4, 5a-6이 저레벨 "L" 로 리셋된다. 그리고, 카운트 업할 때에는, 카운트 업 신호(세트신호) ψSE 및 ψSO가 교대로 고레벨 "H" 과 저레벨 "L" 을 반복한다.

세트신호 ψSE가 저레벨 "L" 에서 고레벨 "H" 로 되면, 노드(5a-1)는 접지되어 저레벨 "L" 이 되며, 또한, 노드(5a-2)는 고레벨 "H" 로 변화한다. 노드(5a-2)가 고레벨 "H" 로 변화한 것을 수신하여, 출력 신호(인에이블 신호) ψE-1은 고레벨 "H" 에서 저레벨 "L" 로 변화한다. 이 상태는 플립플롭에 래치되기 때문에, 세트신호 ψSE가 저레벨 "L" 로 복귀하여도 인에이블 신호 ψE-1은 저레벨 "L" 인 채이다. 그리고, 노드(5a-1)가 저레벨 "L" 로 변화한 것을 수신하여, 인에이블 신호(출력 신호) ψE-2가 저레벨 "L" 에서 고레벨 "H" 로 변화한다. 노드(5a-2)가 고레벨 "H" 로 변화하였기 때문에 트랜지스터(438-2)는 온 상태로 되고, 세트신호 ψSO가 저레벨 "L" 에서 고레벨 "H" 로 되면, 노드(5a-3)는 접지되어 저레벨 "L" 로, 또는, 노드(5a-4)는 고레벨 "H" 로 변화한다. 또한, 노드(5a-4)가 고레벨 "H" 로 변화한 것을 수신하여, 인에이블 신호 ψE-2는 고레벨 "H" 에서 저레벨 "L" 로 변화한다. 이 상태는 플립플롭에 래치되기 때문에, 세트신호 ψS0가 저레벨 "L" 로 복귀하였다 하여도 인에이블 신호 ψE-2는 저레벨 "L" 이다.

그리고, 노드(5a-3)가 저레벨 "L" 로 변화한 것을 수신하여, 인에이블 신호 ψE-3이 저레벨 "L" 에서 고레벨 "H" 로 변화한다. 도 23에서는, 세트신호 ψSE 및 ψSO가 1펄스씩 나오고 있을 뿐이지만, 지연 제어 회로가 여러 단에 접속되어 있어, 세트신호 ψSE 및 ψSO가 교대로 고레벨 "H" 과 저레벨 "L" 을 반복하면, 출력 신호(인에이블 신호) ψE가 고레벨 "H" 로 되는 단의 위치가 순차 오른쪽으로 이동한다. 따라서, 위상 비교 회로(31)의 비교결과에 의해 지

연량을 증가시킬 필요가 있는 경우에는, 교대로 세트신호 ψSE 및 ψSO의 펄스를 입력하면 좋다.

카운트 업 신호(세트 신호) ψSE 및 ψSO와, 카운트다운신호(리셋신호) ψRE 및 ψRO가 출력되지 않은 상태, 즉 저레벨 " L" 인 상태가 유지되면, 인에이블 신호 ψE는 고레벨 " H" 이 되는 단의 위치는 고정된다. 따라서, 위상 비교 회로(31)의 비교결과에 의해 지연량을 유지할 필요가 있는 경우에는, 신호 ψSE, ψSO, ψRE 및 ψRO의 펄스를 입력하지 않도록 한다.

카운트 다운할 때에는, 리셋신호 ψRE 및 ψRO의 펄스를 번갈아 입력하면, 카운트 업 때와 역으로 출력 ψE가 고레벨 " H" 이 되는 단의 위치가 순차 좌측으로 이동한다.

이상 설명한 바와 같이, 도 22에 나타낸 지연 제어 회로에서는, 펄스를 입력함으로써, 인에이블 신호 ψE가 고레벨 " H" 이 되는 단의 위치를 하나씩 이동시키는 것이 가능하고, 이들 인에이블 신호 ψE로 도 21의 (c)에 나타낸 지연 회로를 제어하면 지연량을 1단위씩 제어할 수 있다.

도 24는 본 발명에 관한 반도체 집적 회로가 적용되는 일례로서 동기식 DRAM의 구성을 나타낸 도면이고, 도 25는 도 24의 동기식 DRAM의 동작을 설명하기 위한 타이밍도이다.

본 발명이 적용되는 반도체 집적 회로의 일례로서 동기식 DRAM (SDRAM)은, 예컨대, 파이프라인 방식이 채용되며, 16 M · 2 뱅크 · 폭 8비트인 것으로서 구성되어 있다.

도 24에 나타낸 바와 같이, SDRAM은, 범용 DRAM의 DRAM 코어(108a, 108b) 외에, 클럭 버퍼(101), 코맨드 디코더(102), 어드레스 버퍼/레지스터 & 뱅크 어드레스 셀렉트(어드레스 버퍼)(103), 입출력 데이타 버퍼/레지스터(104), 제어 신호 래치(105a, 105b), 모드 레지스터(10), 칼럼 어드레스 카운터(107a, 107b)를 갖추고 있다. 여기서, /CS, /RAS, /CAS, /WE 단자는 종래의 동작과는 달리, 그 조합으로 각종 코맨드를 입력함으로써 동작모드가 결정되도록 되어 있다. 각종 코맨드 디코더로 해독되어 동작모드에 따라 각 회로를 제어하게 된다. 또한, /CS, /RAS, /CAS, /WE신호는 제어 신호 래치(105a, 105b)에도 입력되어 다음 코맨드가 입력될 때까지, 그 상태가 래치된다.

어드레스신호는, 어드레스 버퍼(103)로 증폭되어 각 뱅크의 로드 어드레스로서 사용될 뿐만 아니라, 칼럼 어드레스 카운터(107a, 107b)의 초기값으로서 사용된다.

클럭 버퍼(101)는, 내부 클럭 생성회로(121) 및 출력타이밍 제어 회로(122)를 갖추고 있다. 내부 클럭 생성회로(12l)는 외부 클럭 CLK에서 통상의 내부 클럭 신호를 생성하는 것이며, 또한, 출력타이밍 제어 회로(122)는 전술한 바와 같이 DLL회로를 적용하여 정확한 지연제어(위상제어)를 행한 클럭 신호를 발생하기 위한 것이다.

I/O 데이타 버퍼/레지스터(104)는 데이타 입력버퍼(13) 및 데이타 출력 버퍼(출력 회로)(51)를 갖추며, DRAM 코어(108a, 108b)에서 판독된 신호는 데이타 출력 버퍼(51)에 의해 소정의 레벨로 증폭되어, 출력타이밍 제어 회로(122)에서 클럭 신호에 따른 타이밍으로 데이타가 패드 DQ0 DQ7를 통해 출력된다. 또한, 입력 데이타에 관해서도, 패드 DQ0 DQ7로부터 입력된 데이타는 데이타 입력 버퍼(13)를 통해 수신된다. 여기서, 리얼 배선(RL)은 이 출력타이밍 제어 회로(122)에서 각 데이타 출력 버퍼(51)까지의 배선에 대응하고 있다.

상기의 SDRAM의 판독동작을 도 25를 참조하여 설명한다.

우선, 외부 클럭 CLK은 이 SDRAM이 사용되는 시스템에서 공급되는 신호이고, 이 CLK의 상승과 동기하여, 각종 코맨드, 어드레스신호, 입력 데이타를 수신, 또는, 출력 데이타를 출력하도록 동작한다.

SDRAM에서 데이타를 판독할 경우, 코맨드 신호(/CS, /RAS, /CAS, /WE 신호)의 조합에서 액티브(ACT) 코맨드를 코맨드 단자에 입력하고, 어드레스단자에는 로우 어드레스 신호를 입력한다. 이 코맨드, 로우 어드레스가 입력되면, SDRAM은 활성상태가 되고, 로우 어드레스에 부합하는 워드선을 선택하여, 워드선 상의 셀 정보를 비트 선에 출력하여, 센스 앰프로 증폭한다.

또한, 로우 어드레스에 관계한 부분의 동작시간(tRCD)후에, 리드 코맨드(Read)와 칼럼 어드레스를 입력한다. 칼럼 어드레스에 따라, 선택된 센스 앰프 데이타를 데이타 버스 선에 출력하여 데이타 버스앰프로 증폭하고, 출력 앰프로 더 증폭하여 출력단자(DQ)에 데이타를 출력한다. 이들 일련의 동작은 범용 DRAM과 완전히 같은 동작이지만, SDRAM의 경우, 칼럼 어드레스에 관계하는 회로가 파이프라인 동작하도록 되고 있어, 리드(read) 데이타는 매 사이클 연속하여 출력되게 된다. 이로써, 데이타 전송속도는 외부 클럭의 주기로 된다.

SDRAM에서 억세스 시간에는 3 종류가 있으며, 어느 것이나 CLK의 상승시점을 기준으로 하여 정의된다. 도 25에서, tRAC는 로우 어드레스 억세스시간, tCAC는 칼럼 어드레스 억세스시간, tAC는 클럭 억세스 시간을 나타내고 있다. 이 SDRAM을 고속 메모리시스템에서 사용할 경우, 코맨드를 입력하고 나서 최초로 데이타를 얻을 수 있기까지의 시간인 tRAC나 tCAC도 중요하지만, 도 22에서 설명한 바와 같이, 클럭 억세스 시간 tAC도 중요한 것이다.

도 26은 도 24의 동기식DRAM의 주요부 구성을 개략적으로 나타내는 블럭도로써, SDRAM에서 파이프라인 동작을 설명하기 위한 것이며, 일례로서 파이프가 3단 설치되어 있는 경우를 나타내고 있다.

SDRAM에서 칼럼 어드레스에 관계하는 처리회로는 처리의 흐름에 따라 복수단으로 분할되어 있고, 분할된 각 단의 회로를 파이프라고 부르고 있다.

클럭 버퍼(101)는 도 24를 참조하여 설명한 바와 같이, 내부 클럭 생성회로(121) 및 출력 타이밍 제어 회로(122)를 갖추어, 내부 클럭 생성회로(121)의 출력(통상의 내부 클럭 신호)은 파이프(1) 및 파이프(2)에 공급되고, 출력타이밍 제어 회로(122)의 출력(위상제어된 내부 클럭신호)은 파이프(3)의 출력 회로(51)(데이타 출력 버퍼)에 공급되도록 되고 있다.

각 파이프는 공급된 내부 클럭 신호에 따라 제어되며, 각 파이프 사이에는 파이프간 신호의 전달타이밍을 제어하는 스위치가 설치되고 있으며, 이들 스위치도, 클럭버퍼(101)(내부 클럭 생성회로(l21))에서 생성된 내부 클럭신호에 의해 제어된다.

도 26에 나타내는 예에서는, 파이프(1)에서, 칼럼 어드레스버퍼(l16)로 어드레스신호를 증폭하여 칼럼 디코더(118)에 어드레스신호를 송신하고, 칼럼 디코더(118)에서 선택된 어드레스번지에 상당하는 센스 앰프회로(117)의 정보를 데이타 버스에 출력하여, 데이타 버스의 정보를 데이타 버스앰프(119)로 증폭될 때까지 행하여진다. 또한, 파이프(2)에는 데이타 버스 제어 회로(120)만이 설치되고, 파이프(3)는 I/O버퍼(104)(출력 회로(51))로 구성되어 있다. 또한, I/O버퍼(104)에서 데이타 입력버퍼(13)는 도 26에서는 생략되어 있다.

그리고, 각 파이프내의 회로도 클럭 사이클시간 내에 동작 완료하면, 파이프와 파이프 사이에 있는 스위치는 클럭 신호에 동기하여 개폐하여서, 데이타를 릴레이식으로 송출한다. 이로써, 각 파이프에서 처리가 병행되어 행하여짐으로써, 출력단자에는 클럭 신호에 동기하여 연속적으로 데이타가 출력되게 된다.

도 27은 본 발명에 관한 반도체 집적 회로에서 출력 회로(데이타 출력 버퍼 회로 : 51)의 일 구성예를 설명하기 위한 도면이다. 도 26 및 도 27에 나타난 바와 같이, 도 27에서 Data(1) 및 Data(2)는 셀 어레이(115)에서 판독되고, 센스 앰프(117)와 데이타 버스 앰프(119)와 데이타 버스 제어 회로(120)를 통해 출력된 기억데이타에 대응하는 신호로써, Data(1) 및 Data(2)는 출력 데이타가 고레벨" H" 인 경우에는 동시에 저레벨 " L" 이며, 출력 데이타가 저레벨 "

L" 인 경우에는 동시에 고레벨 " H" 이다. 또한, 출력 데이타가 고레벨 " H" 도 저레벨 " L" 도 아닌 하이 임피던스상태(하이젯 상태)를 취하는 것도 가능하며, 그 경우에는 데이타 버스 제어 회로(120)에서, Data(1)가 고레벨 " H" 로, Data(2)가 저레벨 " L" 로 되도록 변환된다. 신호 ψoe는 출력타이밍 제어 회로(122)(도 2중의 지연 회로(33))의 출력 신호(클럭신호)에 대응하는 것으로, 출력 회로(51)의 인에이블 신호로서 기능하는 것이다.

클럭신호 ψoe가 고레벨 " H" 가 되면, Data(1)와 Data(2)의 정보가 데이타 출력 패드(6)(DQ0 DQ7)에 나타나도록 동작한다. 예컨대, 데이타 출력 패드(6)에 고레벨 " H" 를 출력하는 경우를 가정하면, 클럭신호 ψoe가 저레벨 " L" 에서 고레벨 " H" 로 변화하고, 노드(8a-1)가 저레벨 " L" 로, 노드(8a-2)가 고레벨 " H" 로 되어, 트랜스퍼 게이트가 온 됨으로써 Data(1) 및 Data(2)가 노드(8a-30) 및 노드(8a-6)에 전달된다. 그 결과, 노드(8a-5)가 저레벨 " L" 로, 노드(8a-8)가 고레벨 " H" 로 되면, 출력용 P 채널 트랜지스터(81)는 온으로 되고, 또한, N 채널 트랜지스터(82)는 오프로 되어 데이타 출력 패드(6)에는 고레벨 " H" 의 출력이 나타나게 된다. 또한, 클럭신호 ψoe가 저레벨 " L" 이 되면, 트랜스퍼 게이트는 오프하여, 그때까지의 출력상태가 유지된다.

이상의 설명에서는, 본 발명의 반도체 집적 회로를 동기식 DRAM으로서 설명하였지만, 본 발명은 동기식 DRAM에 한하지 않고, 외부에서 입력되는 신호에 동기하여 출력 신호가 출력되는 반도체 집적회로라면 어떠한 것에도 적용 가능하다.

도 28은 본 발명에 관한 반도체 집적 회로에서 더미의 내부 출력 클럭 배선(42)(더미 배선(DL))의 일 구성예를 설명하기 위한 도면이다. 도 28에서 명백한 바와 같이, 더미 배선 DL은 리얼 배선(41)(RL)과 같은 선폭(線幅)의 배선에 의해 형성되어, 도 2에 나타나는 바와 같이, 더미 지연 회로(34)와 더미 출력 회로(52) 사이의 칩 상에 형성된다. 또한, 이 더미 배선 대신에 소정의 값을 갖는 용량소자 또는 저항 소자 등을 조합하여 대용하는 것도 가능하다.

이상의 설명에서는, 메모리(SDRAM)를 예로서 설명하였지만, 본 발명은, 다른 여러 가지 반도체 집적 회로에 대하여도 폭넓게 적용할 수 있다. 또한, 상기 각 실시예에서는 제어 신호로서 클럭 신호를 예로 들어 설명하였지만, 제어 신호로서는 클럭 신호에 한정되지 않음은 물론이다.

발명의 효과

이상, 전술한 바와 같이, 본 발명에 의하면, 전원을 입력할 때 등의 외부 클럭과 내부 클럭(비교 대상신호 및 비교 기준신호)의 위상차가 클 때, 한번에 보정할 수 있는 지연량을 크게 할 수 있어 DLL회로의 록 업시간을 단축할 수 있다. 이에 따라, DLL회로를 사용한 반도체 집적 회로를 안정적으로 확실히 동작시키는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

비교 기준 신호와 비교 대상 신호 사이의 위상차를 제1값과 비교하기 위한 제1 위상 비교부와,

상기 비교 기준 신호 및 비교 대상 신호 사이의 위상차를 상기 제1값과 동일하지 않은 제2값과 비교하는 제2 위상 비교부와,

상기 제1 및 제2 위상 비교부의 비교 결과에 따라 출력되는 펄스 수를 제어하기 위한 펄스 수 제어부를 포함하는 위상 비교 회로.

청구항 2.

제1항에 있어서, 상기 펄스 수 제어부는 펄스 신호를 발생하기 위한 발진 회로와,

상기 발진 회로의 출력을 카운트하기 위한 카운터 회로와,

상기 카운터 회로의 카운트값 및 상기 위상 비교부의 판정 결과에 따라 상기 발진 회로의 동작을 제어하기 위한 발진 제어 회로를 포함하는 위상 비교 회로.

청구항 3.

제1 제어 신호에 지연량을 부여하여 제2 제어 신호를 출력하기 위한 지연 회로와,

상기 제l 제어 신호에 대응하는 신호를 수신하여, 상기 지연 회로와 동일한 지연량을 부여한 신호를 출력하는 더미 지연 회로와,

상기 더미 지연 회로에서 지연량 및 상기 지연 회로에서 지연량을 동일한 값으로서 동시에 제어하는 지연 제어 회로와,

상기 제1 제어 신호에 대응한 신호를 비교 기준 신호로서 수신함과 동시에, 소정의 회로를 통해 상기 더미 지연 회로에서 출력 신호를 비교 대상 신호로서 수신하며, 상기 비교 기준 신호와 상기 비교 대상 신호의 위상차에 따라 소정 수의 펄스 신호를 상기 지연 제어 회로에 공급함으로써, 상기 지연 회로 및 상기 더미 지연 회로 각각에 있어서 지연량을 제어하는 위상 비교 회로를 포함하며,

상기 위상 비교 회로는

상기 비교 기준 신호 및 비교 대상 신호의 위상차를 소정의 값과 비교하여 판정하는 위상 비교부와,

상기 위상 비교부의 판정 결과에 따라 출력되는 펄스 수를 제어하기 위한 펄스 수 제어부를 포함하며, 상기 비교 기준 신호와 비교 대상 신호의 위상차를 비교하는 소정의 값은 상기 지연 회로 및 상기 더미 지연 회로를 구성하는 1 단분 지연단의 지연량을 사용하여 판정하는 DLL회로.

청구항 4.

제2항에 있어서, 상기 위상 비교부는 m을 자연수로 하여, 상기 비교 기준 신호와 비교 대상 신호 사이의 위상차를 m 단분 지연단의 제1 지연량과 비교하여 판정하기 위한 제1 위상 비교부와,

n을 자연수로 하고 m < n으로 하여, 상기 비교 기준 신호와 비교 대상 신호 사이의 위상차를 n 단분 지연단의 제2 지연량과 비교하여 판정하는 제2 위상 비교부를 포함하여,

상기 펄스 제어부는 상기 제1 및 제2 위상 비교부의 판정 결과에 따라 출력되는 펄스 수를 제어하는 DLL회로.

청구항 5.

제4항에 있어서, 상기 위상 비교부는 상기 비교 기준 신호와 비교 대상 신호사이의 위상차가 m 단분 지연단의 제1 지연량 이하일 경우 져스트(JUST)로 설정하고, 상기 펄스 수 제어부가 영으로서 출력되는 펄스 수를 설정하고 상기 지연 회로와 더미 지연 회로에서 지연량을 유지하도록 어댑트하고,

상기 비교 기준 신호와 비교 대상 신호 사이의 위상차가 m 단분 지연단의 제1 지연량 이상이고 n 단분 지연단의 제2 지연량 이하일 경우 패스트(FAST) 또는 슬로우(SLOW)로 설정하고, 상기 펄스 수 제어부에 의해 제1값으로 출력되는 펄스 수를 설정하고 상기 지연 회로 및 더미 지연 회로 각각에서 생성된 지연량을 보정하도록 어댑트하고,

상기 비교 기준 신호와 비교 대상 신호 사이의 위상차가 n 단분 지연단의 제2 지연량 이상인 경우 베리 패스트(VERY FAST) 또는 베리 슬로우(VERY SLOW)로 설정하고, 상기 펄스 수 제어부에 의해 상기 제1값 이상인 제2값으로 출력되는 펄스 수를 설정하고, 상기 지연 회로 및 더미 지연 회로 각각에서 생성된 펄스 수가 제1값으로 설정되는 경우 보정되는 양 이상으로 지연량을 보정하도록 어댑트되는 DLL회로.

청구항 6.

제5항에 있어서, 상기 위상 비교 회로에서 상기 지연 제어 회로로 공급되는 제어 신호는 짝수 지연단의 가산 제어 신호, 홀수 지연단의 가산 제어 신호, 짝수 지연단의 감산 제어 신호, 홀수 지연단의 감산 제어 신호를 포함하고,

상기 비교 대상 신호의 위상이 상기 비교 기준 신호의 위상보다 앞서 진행하는 경우 상기 짝수 지연단의 가산 제어 신호 및/또는 홀수 지연단의 가산 제어 신호는 상기 펄스 수 제어부가 출력하는 펄스 수에 따라 출력되어 상기 지연 회로 및 더미 지연 회로 각각에서 생성된 지연량을 증대시키며,

상기 비교 대상 신호의 위상이 상기 비교 기준 신호의 위상보다 뒤에 진행하는 경우 상기 짝수 지연단의 감산 제어 신호 및/또는 홀수 지연단의 감산 제어 신호는 상기 펄스 수 제어부가 출력하는 펄스 수에 따라 출력되어 상기 지연 회로 및 더미 지연 회로 각각에서 생성된 지연량을 감소시키는 DLL회로.

청구항 7.

제3항에 있어서, 상기 펄스 수 제어부는 펄스 신호를 발생하기 위한 발진 회로와,

상기 발진 회로의 출력을 카운트하는 카운터 회로와,

상기 카운터 회로의 카운트값 및 상기 위상 비교부의 판정에 따라 상기 발진 회로의 동작을 제어하기 위한 발진 제어 회로를 포함하는 DLL회로.

청구항 8.

제3항에 있어서, 상기 지연 제어 회로는 시프트 레지스터를 포함하여, 상기 펄스 수 제어부에서 출력되는 펄스 신호가 상기 시프트 레지스터에 의해 제어되는 상기 지연 회로 및 더미 지연 회로 각각에서 생성된 지연량을 정하도록 어댑트되는 DLL 회로.

청구항 9.

제3항에 있어서, 상기 DLL회로는 상기 제1 제어 신호가 공급된 분주 회로를 더 포함하여, 상기 분주 회로의 출력 신호가 상기 더미 지연 신호에 공급됨과 동시에 상기 위상 비교 회로의 비교 기준 신호로서 공급되는 DLL회로.

청구항 10.

DLL 회로를 포함한 반도체 집적 회로에 있어서, 상기 DLL 회로는

입력 제어 신호에 지연량을 부과하여 제2 제어 신호를 출력하기 위한 지연 회로와,

상기 제1 제어 신호에 대응하는 신호를 수신하여 상기 지연 회로에 의해 공급되는 지연량과 동일한 신호를 출력하기 위한 더미 지연 회로와,

상기 지연 회로의 지연량과 상기 더미 지연 회로의 지연량을 동일한 값으로 동시에 제어하기 위한 지연 제어 회로와,

상기 제1 제어 신호에 대응한 신호를 비교 기준 신호로서 수신함과 동시에, 소정의 회로를 통해 상기 더미 지연 회로에서 출력 신호를 비교 대상 신호로서 수신하며, 상기 비교 기준 신호와 상기 비교 대상 신호의 위상차에 따라 소정 수의 펄스 신호를 상기 지연 제어 회로에 공급함으로써, 상기 지연 회로 및 상기 더미 지연 회로 각각에서 지연량을 제어하는 위상 비교 회로를 포함하며, 상기 지연 회로로부터 출력된 상기 제2 제어 신호는 리얼 라인을 통해 대상 회로로 공급되어, 상기 더미 지연 회로의 출력 신호는 비교 대상 신호로서 상기 리얼 라인 및 상기 대상 회로에 동시에 대응하는 더미

부를 통해 상기 위상 비교 회로에 공급되고,

상기 위상 비교 회로는

상기 비교 기준 신호와 비교 대상 신호 사이의 위상차를 소정의 값과 비교하여 판정하기 위한 위상 비교부와,

상기 위상 비교부의 판정 결과에 따라 출력되는 펄스 수를 제어하기 위한 펄스 수 제어부를 포함하며,

상기 비교 기준 신호와 비교 대상 신호 사이의 위상차를 비교하는 소정의 값은 상기 지연 회로 및 상기 더미 지연 회로를 구성하는 1 단분 지연단의 지연량을 사용하여 판정하는 반도체 집적 회로.

청구항 11.

제10항에 있어서, 상기 반도체 집적 회로는 동기식 DRAM이며, 상기 대상 회로는 상기 동기식 DRAM의 출력 회로인 것을 특징으로 하는 반도체 집적 회로.

청구항 12.

제10항에 있어서, 상기 위상 비교부는 m을 자연수로 하여, 상기 비교 기준 신호와 비교 대상 신호 사이의 위상차를 m 단분 지연단의 제1 지연량과 비교하여 판정하기 위한 제1 위상 비교부와,

n을 자연수로 하고 m < n으로 하여, 상기 비교 기준 신호와 비교 대상 신호 사이의 위상차를 n 단분 지연단의 제2 지연량과 비교하여 판정하는 제2 위상 비교부를 포함하여,

상기 펄스 제어부는 상기 제1 및 제2 위상 비교부의 판정 결과에 따라 출력되는 펄스 수를 제어하는 반도체 집적 회로.

청구항 13.

제12항에 있어서, 상기 위상 비교부는 상기 비교 기준 신호와 비교 대상 신호사이의 위상차가 m 단분 지연단의 제1 지연량 이하일 경우 져스트(JUST)로 설정하고, 상기 펄스 수 제어부가 영으로서 출력되는 펄스 수를 설정하고 상기 지연 회로와 더미 지연 회로에서 지연량을 유지하도록 어댑트하고,

상기 비교 기준 신호와 비교 대상 신호 사이의 위상차가 m 단분 지연단의 제1 지연량 이상이고 n 단분 지연단의 제2 지연량 이하일 경우 패스트(FAST) 또는 슬로우(SLOW)로 설정하고, 상기 펄스 수 제어부에 의해 제1값으로 출력되는 펄스 수를 설정하고 상기 지연 회로 및 더미 지연 회로 각각에서 생성된 지연량을 보정하도록 어댑트하고,

상기 비교 기준 신호와 비교 대상 신호 사이의 위상차가 n 단분 지연단의 제2 지연량 이상인 경우 베리 패스트(VERY FAST) 또는 베리 슬로우(VERY SLOW)로 설정하고, 상기 펄스 수 제어부에 의해 상기 제1값 이상인 제2값으로 출력되는 펄스 수를 설정하고, 상기 지연 회로 및 더미 지연 회로 각각에서 생성된 펄스 수가 제1값으로 설정되는 경우 보정되는 양 이상으로 지연량을 보정하도록 어댑트되는 반도체 집적 회로.

청구항 14.

제13항에 있어서, 상기 위상 비교 회로에서 상기 지연 제어 회로로 공급되는 제어 신호는 짝수 지연단의 가산 제어 신호, 홀수 지연단의 가산 제어 신호, 짝수 지연단의 감산 제어 신호, 홀수 지연단의 감산 제어 신호를 포함하고,

상기 짝수 지연단의 가산 제어 신호 및/또는 홀수 지연단의 가산 제어 신호는 상기 펄스 수 제어부가 출력하는 펄스 수에 따라 출력되고 상기 지연 회로 및 더미 지연 회로 각각에서 생성된 지연량은 증대되어 상기 비교 대상 신호의 위상이 상기 비교 기준 신호의 위상보다 앞서 진행하고,

상기 짝수 지연단의 감산 제어 신호 및/또는 홀수 지연단의 감산 제어 신호는 상기 펄스 수 제어부가 출력하는 펄스 수에 따라 출력되고 상기 지연 회로 및 더미 지연 회로 각각에서 생성된 지연량은 감소되어 상기 비교 대상 신호의 위상이 상기 비교 기준 신호의 위상보다 뒤에 진행하는 반도체 집적 회로.

청구항 15.

제10항에 있어서, 상기 펄스 수 제어부는 펄스 신호를 발생하기 위한 발진 회로와,

상기 발진 회로의 출력을 카운트하는 카운터 회로와,

상기 카운터 회로의 카운트값 및 상기 위상 비교부에 의한 판정에 따라 상기 발진 회로의 동작을 제어하기 위한 발진 제어 회로를 포함하는 반도체 집적 회로.

청구항 16.

제10항에 있어서, 상기 지연 제어 회로는 시프트 레지스터를 포함하여, 상기 펄스 수 제어부에서 출력되는 펄스 신호가 상기 시프트 레지스터에 의해 제어되는 상기 지연 회로 및 더미 지연 회로 각각에서 생성된 지연량을 정하도록 어댑트되는 반도체 집적 회로.

청구항 17.

제10항에 있어서, 상기 DLL회로는 상기 제1 제어 신호가 공급된 분주 회로를 더 포함하여, 상기 분주 회로의 출력 신호가 상기 더미 지연 신호에 공급됨과 동시에 상기 위상 비교 회로의 비교 기준 신호로서 공급되는 반도체 집적 회로.

청구항 18.

직렬로 접속된 복수 개의 지연 유니트를 포함하는 지연 회로와, 상기 지연 회로는 선택된 지연 유니트의 수에 응답하여 지연 시간 동안 입력 신호를 지연시키고,

입력 신호 및 대상 신호로부터 생성된 기준 신호 사이의 위상차를 제1값과 비교하기 위한 제1 위상 비교 회로와,

상기 제1 위상 비교 회로의 비교 결과에 응답하여 상기 복수 개의 지연 유니트에 대한 지연 시간을 시프트하기 위한 지연 제어 회로와,

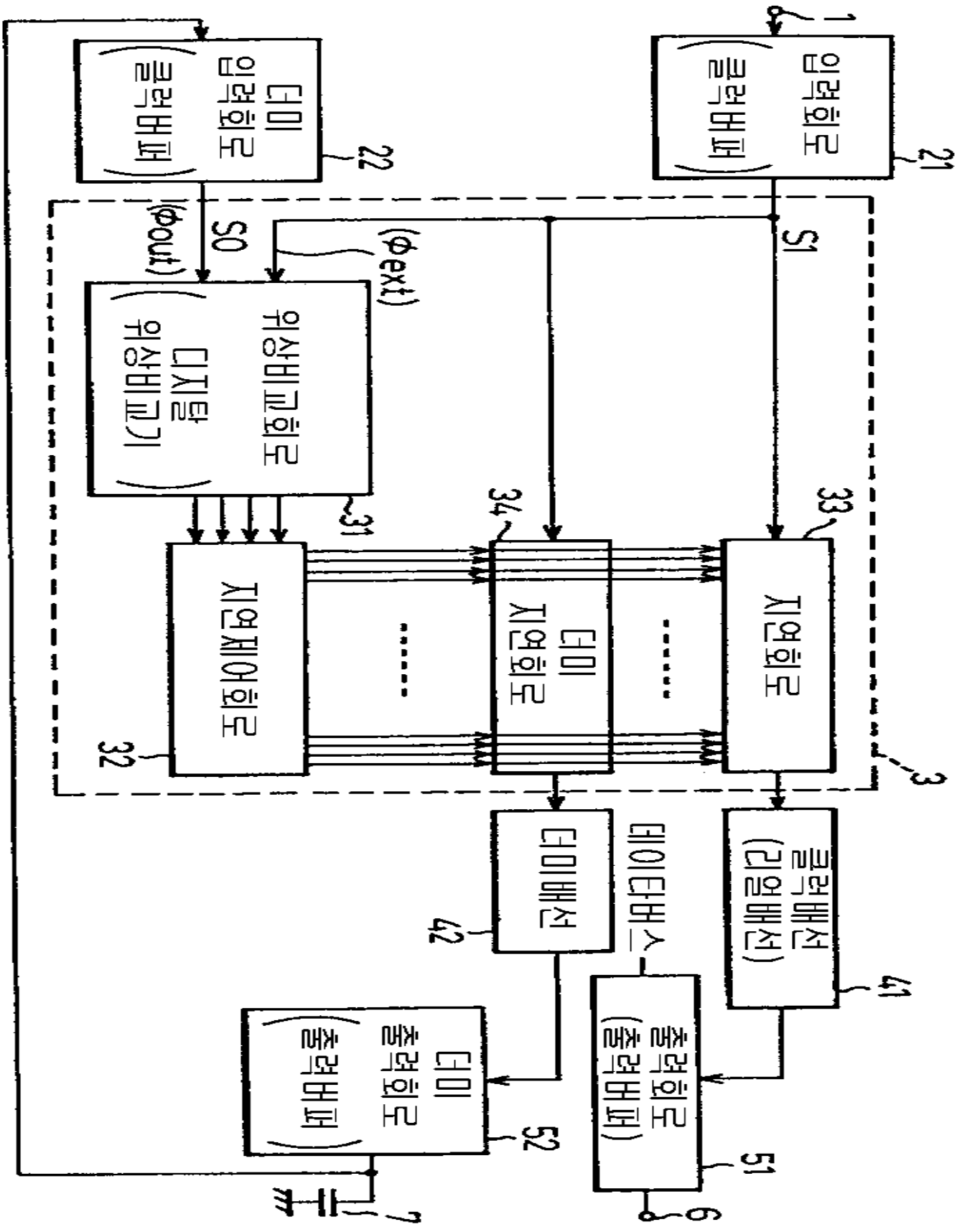
상기 기준 신호 및 상기 대상 신호 사이의 위상차와 상기 제1값 이하로 되는 제2값을 비교하기 위한 제2 위상 비교 회로를 포함하며, 상기 지연 제어 회로는 상기 제2 위상 비교 회로의 비교 결과에 응답하여 하나의 지연 유니트에 대해 지연 시간을 시프트하는 위상 조정 회로.

청구항 19.

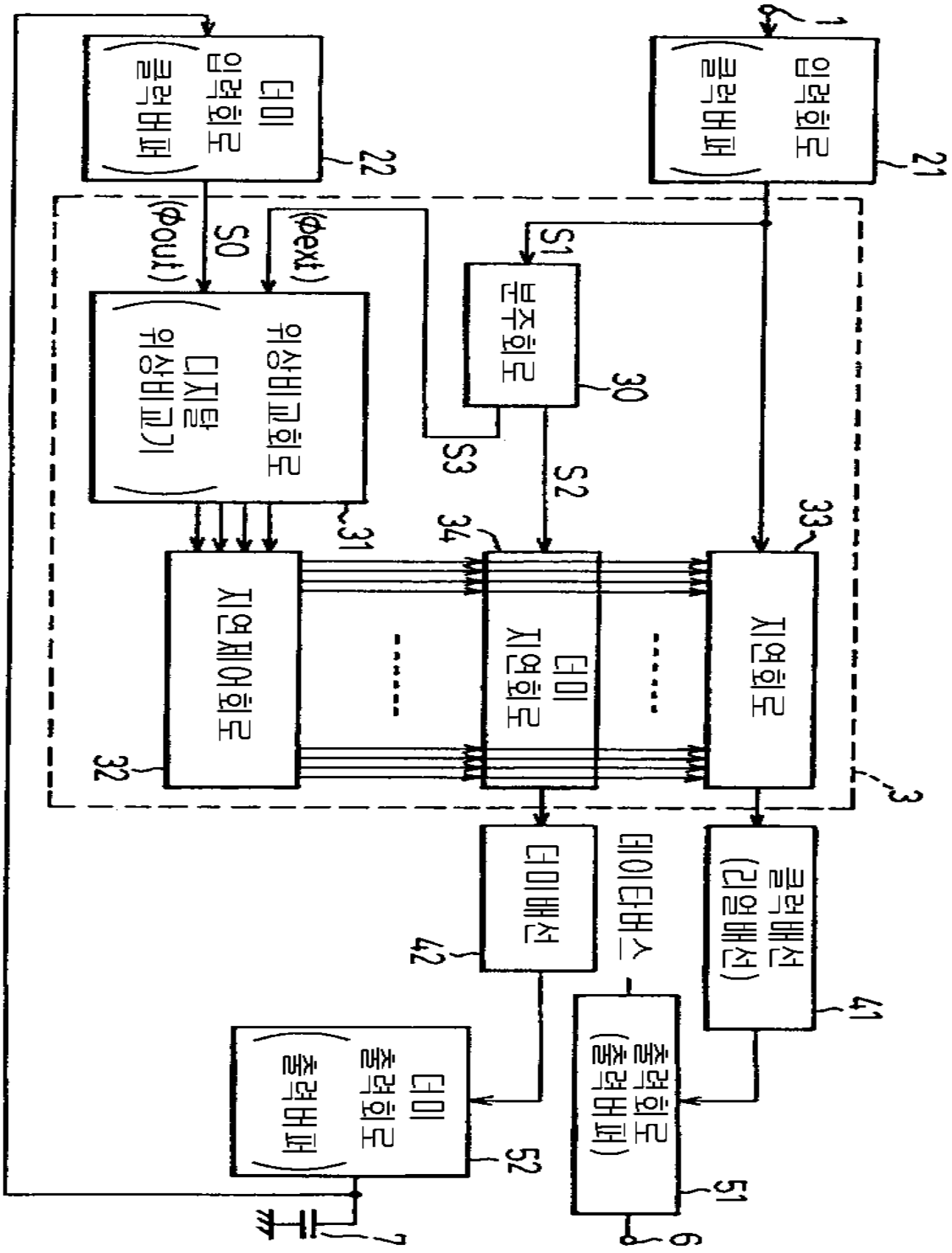
제18항에 있어서, 제1값은 복수 개의 지연 유니트에 대한 지연 시간과 동일한 위상 조정 회로.

도면

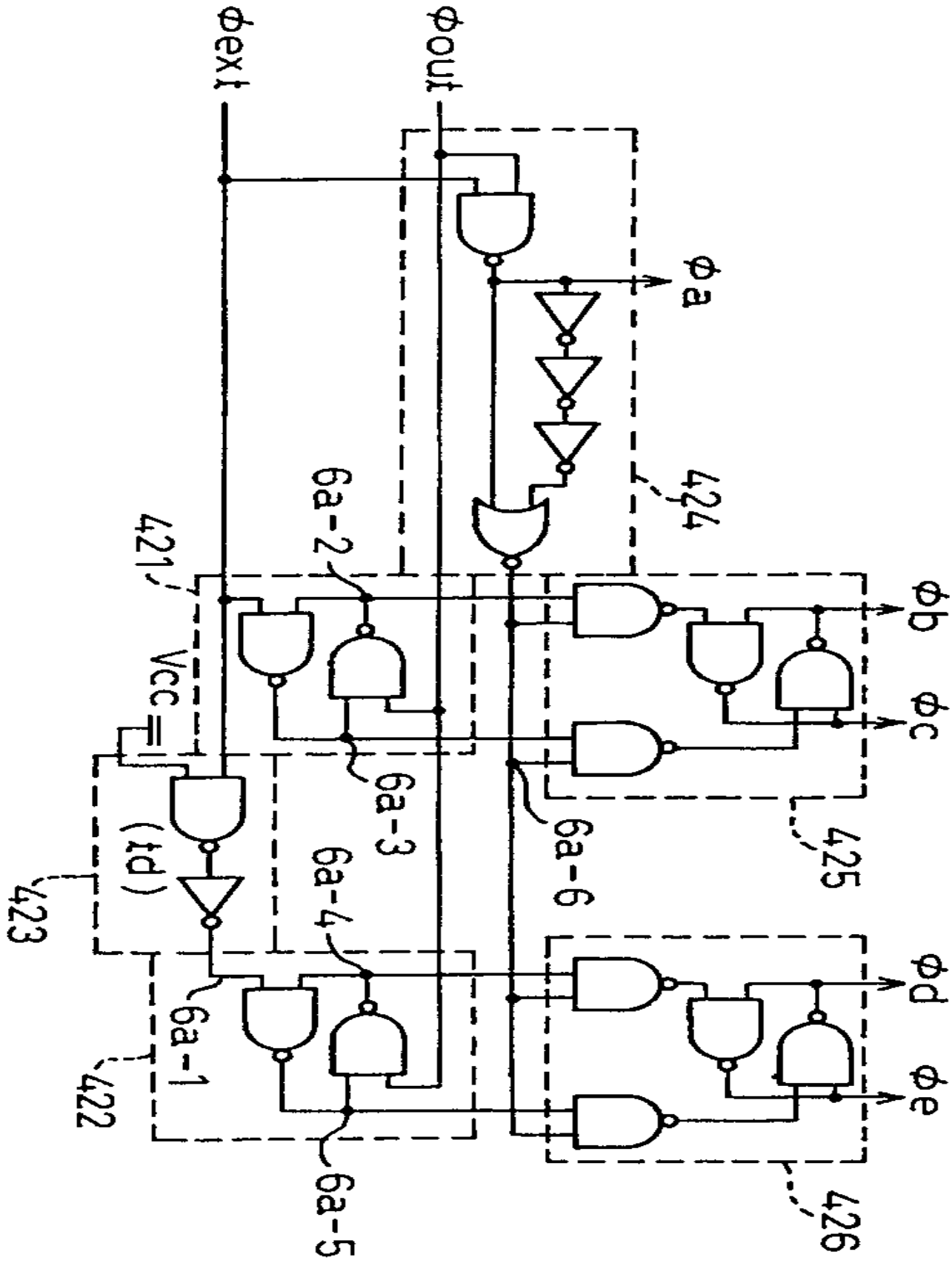
도면 1


입력회로
(클럭버퍼)
21
1
6
데이
입력회로
(클럭버퍼)
22
S0
(Φout)
(Φext)
S1
위상비교회로
(디지탈
위상비교기)
31
지연제어회로
32
데이
지연회로
34
지연회로
33
3
데이배선
42
데이타버스
클럭배선
(긴일배선)
41
데이
출력회로
(출력버퍼)
52
출력회로
(출력버퍼)
51
7
6

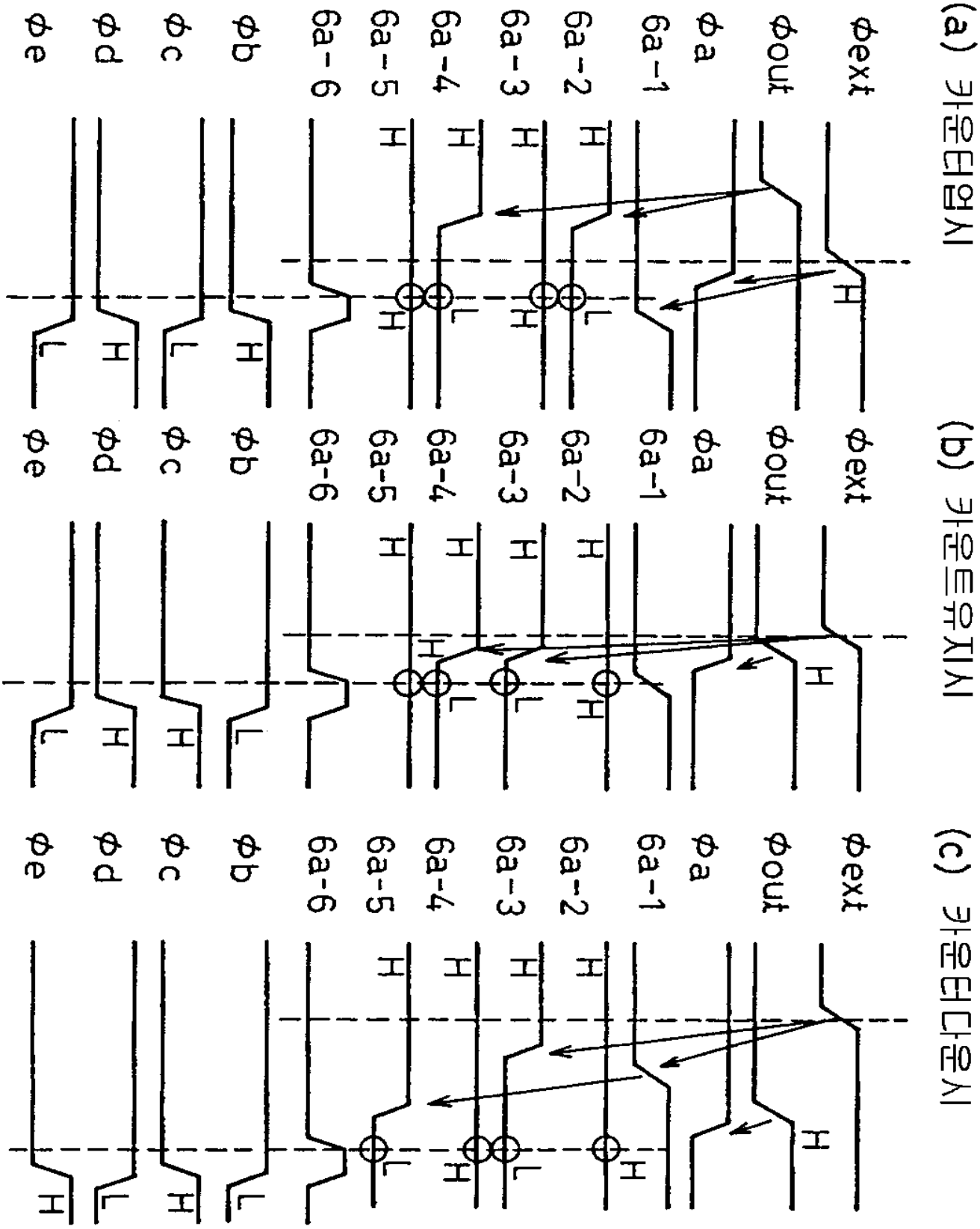
도면 2


입력회로
(클럭버퍼)
21
입력회로
(클럭버퍼)
22
S0
(Φout)
(Φext)
S1
분주회로
30
위상비교회로
(디지털 위상비교기)
31
S3
S2
34
33
지연회로
지연회로
지연회로
32
3
데이타버스
데이배선
42
클럭배선
(리얼배선)
41
출력회로
(출력버퍼)
51
6
데이
출력회로
(출력버퍼)
52
7

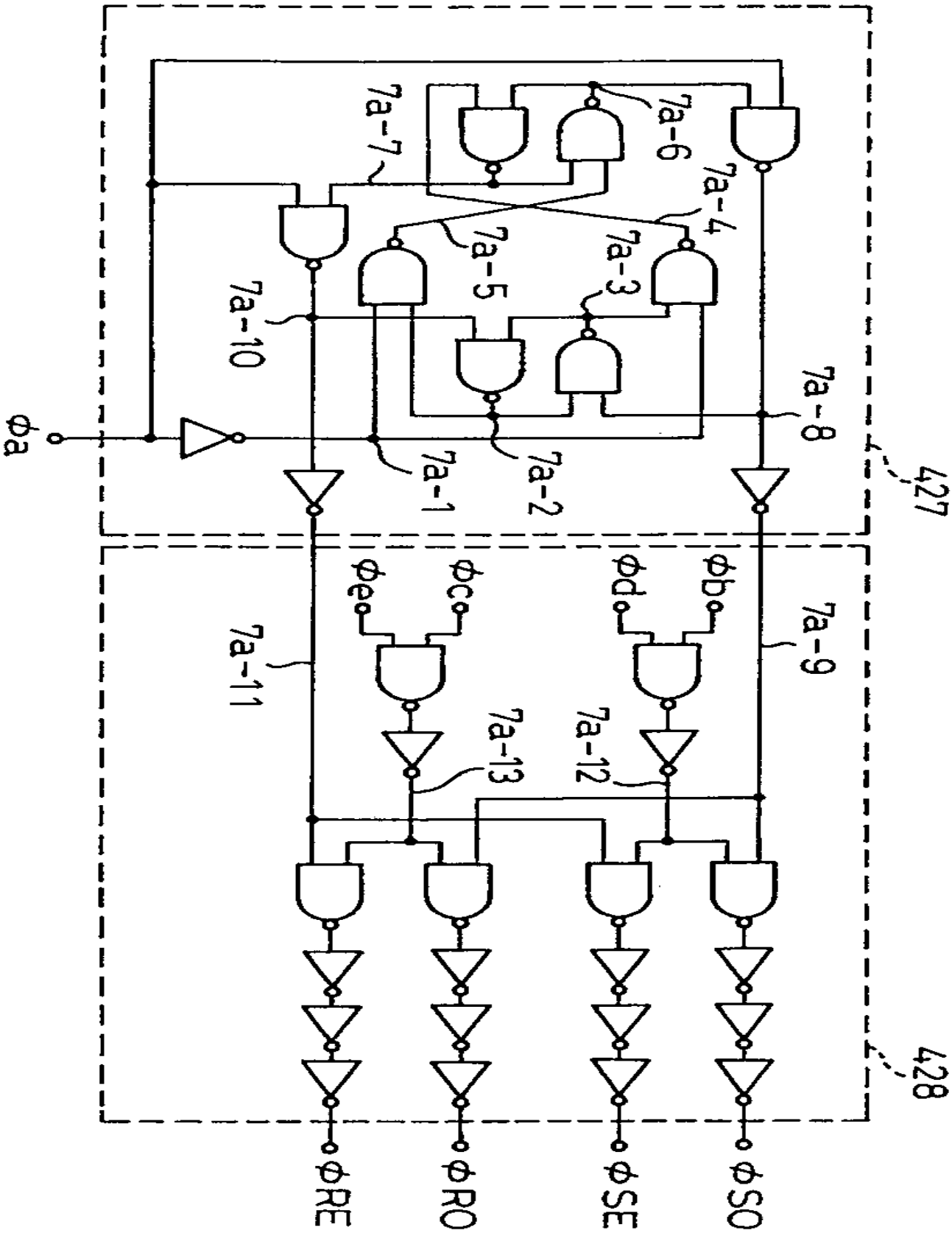
도면 3


φext
φout
φa
φb
φc
φd
φe
421
422
423
424
425
426
6a-1
6a-2
6a-3
6a-4
6a-5
6a-6
Vcc
(Pd)

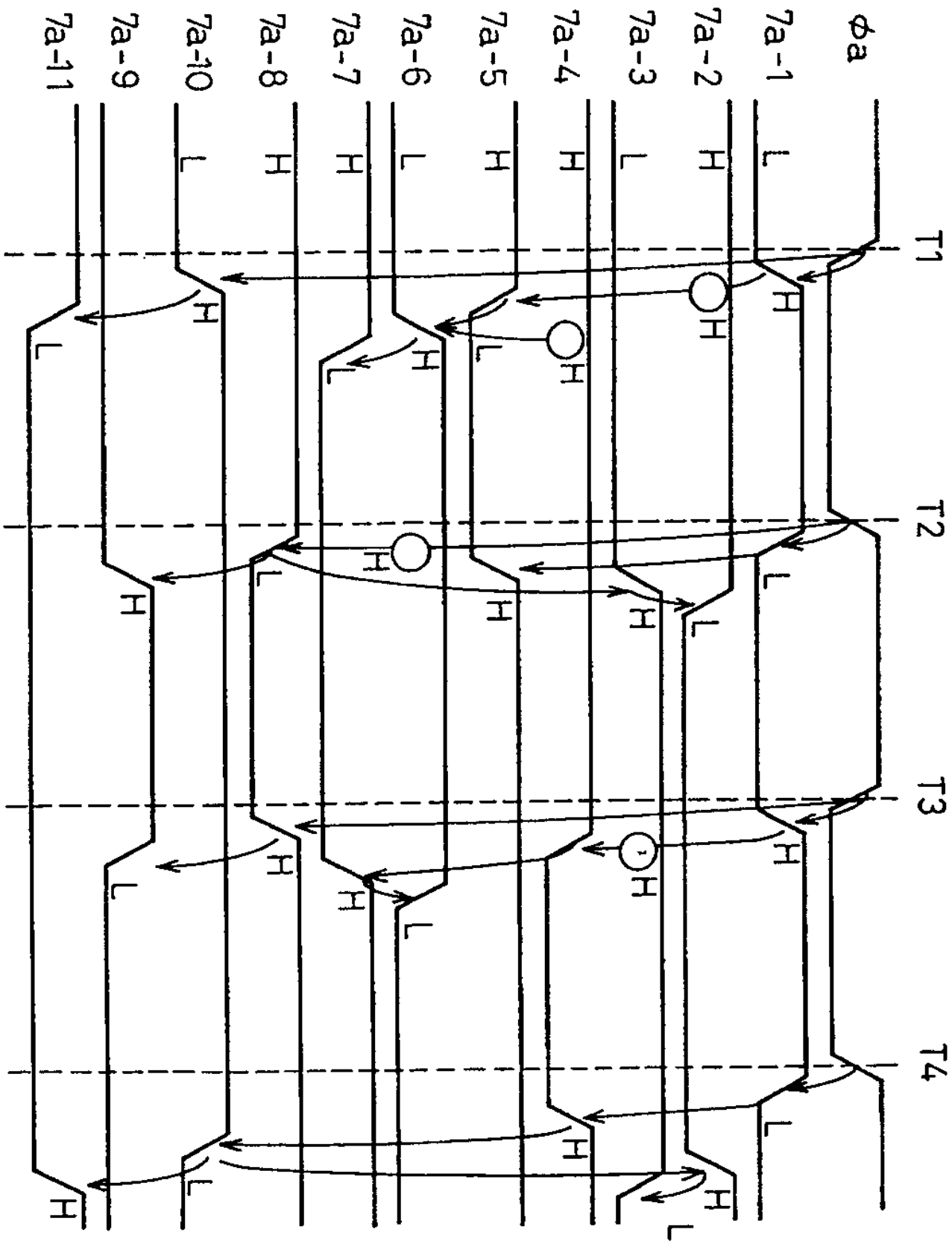
도면 4


(a) 카운터업시
(b) 카운트유지시
(c) 카운터다운시
φext
φout
φa
6a-1
6a-2
6a-3
6a-4
6a-5
6a-6
φb
φc
φd
φe
H
L

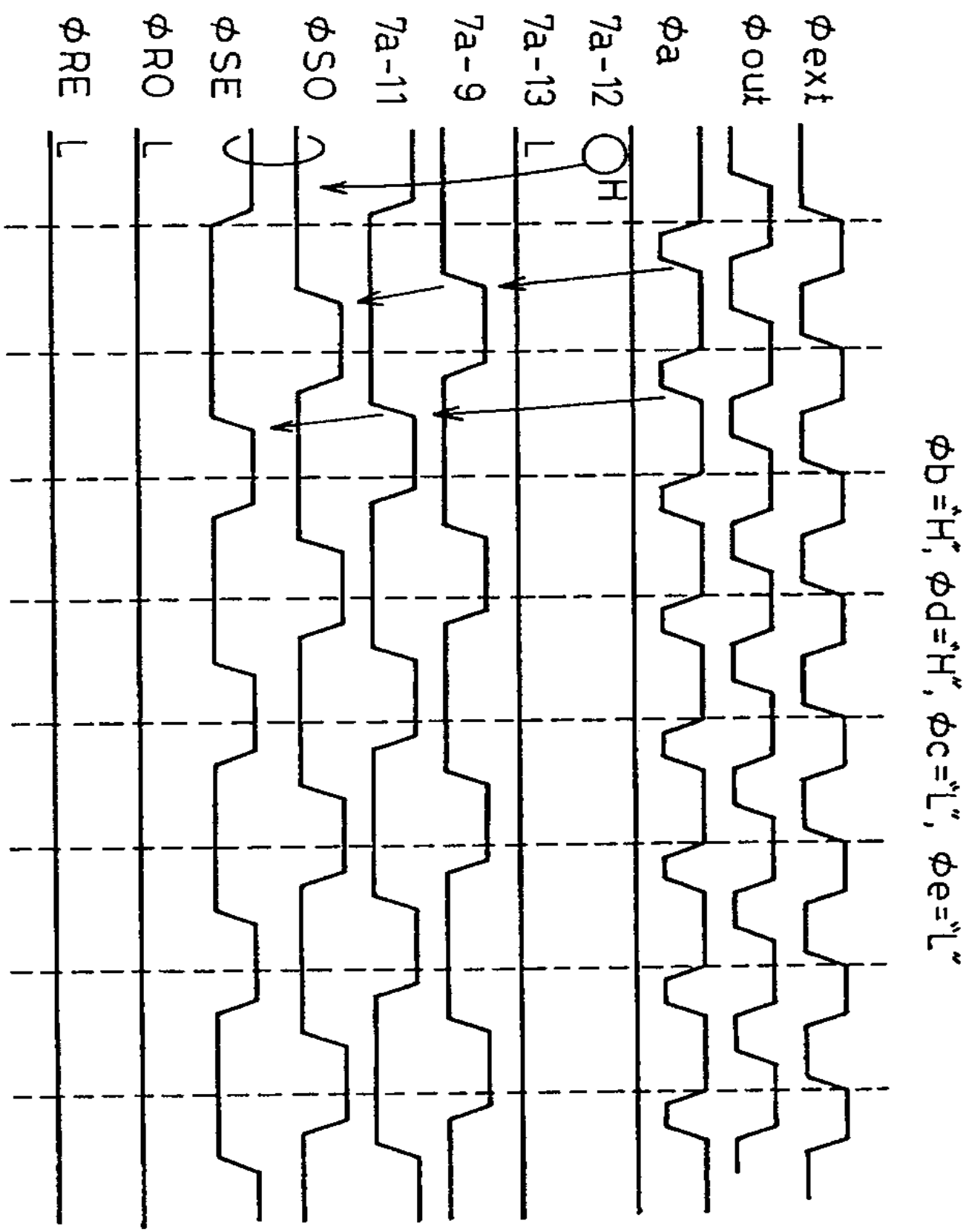
도면 5


φa
7a-1
7a-2
7a-3
7a-4
7a-5
7a-6
7a-7
7a-8
7a-9
7a-10
7a-11
7a-12
7a-13
φb
φc
φd
φe
φRE
φRO
φSE
φSO
427
428

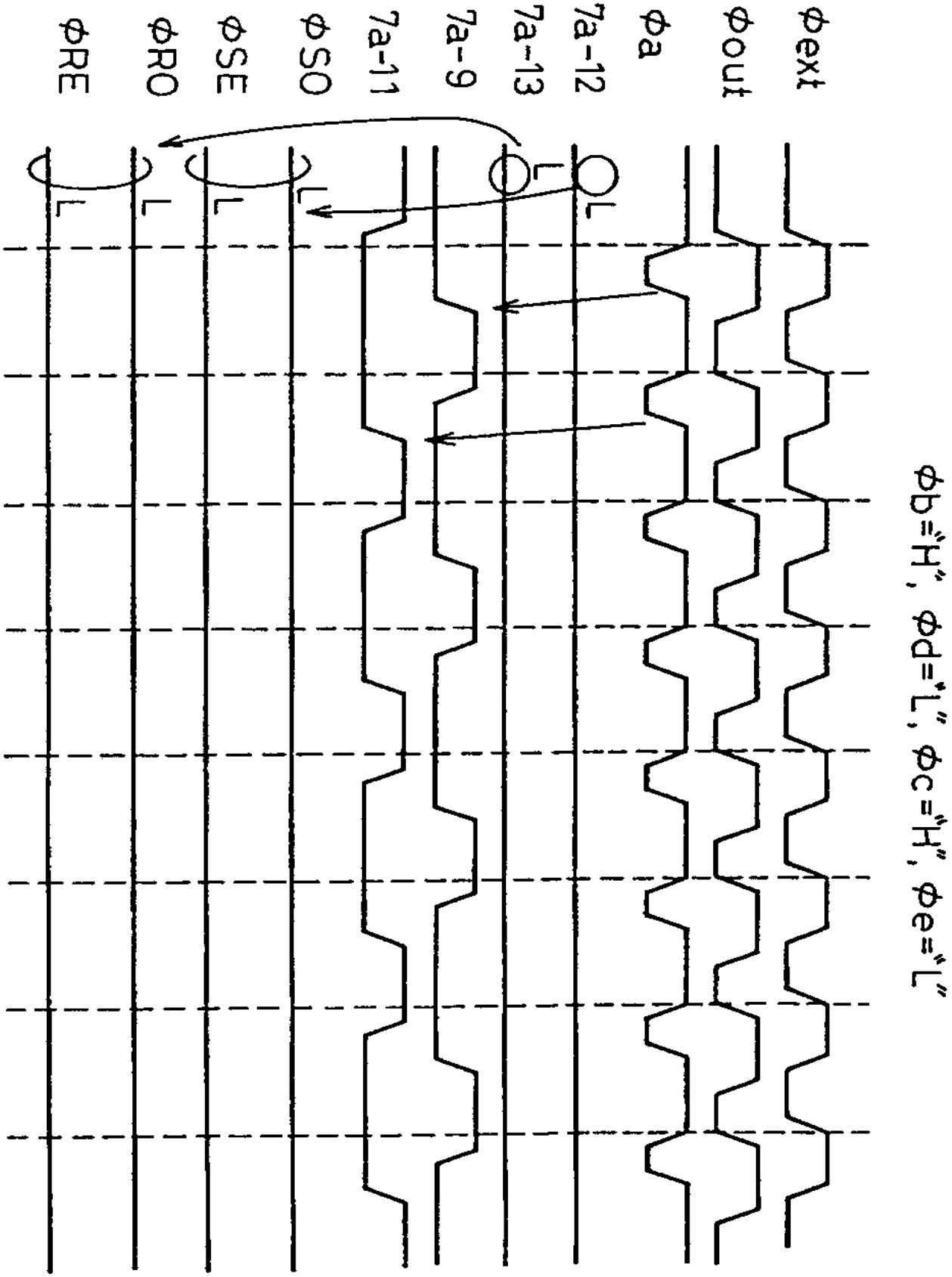
도면 6



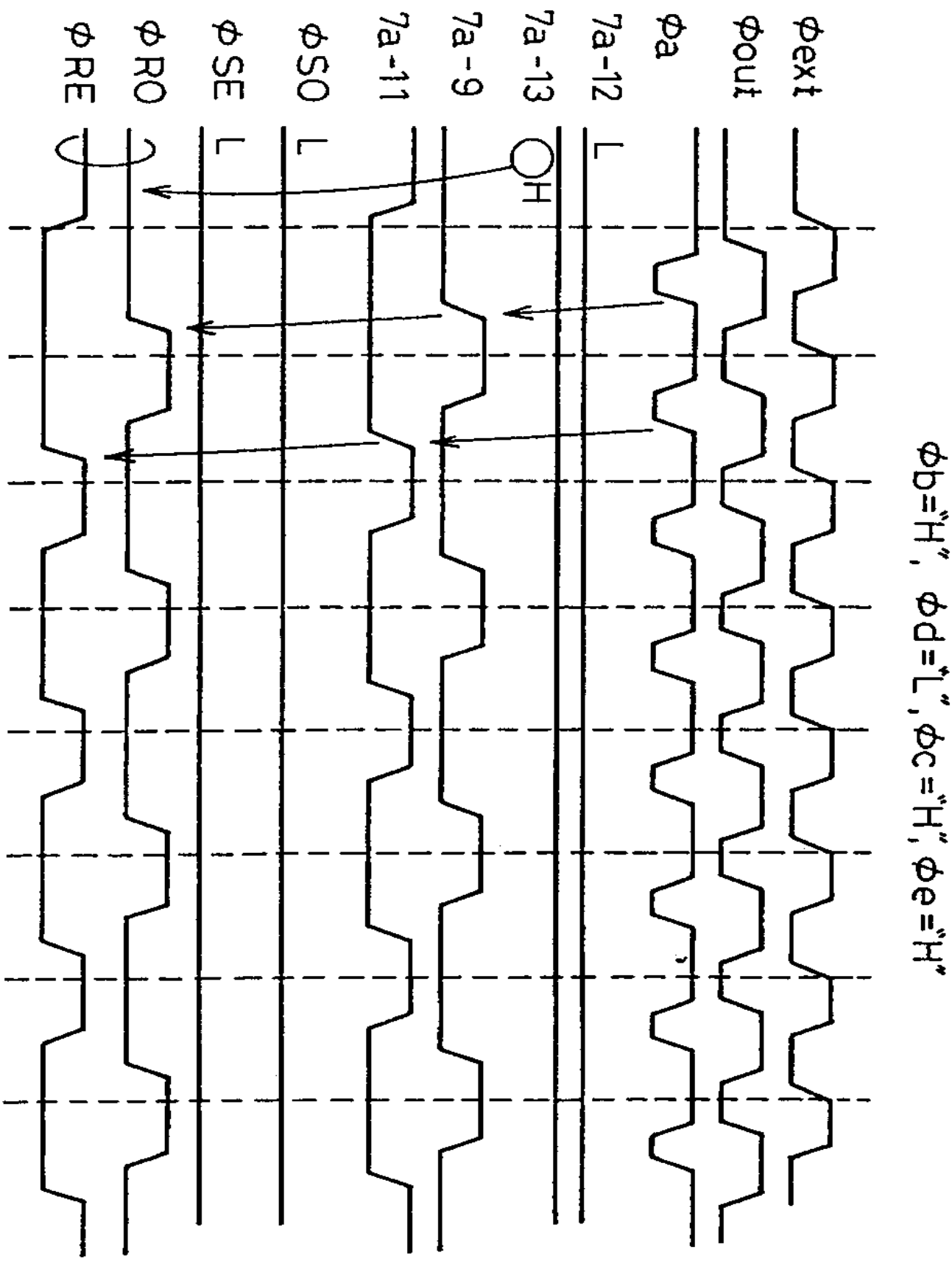
도면 7


φext
φout
φa
7a-12
7a-13
7a-9
7a-11
φSO
φSE
φRO
φRE
H
L
φb="H", φd="H", φc="L", φe="L"

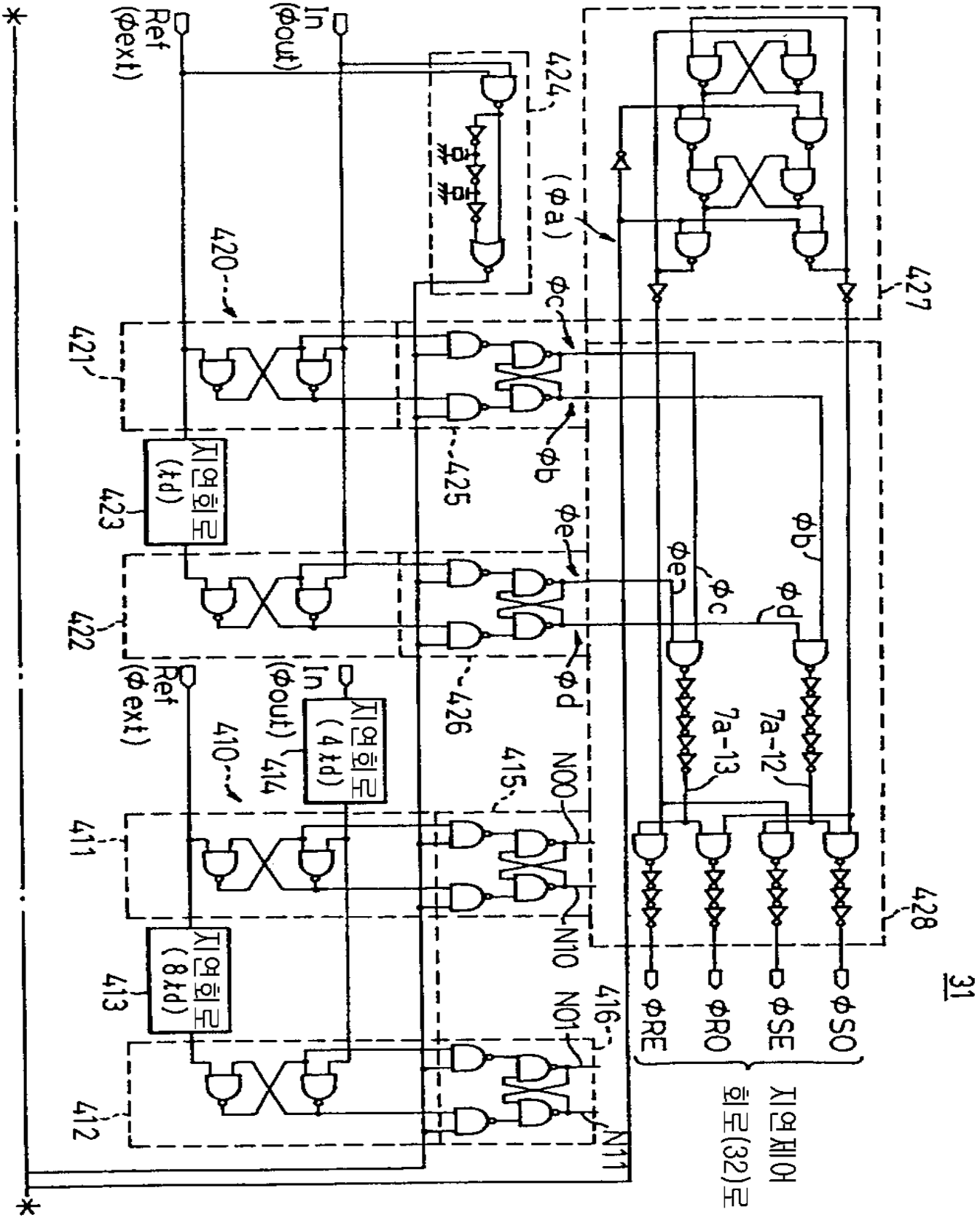
도면 8


φext
φout
φa
7a-12
7a-13
7a-9
7a-11
φSO
φSE
φRO
φRE
L
φb="H", φd="L", φc="H", φe="L"

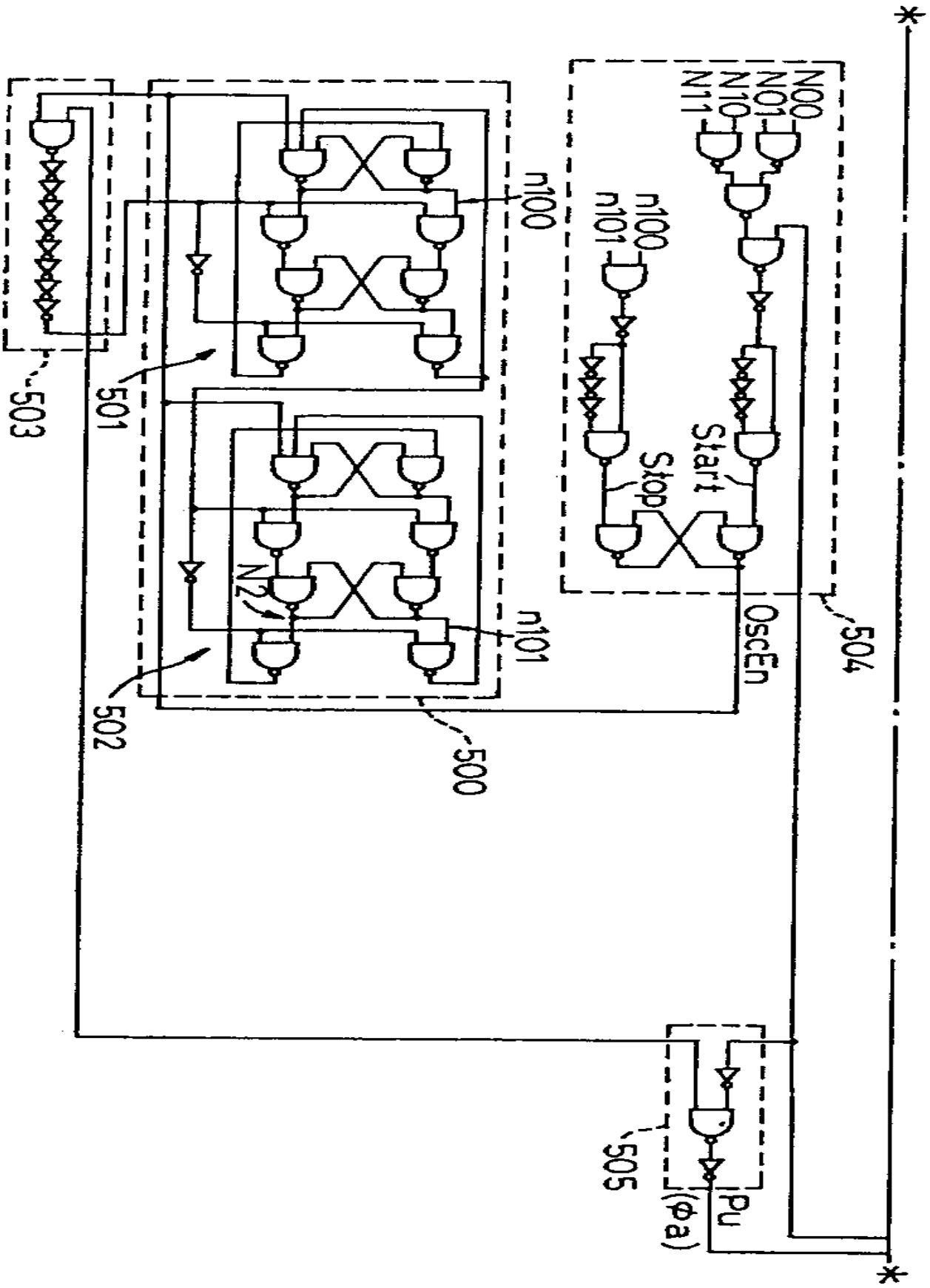
도면 9


φext
φout
φa
7a-12
7a-13
7a-9
7a-11
φSO
φSE
φRO
φRE
L
H
L
L
φb="H", φd="L", φc="H", φe="H"

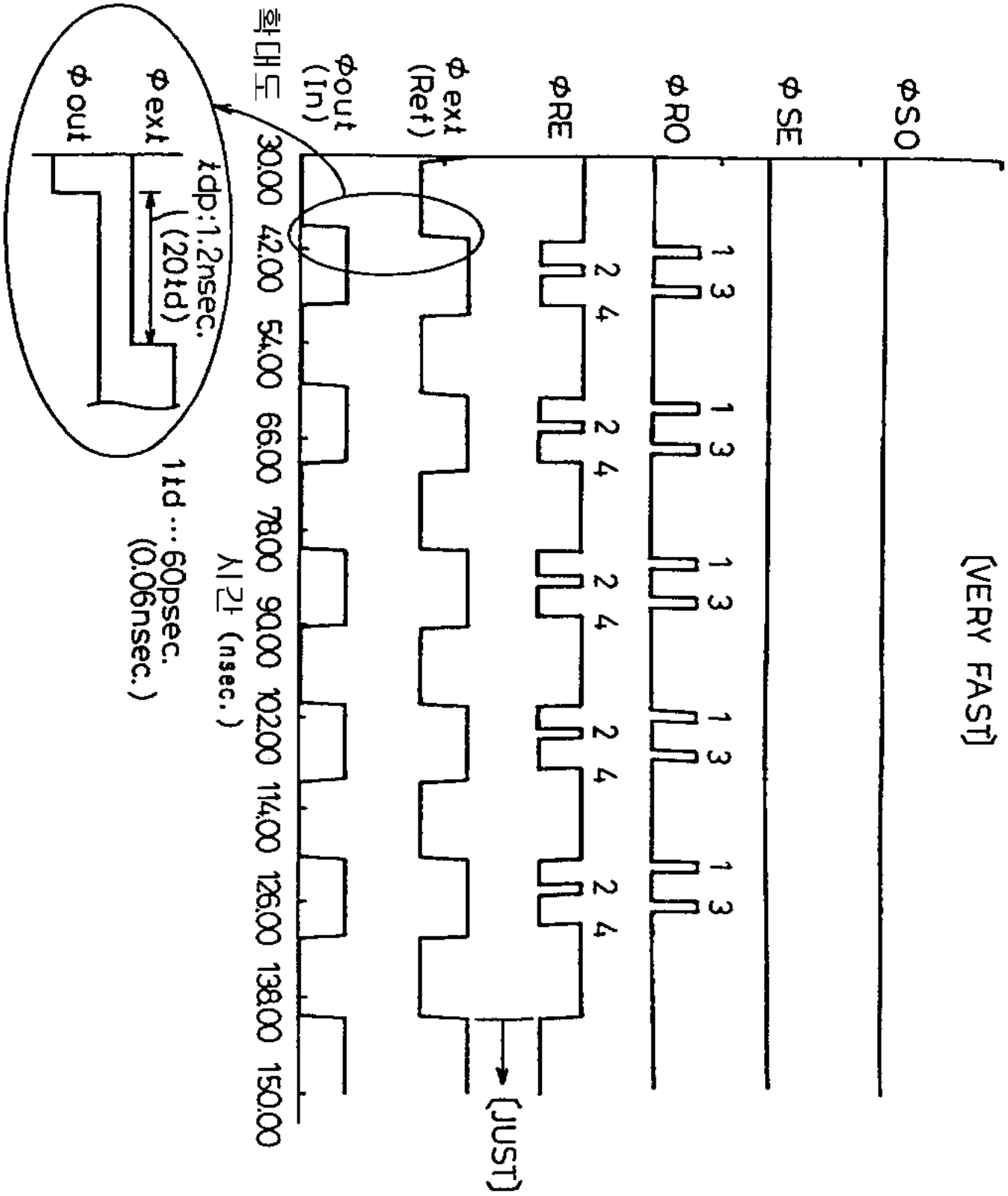
도면 10


Ref (φext)
In (φout)
424
(φa)
427
420
421
φc
φb
425
423
지연회로 (td)
φe
φd
422
426
Ref (φext)
In (φout)
지연회로 (4td)
414
410
415
N00
N10
411
428
413
지연회로 (8td)
416
N01
N11
412
φRE
φRO
φSE
φSO
지연제어 회로(32)로
31

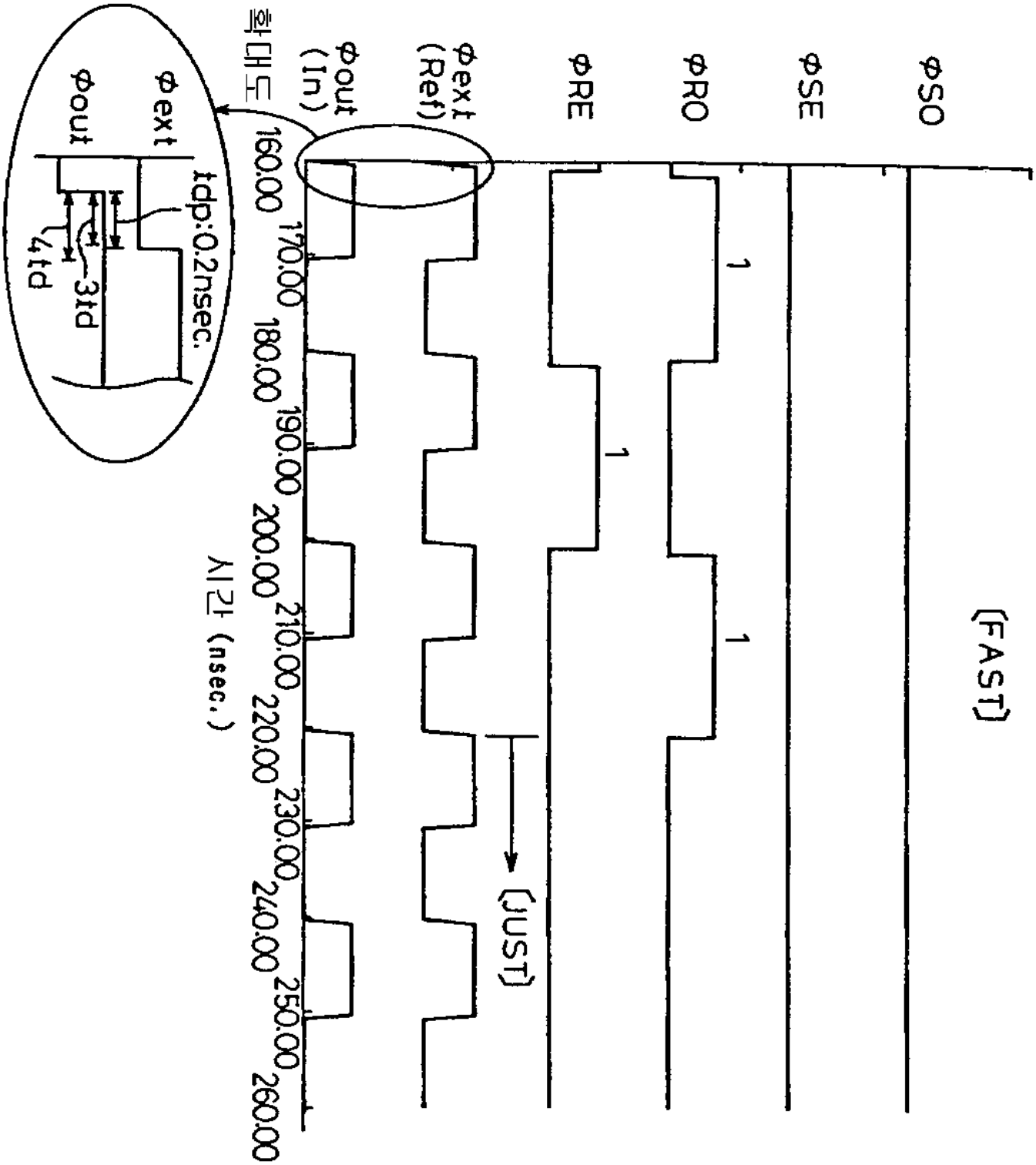
도면 11


N00
N01
N10
N11
n100
n101
Start
Stop
OscEn
504
n100
n101
N2
501
502
503
500
505
Pu
(φa)

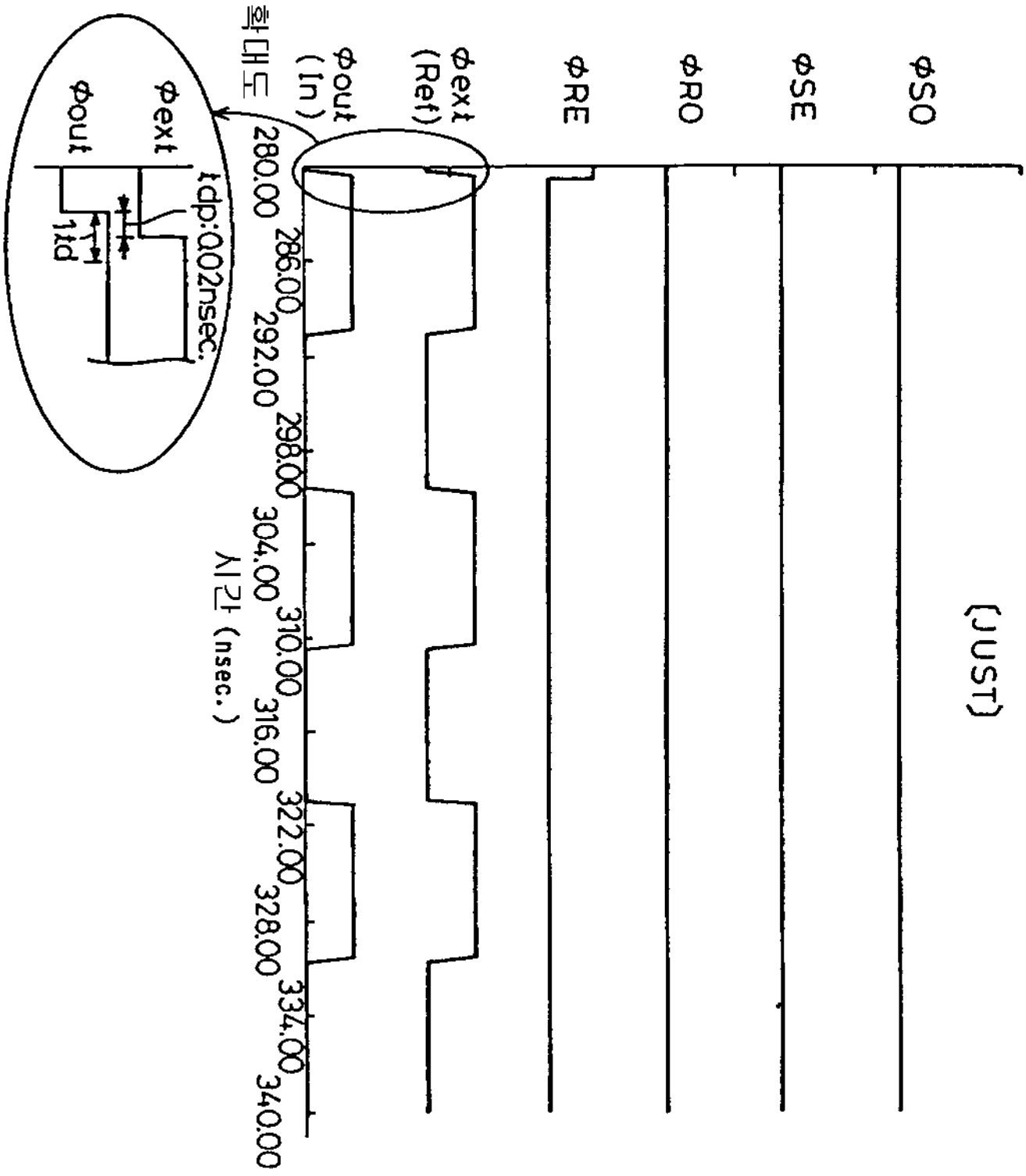
도면 12


[VERY FAST]
φSO
φSE
φRO
φRE
φ ext (Ref)
φout (In)
확대도
φ out
φ ext
tdp:1.2nsec.
(20td)
1td …60psec.
(0.06nsec.)
30.00 42.00 54.00 66.00 78.00 90.00 102.00 114.00 126.00 138.00 150.00
시간 (nsec.)
[JUST]
1 3
2 4

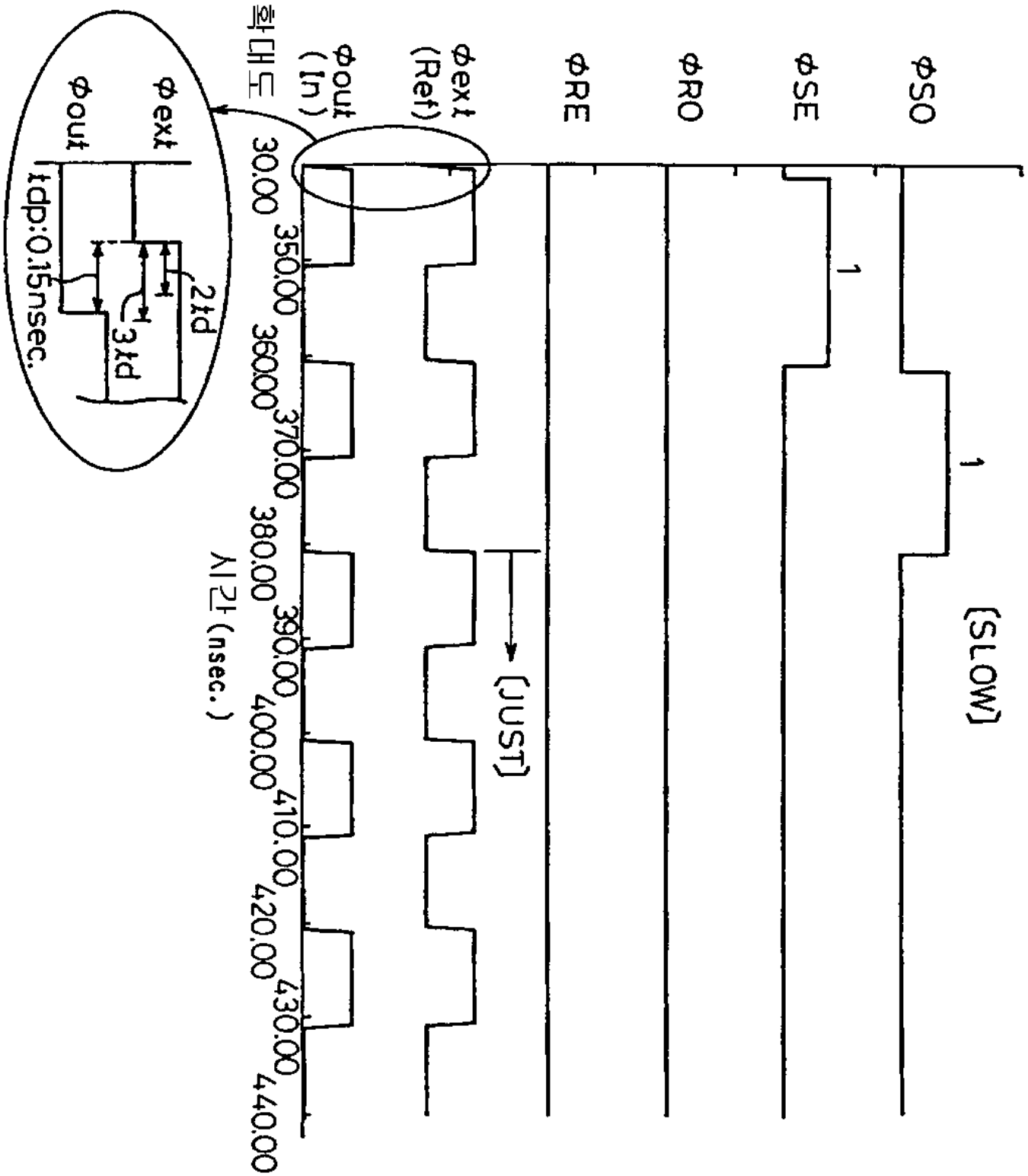
도면 13


φSO
φSE
φRO
φRE
φext (Ref)
φout (In)
확대도
φout
φext
tdp:0.2nsec.
4td
3td
160.00
170.00
180.00
190.00
200.00
210.00
220.00
230.00
240.00
250.00
260.00
시간 (nsec.)
1
1
1
[JUST]
[FAST]

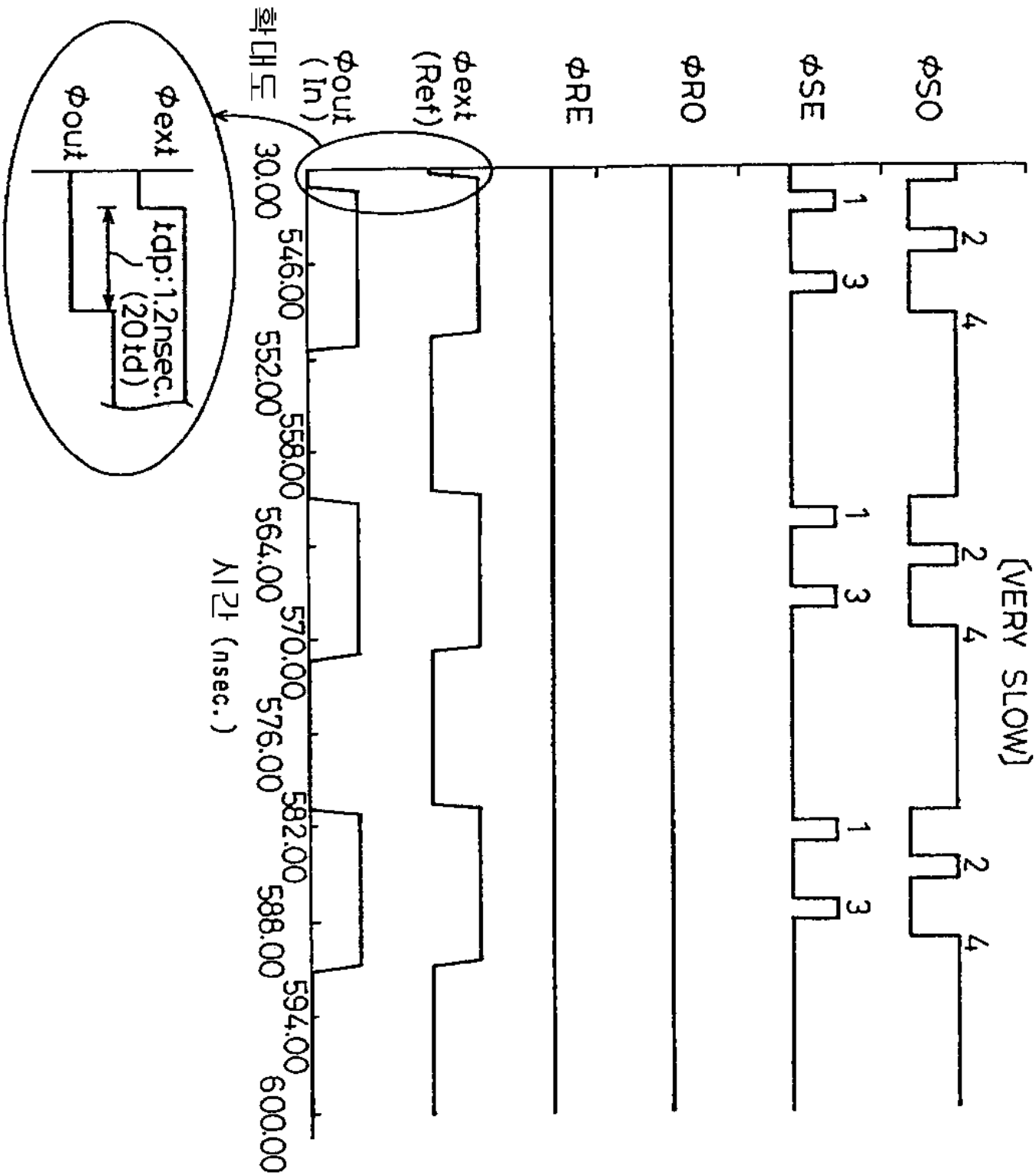
도면 14


φSO
φSE
φRO
φRE
φext (Ref)
φout (In)
확대도
φext
φout
tdp:0.02nsec.
1td
280.00
286.00
292.00
298.00
304.00
310.00
316.00
322.00
328.00
334.00
340.00
시간 (nsec.)
(JUST)

도면 15

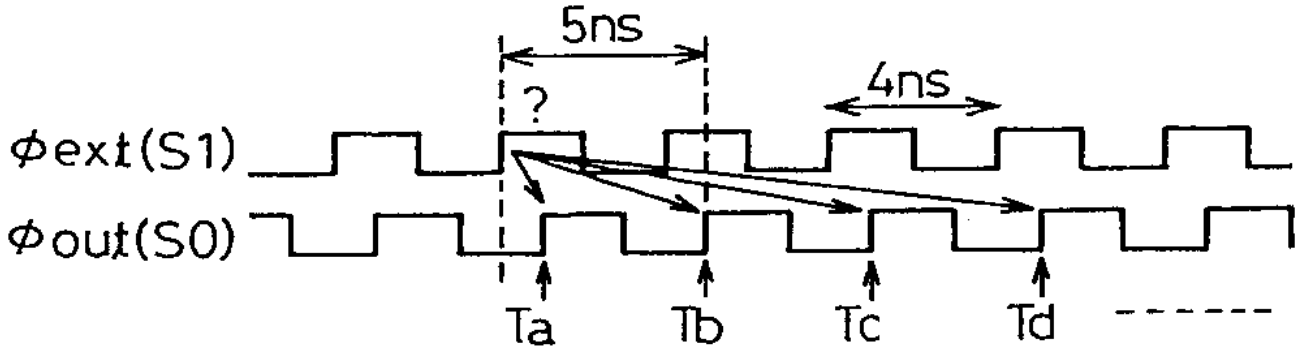

φSO
φSE
φRO
φRE
φext (Ref)
φout (In)
확대도
φout
φext
tdp:0.15nsec.
2td
3td
1
1
[SLOW]
[JUST]
30.00
350.00
360.00
370.00
380.00
390.00
400.00
410.00
420.00
430.00
440.00
시간 (nsec.)

도면 16

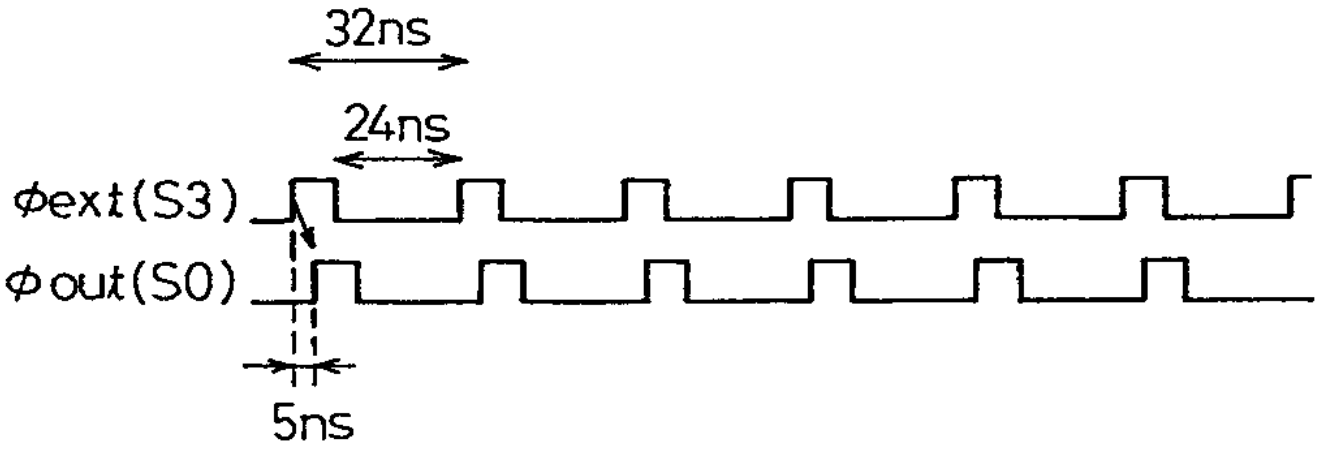

φSO
φSE
φRO
φRE
φext (Ref)
φout (In)
확대도
φext
φout
tdp:1.2nsec. (20td)
30.00
546.00
552.00
558.00
564.00
570.00
576.00
582.00
588.00
594.00
600.00
시간 (nsec.)
[VERY SLOW]

도면 17

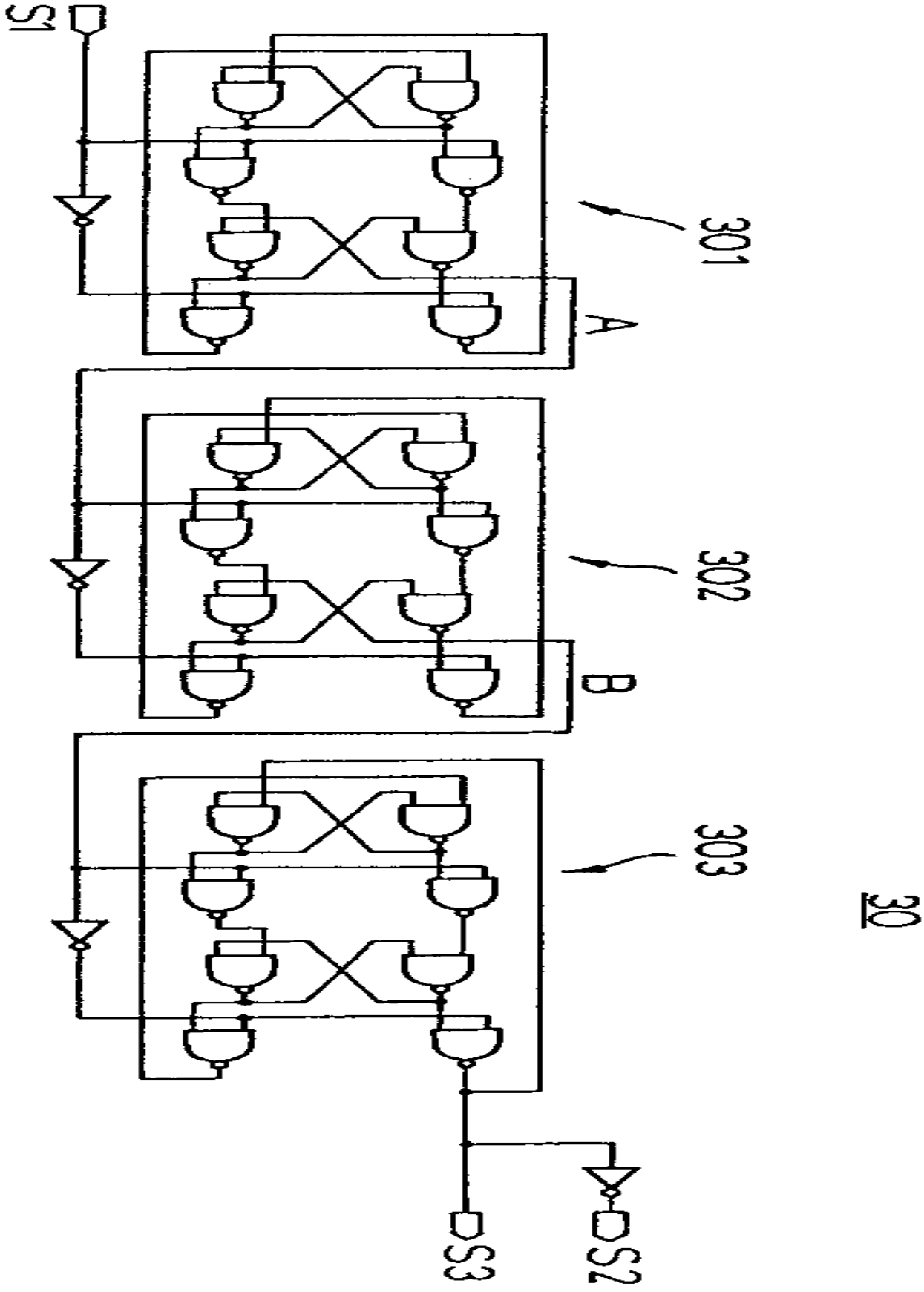
(a)



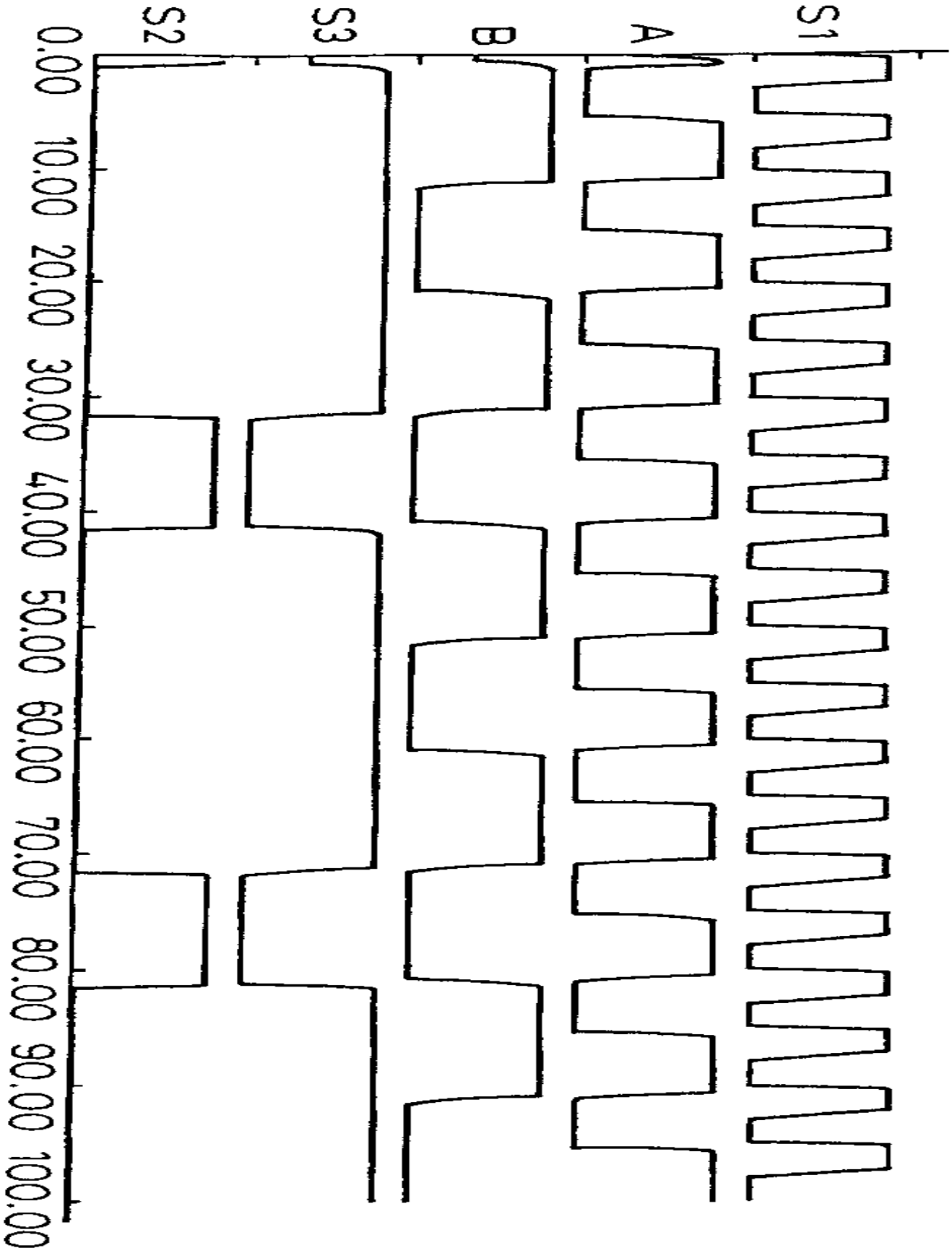
(b)



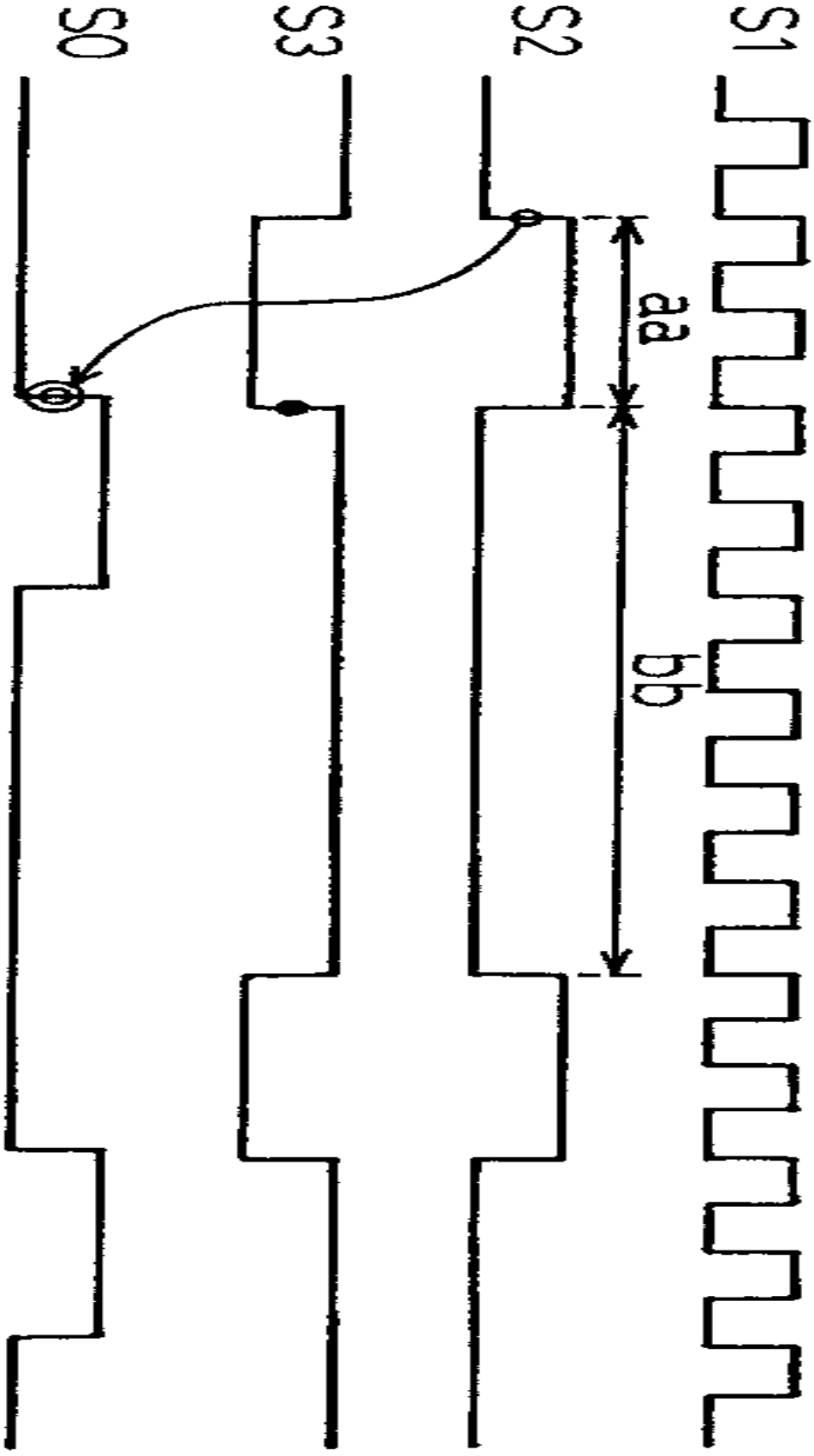
도면 18



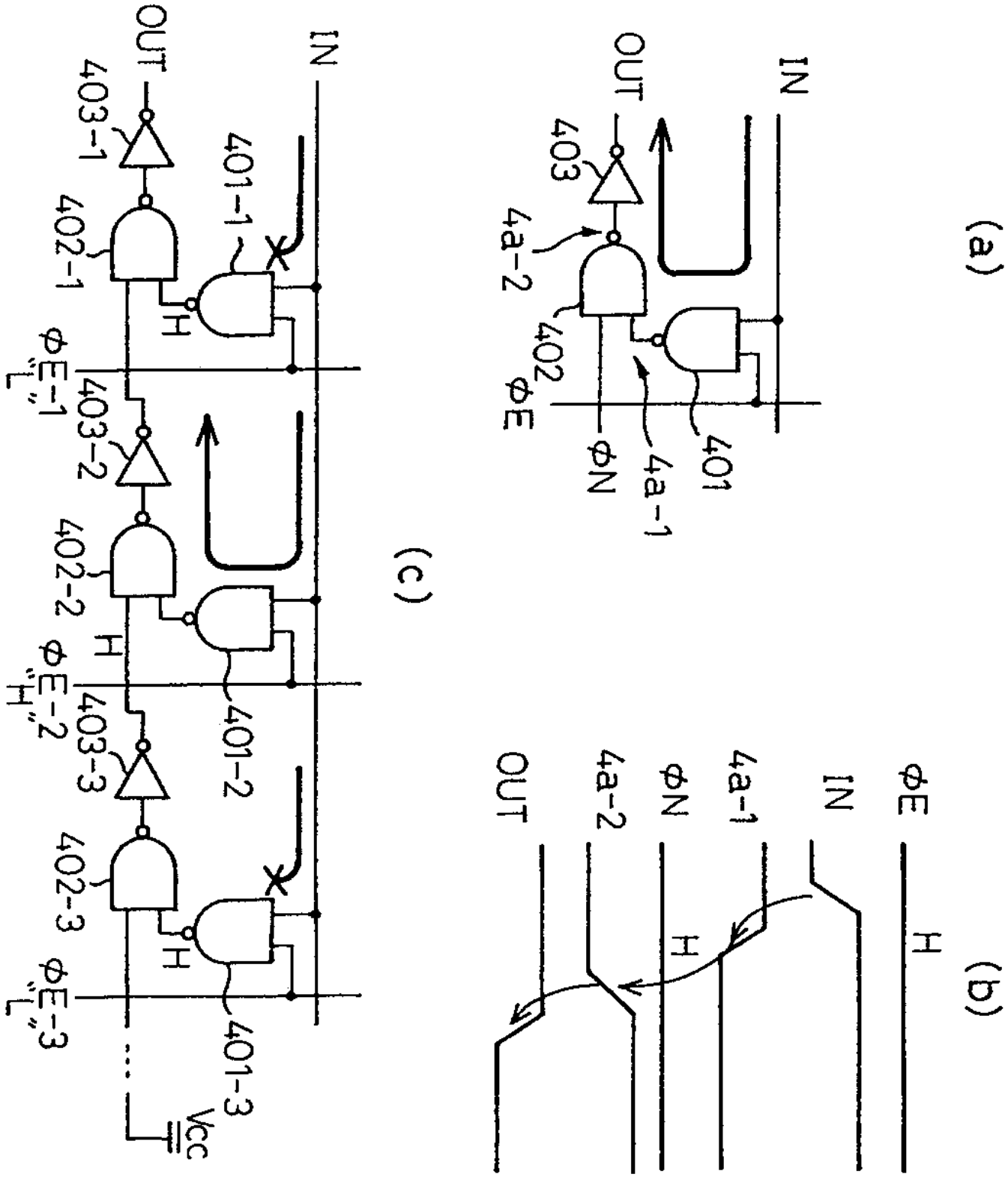
도면 19


S2
S3
B
A
S1
0.00
10.00
20.00
30.00
40.00
50.00
60.00
70.00
80.00
90.00
100.00

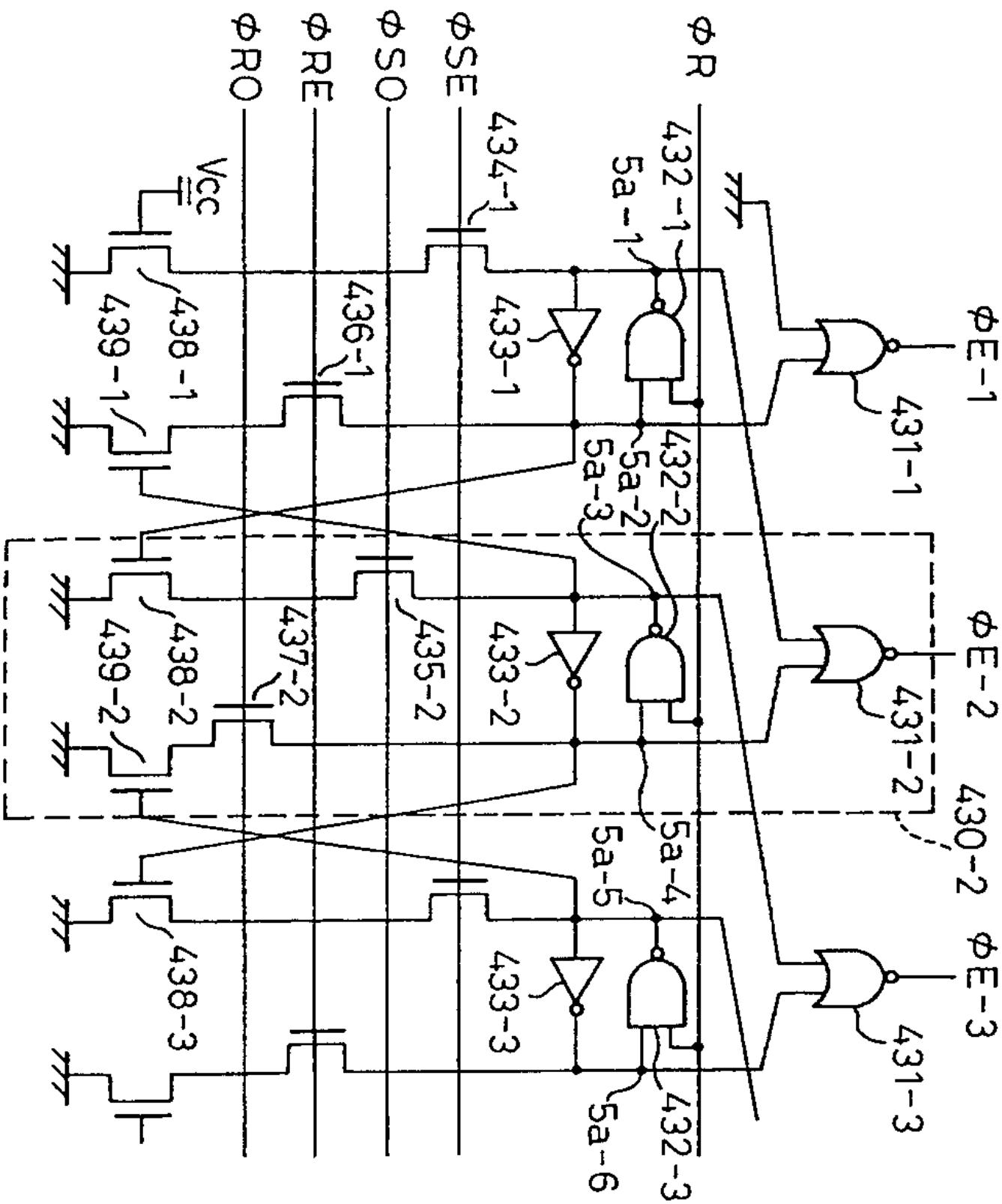
도면 20



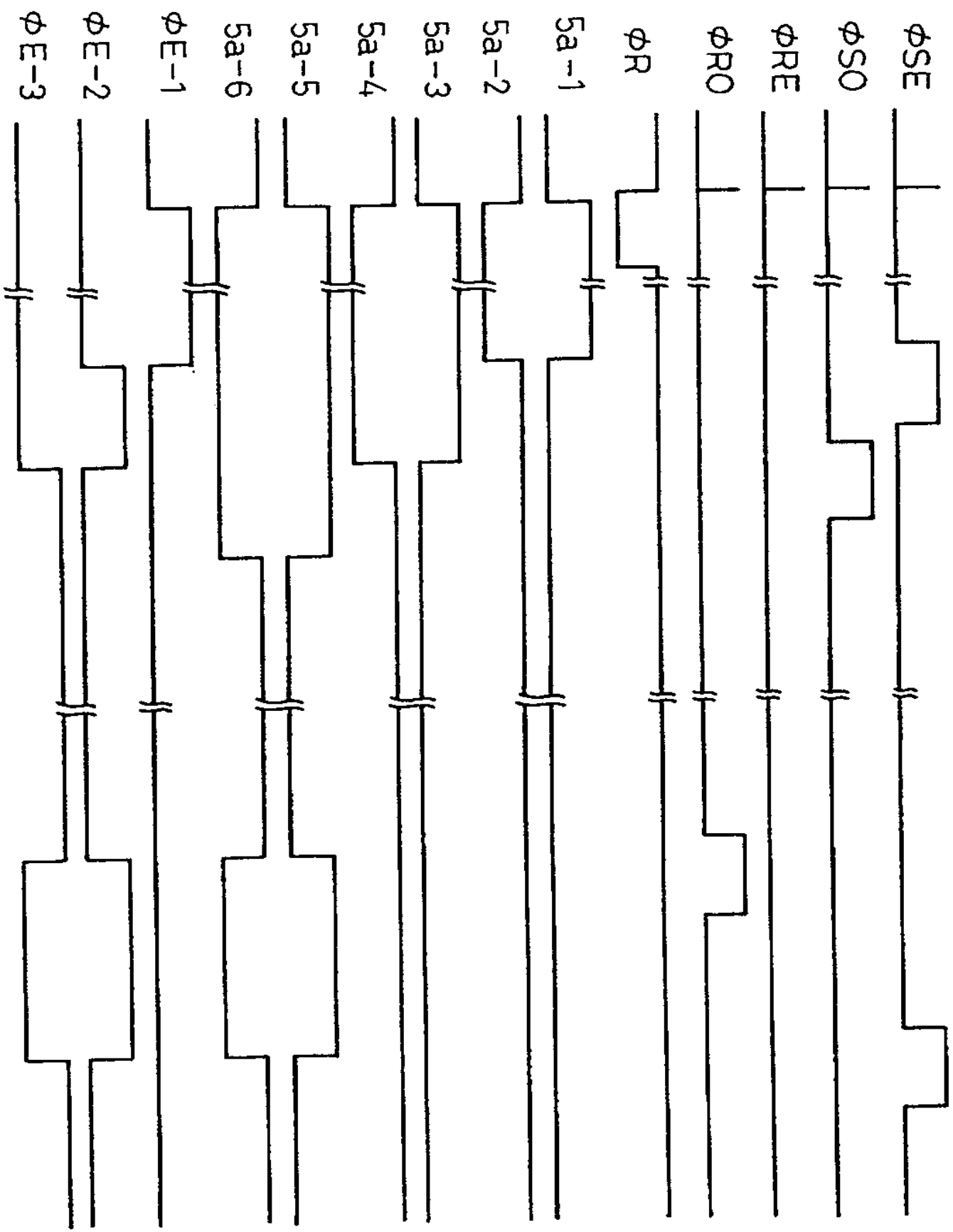
도면 21


(a)
IN
OUT
401
403
4a-1
4a-2
402
φE
φN
(b)
φE
IN
4a-1
φN
4a-2
OUT
H
(c)
IN
OUT
401-1
401-2
401-3
402-1
402-2
402-3
403-1
403-2
403-3
φE-1
φE-2
φE-3
H
L
Vcc

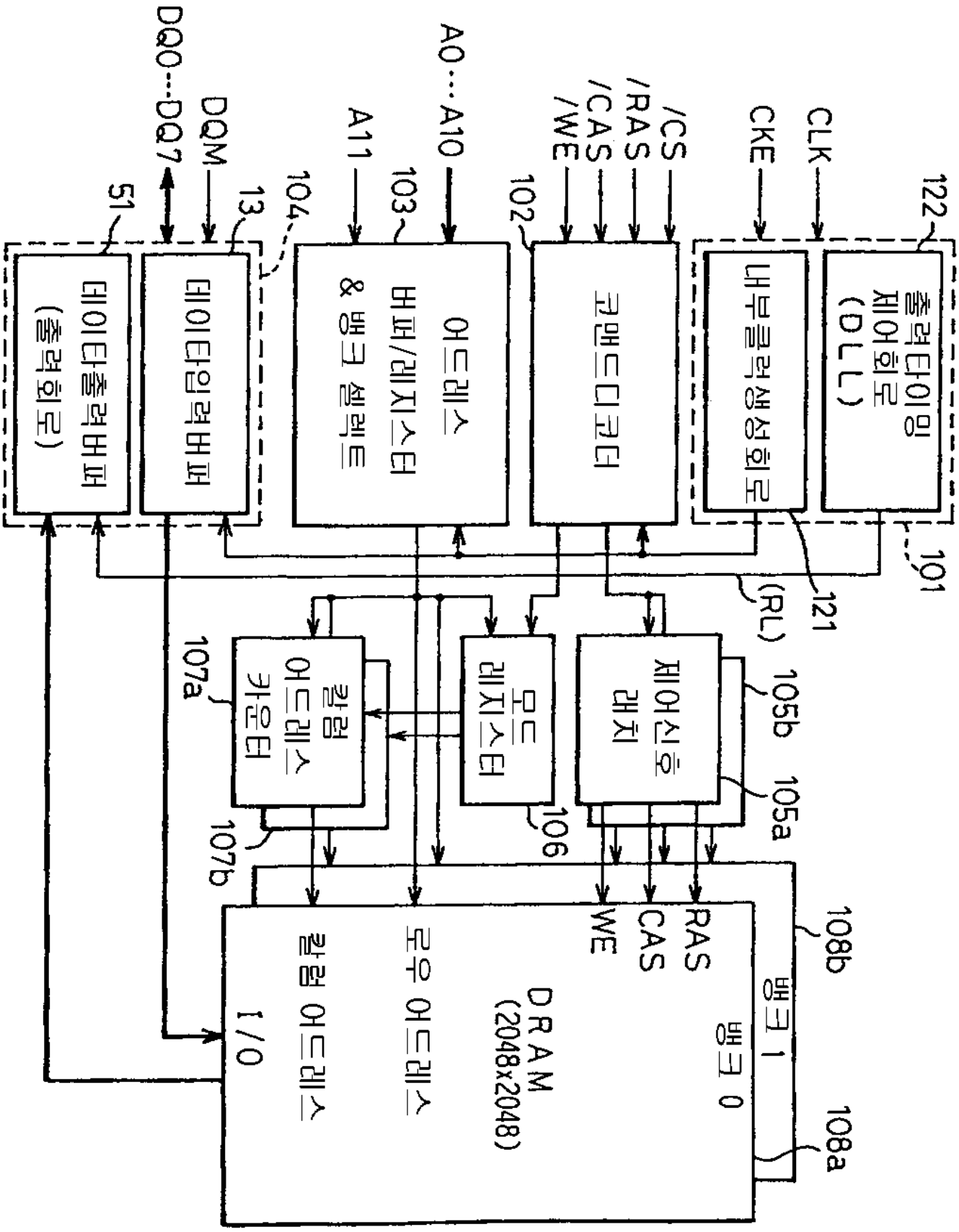
도면 22


φR
φSE
φSO
φRE
φRO
Vcc
φE-1
φE-2
φE-3
430-2
431-1
431-2
431-3
432-1
432-2
432-3
433-1
433-2
433-3
434-1
435-2
436-1
437-2
438-1
438-2
438-3
439-1
439-2
5a-1
5a-2
5a-3
5a-4
5a-5
5a-6

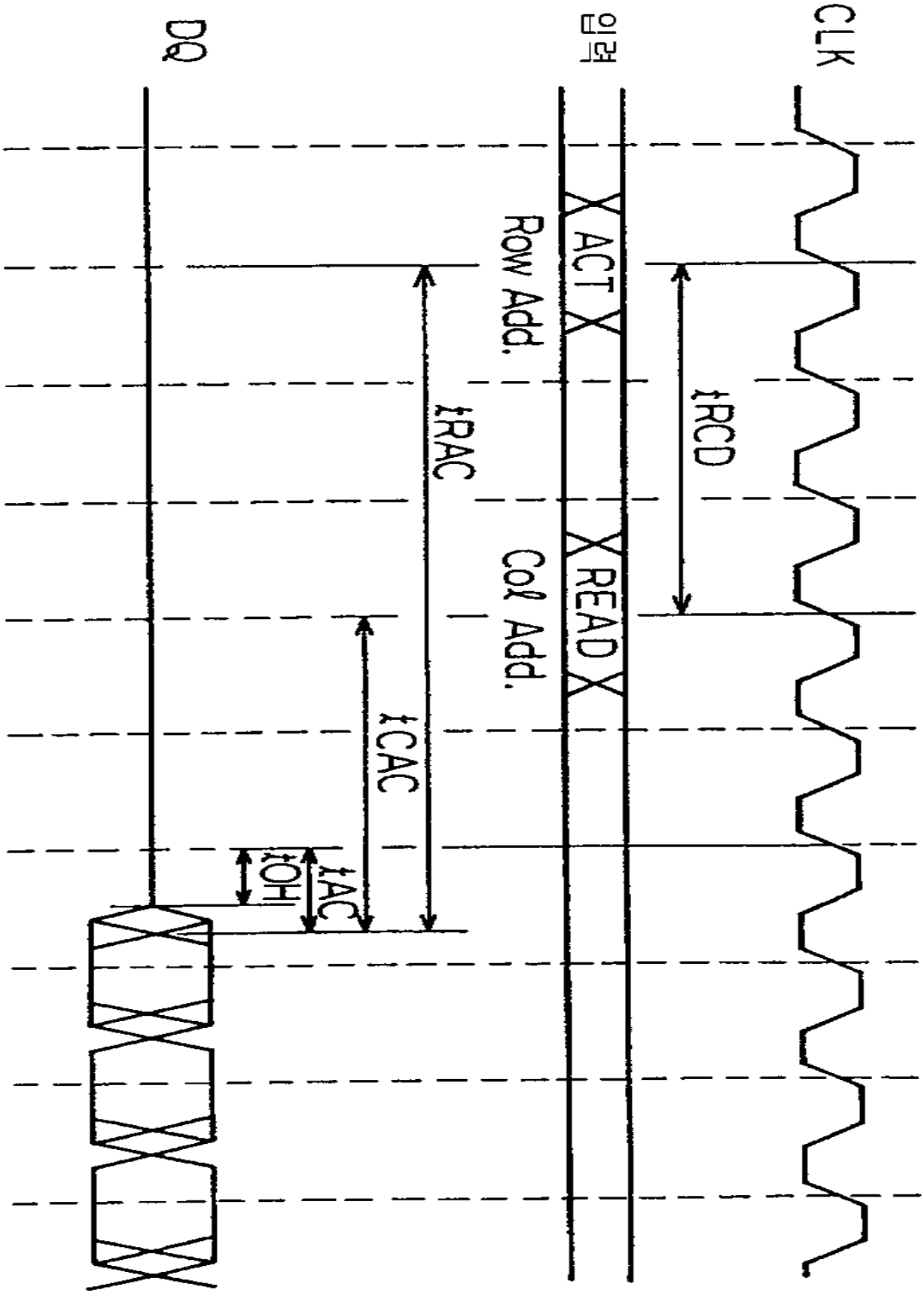
도면 23



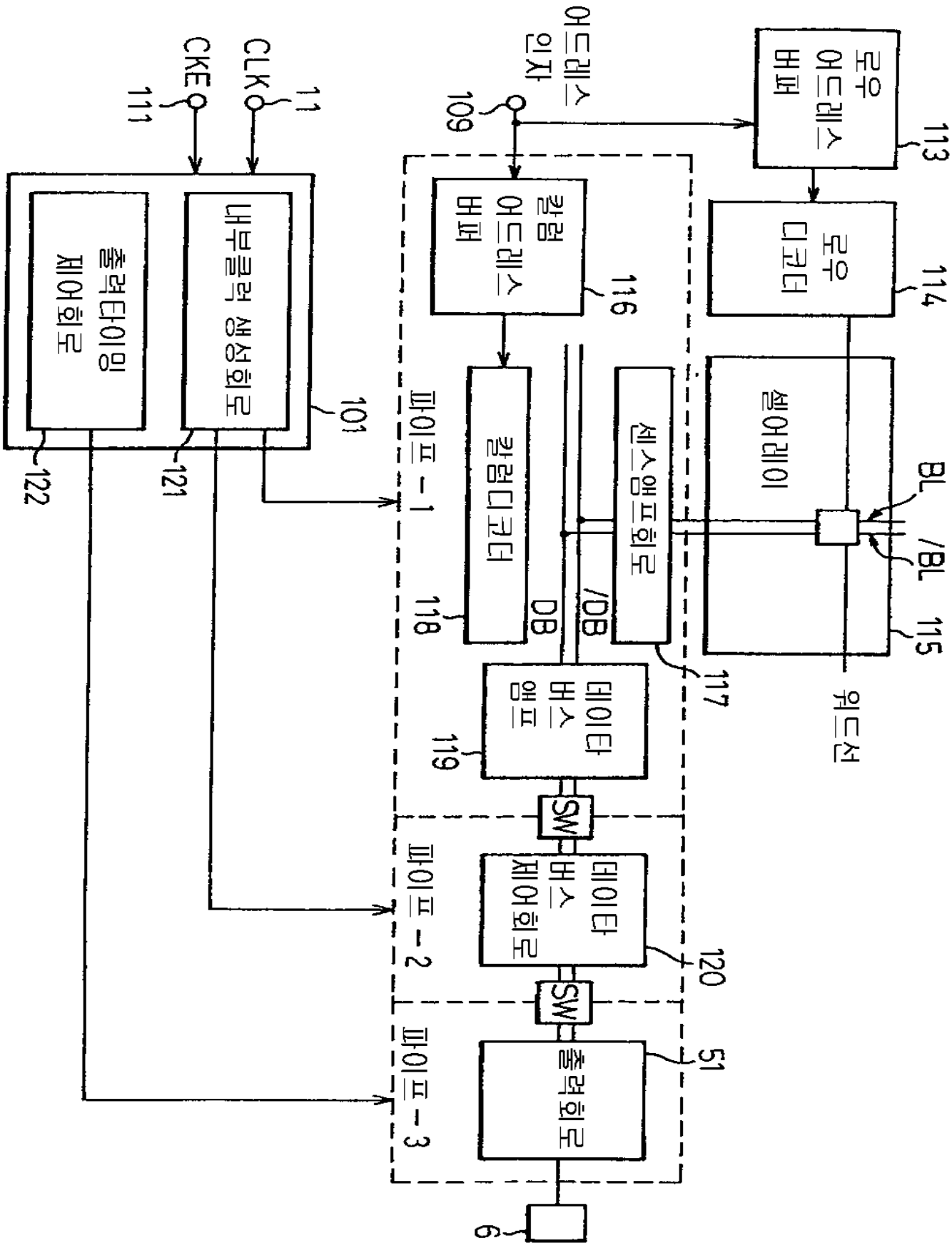
도면 24


CLK
CKE
/CS
/RAS
/CAS
/WE
A0···A10
A11
DQM
DQ0···DQ7
122
51
13
104
103
102
101
121
(RL)
107a
107b
105b
105a
106
108b
108a
출력타이밍 제어회로 (DLL)
내부클럭생성회로
커맨드디코더
어드레스 버퍼/레지스터 & 뱅크 셀렉트
데이타입력버퍼
데이타출력버퍼 (출력회로)
칼럼 어드레스 카운터
모드 레지스터
제어신호 래치
DRAM (2048x2048)
뱅크 0
뱅크 1
로우 어드레스
칼럼 어드레스
I/O
RAS
CAS
WE

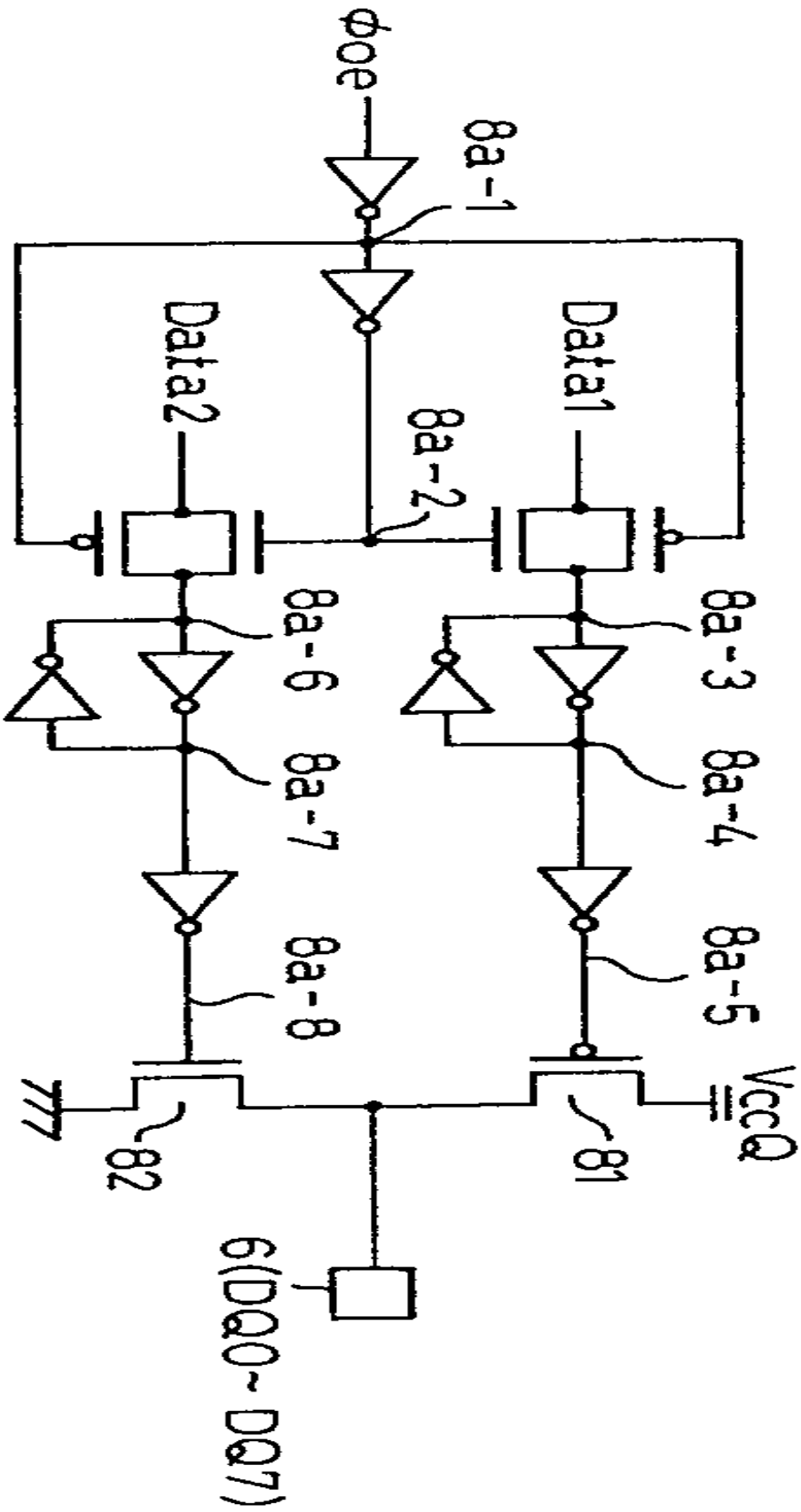
도면 25



도면 26


CKE
CLK
111
11
어드레스 입자
109
로우 어드레스 버퍼
113
로우 디코더
114
칼럼 어드레스 버퍼
116
칼럼 디코더
118
센스앰프회로
117
DB
/DB
셀어레이
115
BL
/BL
워드선
데이타 버스 앰프
119
SW
데이타 버스 제어회로
120
출력회로
51
6
내부클럭 생성회로
출력타이밍 제어회로
101
121
122
파이프-1
파이프-2
파이프-3

도면 27


φoe
8a-1
Data2
Data1
8a-2
8a-6
8a-3
8a-7
8a-4
8a-8
8a-5
77
82
81
VCCQ
6(DQ0~DQ7)

51

도면 28

