

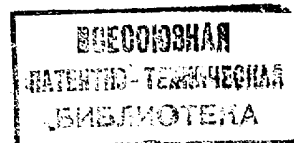


СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1665526 A1**

(51)5 H 04 L 17/16

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4699450/09

(22) 04.04.89

(46) 23.07.91. Бюл. № 27

(71) Институт кибернетики с вычислительным центром Научно-производственного объединения "Кибернетика" АН УзССР

(72) Э.Б.Махмудов, Э.Н.Биктимиров, Д.В.Протопопов, Э.Улжаев и А.Б.Чесноков

(53) 621.394.62(088.8)

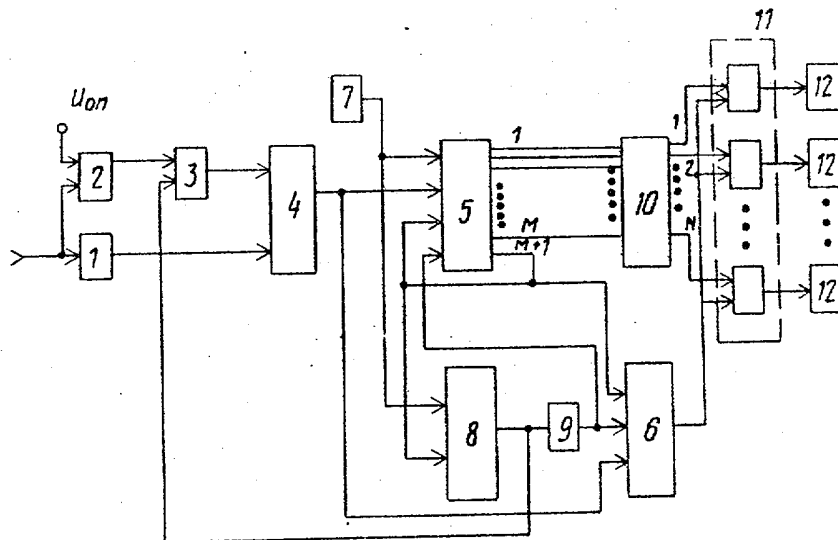
(56) Авторское свидетельство СССР № 1048580, кл. H 04 L 5/00, 1982.

(54) УСТРОЙСТВО ДЛЯ ПРИЕМА ДИСКРЕТНОЙ ИНФОРМАЦИИ

(57) Изобретение относится к технике передачи дискретной информации и может использоваться при организации систем связи

2

и вычислительных систем с общим каналом связи. Цель изобретения – увеличение объема принимаемой информации. Устройство для приема дискретной информации содержит задающий генератор 7, блок 10 дешифраторов, блок 11 элементов И, приемники 12 дискретных сигналов. Цель достигается введением амплитудного ограничителя 1, компаратора 2, RS-триггера 3, первого, второго элементов И 4, 6, блока 5 регистров сдвига, блока 8 счетчиков, инвертора 9. В устройстве обеспечивается возможность передачи по одному каналу связи информации от N источников дискретных сигналов. При этом каждое устройство для приема дискретных сигналов будет принимать информацию, которая предназначена только ему. 1 ил.



(19) **SU** (11) **1665526 A1**

Изобретение относится к технике передачи дискретной информации и может использоваться при организации систем связи и вычислительных систем с общим каналом связи.

Цель изобретения – увеличение объема принимаемой информации.

На чертеже представлена структурная электрическая схема предлагаемого устройства.

Устройство для приема дискретной информации содержит амплитудный ограничитель 1, компаратор 2, RS-триггер 3, первый элемент И 4, блок 5 регистров сдвига, второй элемент И 6, задающий генератор 7, блок 8 счетчиков, инвертор 9, блок 10 дешифраторов, блок 11 элементов И, приемники 12 дискретных сигналов.

Устройство работает следующим образом.

На вход устройства поступает цифровая последовательность, к которой первый бит является синхронизирующим и по уровню превосходит уровень логической "1" остальных битов, что вызвано необходимостью обеспечения стабильной синхронизации и высокой помехоустойчивости. Синхроимпульс одновременно поступает на амплитудный ограничитель 1, в котором он ограничивается до уровня логической "1" других битов с тем, чтобы не вносить искажения в работу элементов устройства, и на второй вход компаратора 2, где осуществляется сравнение его с напряжением $U_{оп}$ (величина $U_{оп}$ больше уровня логической "1", но меньше уровня синхроимпульса). В результате этого сравнения на выходе компаратора 2 вырабатывается сигнал логической "1", который поступает на S-вход RS-триггера 3, переводит его в единичное состояние, так как на R-входе в это время имеется уровень логического "0".

При появлении "1" на первом входе первого элемента И 4 ограниченный по уровню синхроимпульс и M маркерных импульсов через его второй вход последовательно поступают на информационный вход блока 5 регистра сдвига и регистрируются посредством тактовых импульсов, поступающих на его тактовый вход с выхода задающего генератора 7.

Таким образом, на выходах блока 5 регистров сдвига появляется $(M+1)$ -разрядный параллельный код, причем вследствие того, что информацию о номере канала несут только M маркерных импульсов, то все они поступают на соответствующие выходы блока 10 дешифраторов, а синхроимпульс с $(M+1)$ -го выхода блока 5 регистров сдвига одновременно поступает на управляющий

вход выбора режима блока 5 регистров сдвига, обеспечивая уровнем логической "1" перевод его в режим хранения, на вход сброса блока 8 счетчиков, активном уровне которого является уровень логического "0", разрешая тем самым подсчет тактовых импульсов, поступающих на его счетный вход с выхода задающего генератора 7, и, наконец, на первый вход второго элемента И 6, в результате чего K информационных импульсов через его третий вход проходят на все элементы И блока 11 элементов И, так как в это время на его втором входе также имеется логическая "1". M -разрядный код маркерных импульсов дешифрируется блоком 10 дешифраторов, и из всех его N выходов активный уровень появляется только на одном, а именно на том, номер которого равен поданному на вход двоичному числу.

Тогда на первом входе соответствующего элемента И блока 11 элементов И присутствует логическая "1", разрешая тем самым прохождение информационных импульсов через второй вход на вход соответствующего приемника 12 дискретных сигналов. В это время на выходе переноса блока 8 счетчиков после подсчета K -го тактового импульса вырабатывается единичный импульс, служащий сигналом о том, что все K информационных импульсов, предназначавшихся N -му приемнику 12 дискретных сигналов, приняты. Поступая на R-вход RS-триггера 3, этот импульс переводит его в нулевое состояние, соответствующее ожиданию прихода нового синхроимпульса, и проинвертировались инвертором 9, он уровнем логического "0" последовательно обнуляет все выходы блока 5 регистров сдвига и через его $(M+1)$ -й параллельный выход – блок 8 счетчиков, а также обеспечивает нулевым уровнем режим сдвига вправо блока 5 регистров сдвига.

Ф о р м у л а и з о б р е т е н и я

Устройство для приема дискретной информации, содержащее задающий генератор, приемники дискретных сигналов и блок дешифраторов, выходы которого подключены к одним входам блока элементов И, отличающаяся тем, что, с целью увеличения объема принимаемой информации, введены два элемента И, блок регистров сдвига, инвертор, блок счетчиков, амплитудный ограничитель и последовательно соединенные компаратор и RS-триггер, R-вход и выход которого соединены соответственно с выходом блока счетчиков, который подключен к входу инвертора, и с первым входом первого элемента И, второй вход и выход которого соединены соответственно с выходом амплитудного ограничителя, вход которого подключен к

одному входу компаратора, и с информационным входом блока регистров сдвига, одни выходы и тактовый вход которого соединены соответственно с входами блока дешифраторов и с выходом задающего генератора, который подключен к счетному входу блока счетчиков, сбросовый вход которого соединен с управляющим входом и другим выходом блока регистров сдвига, который подключен к первому входу второго элемента И, второй и третий входы и выход

5

10

которого соединены соответственно с выходом инвертора, который подключен к сбросовому входу блока регистров сдвига, с выходом первого элемента И и с другими входами блока элементов И, выходы которого подключены к входам соответствующих приемников дискретных сигналов, при этом другой вход компаратора является опорным входом устройства, информационным входом которого является вход амплитудного ограничителя.

Редактор М. Бланар

Составитель В. Чибисов
Техред М.Моргентал

Корректор О. Кундрик

Заказ 2400

Тираж 390

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101