



(12) 发明专利

(10) 授权公告号 CN 103227173 B

(45) 授权公告日 2016. 03. 30

(21) 申请号 201310123359. 3

US 2009/0115690 A1, 2009. 05. 07,

(22) 申请日 2013. 04. 10

审查员 金政

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 北京京东方显示技术有限公司

(72) 发明人 于海峰 封宾 崔晓鹏 林鸿涛

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243
代理人 许静 黄灿

(51) Int. Cl.

H01L 27/02(2006. 01)

H01L 27/12(2006. 01)

H01L 21/77(2006. 01)

(56) 对比文件

KR 10-2007-0104088 A, 2007. 10. 25,

CN 1529197 A, 2004. 09. 15,

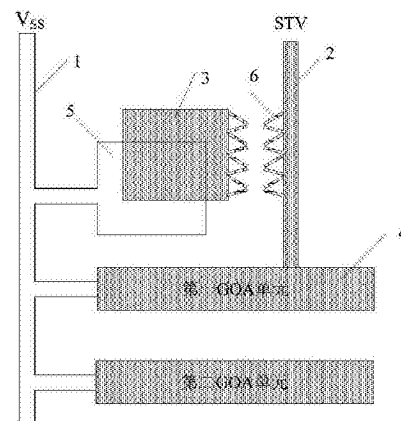
权利要求书1页 说明书5页 附图3页

(54) 发明名称

阵列基板及其制造方法、显示装置

(57) 摘要

本发明提供一种阵列基板及其制造方法、显示装置,属于显示技术领域。其中,所述阵列基板上形成有连接低电平电位的第一导电图形、与数据进位信号 STV 信号线同层的第二导电图形、位于所述第一导电图形和所述第二导电图形之间的绝缘层,所述第一导电图形、所述绝缘层与所述第二导电图形存在有交叠区域以形成存储电容,其中,所述 STV 信号线对应所述第二导电图形的位置形成有朝向所述第二导电图形的导电尖端。本发明的技术方案能够在不影响显示效果的情况下,有效释放 STV 信号线上积累的静电。



1. 一种阵列基板,所述阵列基板上形成有连接低电平电位的第一导电图形、与数据进位信号 STV 信号线同层的第二导电图形、位于所述第一导电图形和所述第二导电图形之间的绝缘层,所述第一导电图形、所述绝缘层与所述第二导电图形存在有交叠区域以形成存储电容,其特征在于,所述 STV 信号线对应所述第二导电图形的位置形成有朝向所述第二导电图形的导电尖端,所述导电尖端位于所述 STV 信号线的侧面,使得所述 STV 信号线上积累的静电能够通过所述导电尖端释放到第二导电图形上。

2. 根据权利要求 1 所述的阵列基板,其特征在于,所述第二导电图形对应所述 STV 信号线的位置形成有朝向所述 STV 信号线的导电尖端。

3. 根据权利要求 1 所述的阵列基板,其特征在于,所述第一导电图形为采用源漏金属层形成,所述第二导电图形、所述导电尖端和所述 STV 信号线为采用栅金属层形成。

4. 根据权利要求 3 所述的阵列基板,其特征在于,所述第一导电图形和阵列基板的源电极、漏电极通过一次构图工艺同时形成;所述第二导电图形、所述导电尖端、所述 STV 信号线和阵列基板的栅电极、栅线为通过一次构图工艺同时形成。

5. 一种显示装置,其特征在于,包括如权利要求 1~4 中任一项所述的阵列基板。

6. 一种阵列基板的制造方法,所述阵列基板上形成有连接低电平电位的第一导电图形、与数据进位信号 STV 信号线同层的第二导电图形、位于所述第一导电图形和所述第二导电图形之间的绝缘层,所述第一导电图形、所述绝缘层与所述第二导电图形存在有交叠区域以形成存储电容,其特征在于,所述制造方法包括:在所述 STV 信号线对应所述第二导电图形的位置形成朝向所述第二导电图形的导电尖端,所述导电尖端位于所述 STV 信号线的侧面,使得所述 STV 信号线上积累的静电能够通过所述导电尖端释放到第二导电图形上。

7. 根据权利要求 6 所述的阵列基板的制造方法,其特征在于,所述制造方法还包括:在所述第二导电图形对应所述 STV 信号线的位置形成朝向所述 STV 信号线的导电尖端。

8. 根据权利要求 6 所述的阵列基板的制造方法,其特征在于,所述制造方法包括:

采用源漏金属层形成所述第一导电图形;采用栅金属层形成所述第二导电图形、所述导电尖端和所述 STV 信号线。

9. 根据权利要求 8 所述的阵列基板的制造方法,其特征在于,所述制造方法包括:通过一次构图工艺利用源漏金属层同时形成所述第一导电图形和阵列基板的源电极、漏电极;通过一次构图工艺同时形成所述第二导电图形、所述导电尖端、所述 STV 信号线和阵列基板的栅电极、栅线。

阵列基板及其制造方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别是指一种阵列基板及其制造方法、显示装置。

背景技术

[0002] 随着薄膜晶体管液晶显示器(Thin film transistor liquid crystal display, TFT LCD)产业的发展,TFT LCD 产品的竞争日趋激烈,各厂家都在通过采用新技术以降低产品的成本,从而提高其产品在市场上的竞争力,阵列基板行驱动(Gate Driver on Array, GOA)技术就是这些新技术的典型代表。

[0003] GOA 技术是将栅极(Gate)开关电路集成于阵列(Array)基板上,从而可以省掉栅极驱动集成电路(Gate Driver IC)部分,从材料成本和工艺步骤两个方面可以达到降低产品成本的目的。STV (数据进位信号)信号线由于其走线仅与第一行(或前几行)GOA 单元相连接,一旦 STV 信号线内产生静电将无法像其它走线一样将电荷扩散,如聚集电荷较大则易在第一个 GOA 单元处爆发,造成相关电学不良。

[0004] 现有的 STV 防静电结构是在 STV 输入点之前接入电容器,在工艺过程中利用高电压下产生的崩溃电流将静电导走,如图 1 所示,该电容器由形成 STV 信号线的栅金属层、形成 V_{SS} 信号线的源漏金属层以及栅绝缘层组成。然而由于电容器存在存储电荷的特性,而此特性又会导致在走线正常工作的状况下产生信号衰减,最终造成异常显示(Abnormal display)。

发明内容

[0005] 本发明要解决的技术问题是提供一种阵列基板及其制造方法、显示装置,能够在不影响显示效果的情况下,有效释放 STV 信号线上积累的静电。

[0006] 为解决上述技术问题,本发明的实施例提供技术方案如下:

[0007] 一方面,提供一种阵列基板,所述阵列基板上形成有连接低电平电位的第一导电图形、与数据进位信号 STV 信号线同层的第二导电图形、位于所述第一导电图形和所述第二导电图形之间的绝缘层,所述第一导电图形、所述绝缘层与所述第二导电图形存在有重叠区域以形成存储电容,其中,所述 STV 信号线对应所述第二导电图形的位置形成有朝向所述第二导电图形的导电尖端。

[0008] 进一步地,上述阵列基板中,所述第二导电图形对应所述 STV 信号线的位置形成有朝向所述 STV 信号线的导电尖端。

[0009] 进一步地,上述阵列基板中,所述第一导电图形为采用源漏金属层形成,所述第二导电图形、所述导电尖端和所述 STV 信号线为采用栅金属层形成。

[0010] 进一步地,上述阵列基板中,所述第一导电图形和阵列基板的源电极、漏电极为通过一次构图工艺同时形成;所述第二导电图形、所述导电尖端、所述 STV 信号线和阵列基板的栅电极、栅线为通过一次构图工艺同时形成。

[0011] 本发明实施例还提供了一种显示装置,包括如上所述的阵列基板。

[0012] 本发明实施例还提供了一种阵列基板的制造方法,所述阵列基板上形成有连接低电平电位的第二导电图形、与数据进位信号 STV 信号线同层的第一导电图形、位于所述第一导电图形和所述第二导电图形之间的绝缘层,所述第一导电图形、所述绝缘层与所述第二导电图形存在有交叠区域以形成存储电容,其中,所述制造方法包括:在所述 STV 信号线对应所述第二导电图形的位置形成朝向所述第二导电图形的导电尖端。

[0013] 进一步地,所述制造方法还包括:在所述第二导电图形对应所述 STV 信号线的位置形成朝向所述 STV 信号线的导电尖端。

[0014] 进一步地,所述制造方法包括:

[0015] 采用源漏金属层形成所述第一导电图形;采用栅金属层形成所述第二导电图形、所述导电尖端和所述 STV 信号线。

[0016] 进一步地,所述制造方法包括:通过一次构图工艺利用源漏金属层同时形成所述第一导电图形和阵列基板的源电极、漏电极;通过一次构图工艺同时形成所述第二导电图形、所述导电尖端、所述 STV 信号线和阵列基板的栅电极、栅线。

[0017] 本发明的实施例具有以下有益效果:

[0018] 上述方案中,第一导电图形、绝缘层与第二导电图形存在有交叠区域以形成存储电容,STV 信号线对应第二导电图形的位置形成有朝向第二导电图形的导电尖端,当显示面板正常工作时,STV 信号线上的电荷不会输入到存储电容中,因而也不会造成异常显示;而当 STV 信号线上积累有较大静电时,静电会通过导电尖端释放到第二导电图形上,从而达到静电释放的目的。

附图说明

[0019] 图 1 为现有 GOA 电路中 STV 信号线静电保护结构的示意图;

[0020] 图 2 为本发明实施例阵列基板中 STV 信号线静电保护结构的示意图;

[0021] 图 3 为本发明实施例阵列基板中 STV 信号线另一静电保护结构的示意图;

[0022] 图 4 为本发明实施例阵列基板正常信号输入时的电流状态示意图;

[0023] 图 5 为本发明实施例阵列基板静电发生时的静电传送示意图。

[0024] 附图标记

[0025] 1 V_{SS} 信号线 2 STV 信号线 3 第二导电图形 4 第一 GOA 单元 5 第一导电图形 6 导电尖端

具体实施方式

[0026] 为使本发明的实施例要解决的技术问题、技术方案和优点更加清楚,下面将结合附图及具体实施例进行详细描述。

[0027] 本发明的实施例针对现有 STV 防静电结构是在 STV 输入点之前接入电容器,由于电容器存在存储电荷的特性,而此特性又会导致在走线正常工作的状况下产生信号衰减,最终造成异常显示的问题,提供一种阵列基板及其制造方法、显示装置,能够在不影响显示效果的情况下,有效释放 STV 信号线上积累的静电。

[0028] 本发明的阵列基板上形成有连接低电平电位的第二导电图形、与数据进位信号 STV 信号线同层的第一导电图形、位于所述第一导电图形和所述第二导电图形之间的绝缘

层,所述第一导电图形、所述绝缘层与所述第二导电图形存在有交叠区域以形成存储电容,其中,所述 STV 信号线对应所述第二导电图形的位置形成有朝向所述第二导电图形的导电尖端。

[0029] 本发明的阵列基板可以为顶栅型结构也可以为底栅型结构,在本发明的阵列基板为顶栅型结构时,第一导电图形可以为由栅金属层形成,第二导电图形和 STV 信号线可以由源漏金属层形成,第一导电图形、栅绝缘层和第二导电图形存在交叠区域以形成存储电容,并采用源漏金属层形成导电尖端;在本发明的阵列基板为底栅型结构时,第一导电图形可以由源漏金属层形成,第二导电图形和 STV 信号线可以由栅金属层形成,第一导电图形、栅绝缘层和第二导电图形存在交叠区域以形成存储电容,并采用栅金属层形成导电尖端。

[0030] 进一步地,本发明阵列基板中并不局限于采用栅绝缘层形成存储电容的绝缘层,只要处于第一导电图形和第二导电图形之间的绝缘层均可以用以形成存储电容的绝缘层。

[0031] 进一步地,本发明的阵列基板并不局限为水平电场型阵列基板,还可以为垂直电场型阵列基板,只要能够在连接低电平电位的第一导电图形和与 STV 信号线同层的第二导电图形之间形成存储电容即可。

[0032] 进一步地,在第一导电图形为采用源漏金属层形成时,可以通过一次构图工艺同时形成所述第一导电图形和阵列基板的源电极、漏电极;在第二导电图形、所述导电尖端和所述 STV 信号线为采用栅金属层形成时,可以通过一次构图工艺同时形成所述第二导电图形、所述导电尖端、所述 STV 信号线和阵列基板的栅电极、栅线。这样可以在不增加构图工艺次数的前提下实现本发明的技术方案。

[0033] 进一步地,以本发明的阵列基板为底栅型结构为例,本发明的阵列基板具体可以包括:

[0034] 基板;

[0035] 位于所述基板上由栅金属层形成的所述第二导电图形、所述导电尖端、栅电极和栅线;

[0036] 位于形成有所述公共电极和栅电极、栅线的基板上的栅绝缘层;

[0037] 位于所述栅绝缘层上由源漏金属层形成的所述第一导电图形、源电极和漏电极。

[0038] 本发明实施例还提供了一种上述阵列基板的制造方法,所述阵列基板上形成有连接低电平电位的第一导电图形、与数据进位信号 STV 信号线同层的第二导电图形、位于所述第一导电图形和所述第二导电图形之间的绝缘层,所述第一导电图形、所述绝缘层与所述第二导电图形存在有交叠区域以形成存储电容,其中,所述制造方法包括:在所述 STV 信号线对应所述第二导电图形的位置形成朝向所述第二导电图形的导电尖端。

[0039] 本发明的阵列基板可以为顶栅型结构也可以为底栅型结构,在本发明的阵列基板为顶栅型结构时,第一导电图形可以为由栅金属层形成,第二导电图形和 STV 信号线可以由源漏金属层形成,第一导电图形、栅绝缘层和第二导电图形存在交叠区域以形成存储电容,并采用源漏金属层形成导电尖端;在本发明的阵列基板为底栅型结构时,第一导电图形可以由源漏金属层形成,第二导电图形和 STV 信号线可以由栅金属层形成,第一导电图形、栅绝缘层和第二导电图形存在交叠区域以形成存储电容,并采用栅金属层形成导电尖端。

[0040] 进一步地,本发明阵列基板中并不局限于采用栅绝缘层形成存储电容的绝缘层,只要处于第一导电图形和第二导电图形之间的绝缘层均可以用以形成存储电容的绝缘层。

[0041] 进一步地,本发明的阵列基板并不局限为水平电场型阵列基板,还可以为垂直电场型阵列基板,只要能够在连接低电平电位的第一导电图形和与 STV 信号线同层的第二导电图形之间形成存储电容即可。

[0042] 进一步地,为了不增加构图工艺的次数,在第一导电图形为采用源漏金属层形成时,可以通过一次构图工艺同时形成所述第一导电图形和阵列基板的源电极、漏电极;在第二导电图形、所述导电尖端和所述 STV 信号线为采用栅金属层形成时,可以通过一次构图工艺同时形成所述第二导电图形、所述导电尖端、所述 STV 信号线和阵列基板的栅电极、栅线。

[0043] 进一步地,以本发明的阵列基板为底栅型结构为例,所述制造方法具体包括:

[0044] 提供一基板;

[0045] 通过第一次构图工艺,在所述基板上形成由栅金属层组成的所述第二导电图形、所述导电尖端、所述 STV 信号线和栅电极和栅线;

[0046] 通过第二次构图工艺,在经过所述第一构图工艺的基板上形成栅绝缘层和有源层图形;

[0047] 通过第三次构图工艺,在经过所述第二构图工艺的基板上形成由源漏金属层组成的所述第一导电图形、源电极和漏电极。优选的,还包括形成数据线的图形;

[0048] 进一步的,形成所需的存储电容和导电尖端之后,还可以制作阵列基板所需的像素电极,具体包括:

[0049] 通过第四次构图工艺,在经过所述第三次构图工艺的基板上形成包括有像素电极过孔的绝缘层的图形;

[0050] 通过第五次构图工艺,在所述绝缘层上形成由透明导电层组成的像素电极的图形,所述像素电极通过所述像素电极过孔与所述漏电极相连接。

[0051] 本发明的阵列基板中,第一导电图形、绝缘层与第二导电图形存在有交叠区域以形成存储电容,STV 信号线对应第二导电图形的位置形成有朝向第二导电图形的导电尖端,当显示面板正常工作时,STV 信号线上的电荷不会输入到存储电容中,因而也不会造成异常显示;而当 STV 信号线上积累有较大静电时,静电会通过导电尖端释放到第二导电图形上,从而达到静电释放的目的。

[0052] 下面结合附图 2-5 对本发明的阵列基板进行详细介绍:

[0053] 图 2 为本发明阵列基板的结构示意图,如图 2 所示,连接低电平电位的 V_{SS} 信号线 1 与第一导电图形 5 连接,第二导电图形 3 与第一导电图形 5 之间形成存储电容,STV 信号线 2 与第一 GOA 单元 4 连接,与现有技术不同,STV 信号线 2 并不通过走线与第二导电图形 3 连接,而是在 STV 信号线 2 对应第二导电图形 3 的位置设置导电尖端 6,导电尖端 6 的尖端朝向第二导电图形 3,并且在导电尖端 6 和第二导电图形 3 之间存在一定距离。

[0054] 进一步地,为了优化静电释放的效率,如图 3 所示,还可以在第二导电图形 3 对应 STV 信号线 2 的位置也设置导电尖端,其中,与第二导电图形 3 连接的导电尖端的尖端朝向 STV 信号线 2。

[0055] 如图 4 所示,当显示面板正常工作时电荷不会输入到存储电容,STV 信号线 2 上的电荷流向第一 GOA 单元 4。而当 STV 信号线上积累有较大静电的时候,如图 5 所示,静电会通过导电尖端 6 释放到存储电容的下极板(即第二导电图形 3),并通过存储电容使电荷流

向连接低电平电位的 V_{SS} 信号线 1, 从而达到静电释放的目的。

[0056] 本发明的阵列基板有效地利用尖端放电的性质, 在 STV 信号线对应第二导电图形的位置形成朝向第二导电图形的导电尖端。本发明的技术方案将导电尖端与存储电容相结合, 导电尖端的设置能够在加强静电释放效果的同时又不会产生过多的 RC 负载, 当显示面板正常工作时, STV 信号线上的电荷不会输入到存储电容中, 因而也不会造成异常显示; 而当 STV 信号线上积累有较大静电时, 静电会通过导电尖端释放到第二导电图形上, 在通电状态下存储电容存储电荷后缓慢释放电荷, 在不通电状态下利用高压使存储电容内产生崩溃电流将静电导走, 从而达到静电释放的目的。

[0057] 本发明实施例还提供了一种显示装置, 包括如上所述的阵列基板。该显示装置可以为: 液晶面板、电子纸、OLED (Organic Light Emitting Diode, 有机发光二极管) 面板、液晶电视、液晶显示器、数码相框、手机、平板电脑等具有任何显示功能的产品或部件。

[0058] 以上所述是本发明的优选实施方式, 应当指出, 对于本技术领域的普通技术人员来说, 在不脱离本发明所述原理的前提下, 还可以作出若干改进和润饰, 这些改进和润饰也应视为本发明的保护范围。

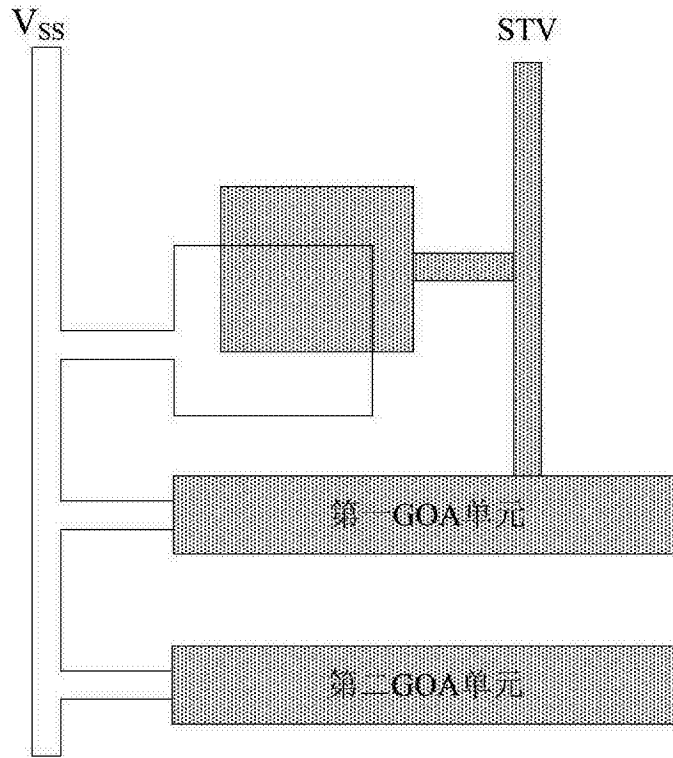


图 1

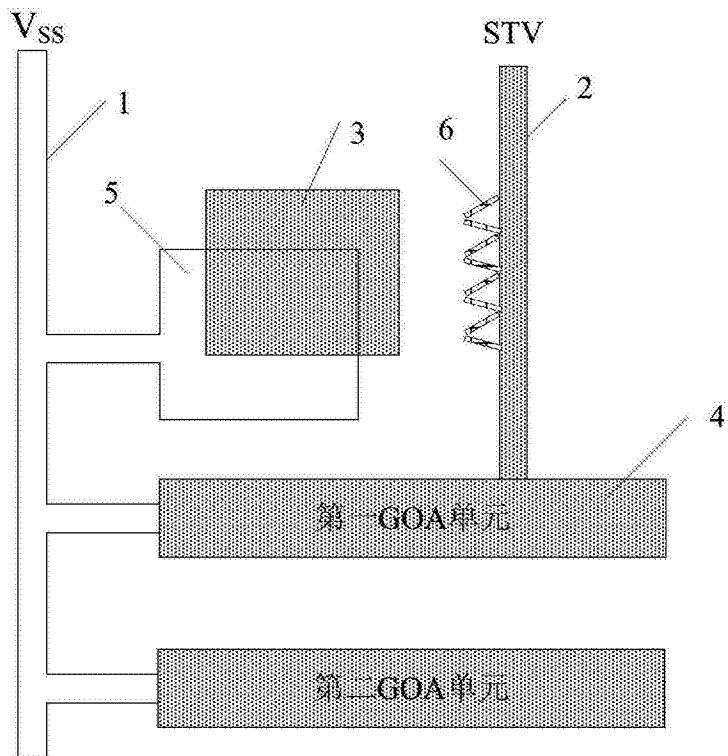


图 2

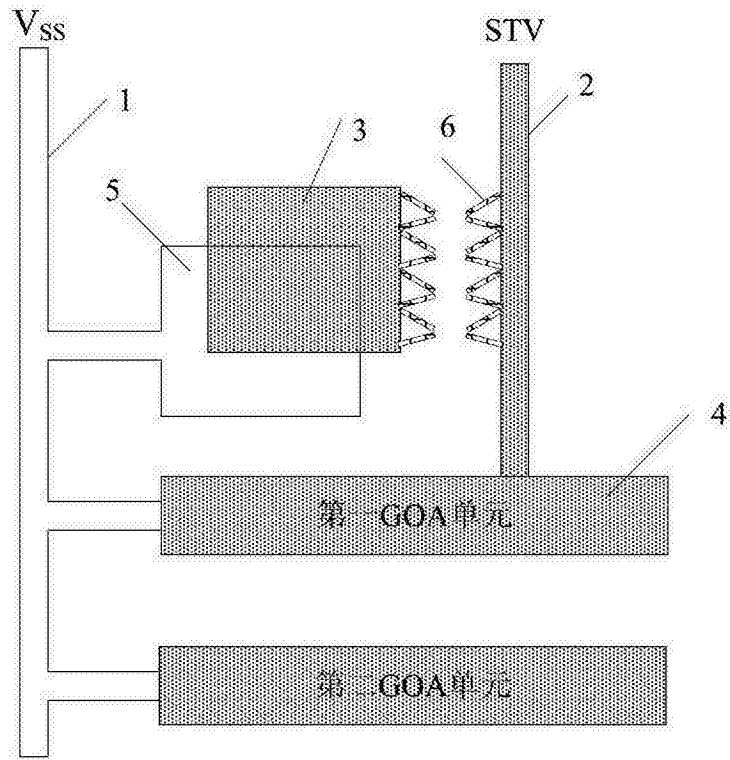


图 3

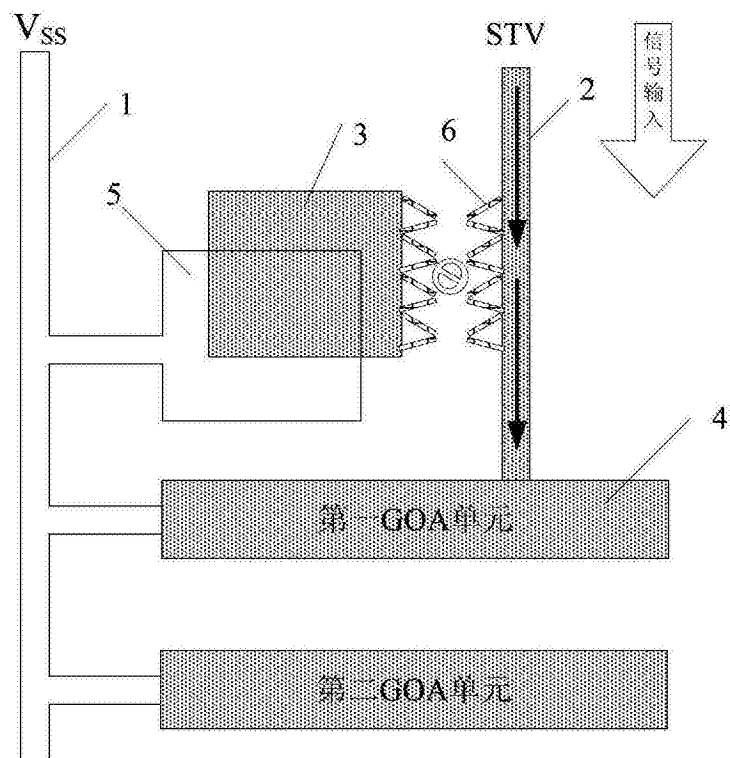


图 4

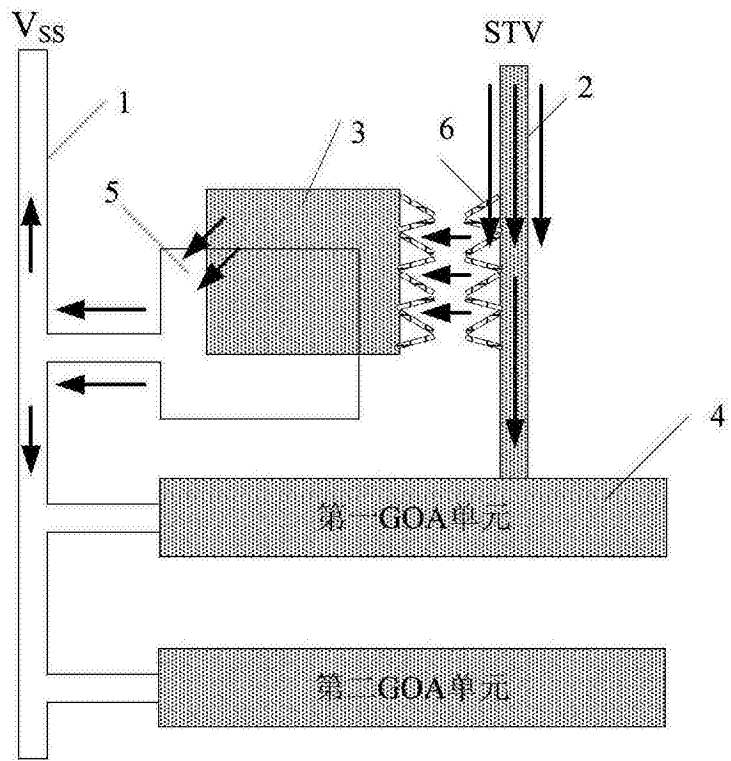


图 5