

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-65177
(P2009-65177A)

(43) 公開日 平成21年3月26日(2009.3.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 M	4 M 1 0 4
HO 1 L 29/423 (2006.01)	HO 1 L 29/78 6 1 6 S	5 F 1 1 0
HO 1 L 29/49 (2006.01)	HO 1 L 29/78 6 1 7 K	
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 1 7 N	
HO 1 L 29/417 (2006.01)	HO 1 L 29/78 6 2 6 A	

審査請求 有 請求項の数 11 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2008-257859 (P2008-257859)
 (22) 出願日 平成20年10月2日 (2008.10.2)
 (62) 分割の表示 特願2004-135589 (P2004-135589) の分割
 原出願日 平成16年4月30日 (2004.4.30)
 (31) 優先権主張番号 10/427233
 (32) 優先日 平成15年5月1日 (2003.5.1)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
 (74) 代理人 100108501 弁理士 上野 剛史
 (74) 代理人 100112690 弁理士 太佐 種一
 (74) 代理人 100091568 弁理士 市位 嘉宏

最終頁に続く

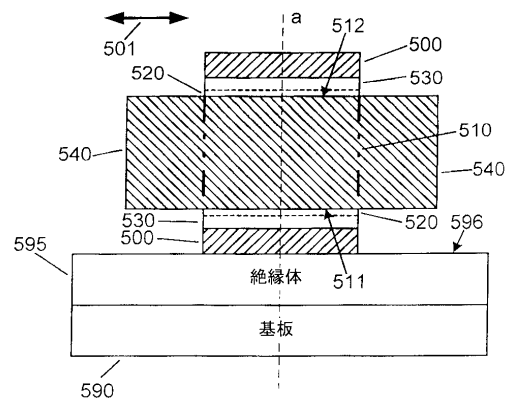
(54) 【発明の名称】 マルチファセット・ゲートMOSFETデバイス

(57) 【要約】 (修正有)

【課題】ゲート電極中のドーパント不純物がゲート絶縁物を貫通する。

【解決手段】中心部分と2つの端部を備えた、歪みSiベース単結晶ストリップであって、中心部分がマルチファセット・チャンネル領域511、512を備え、端部がソースとドレイン540を備えるものである歪みSiベース単結晶ストリップ510と、チャンネル領域を覆うゲート絶縁物520、530と、チャンネル領域の少なくとも2つのファセットの上に重なりかつゲート絶縁物に接続するゲート500と、付着手段によって歪みSiベース単結晶ストリップと係合する支持台590、595とを備え、ゲートが、ゲート絶縁物の上面に配置された第1の層500を含み、第1の層がSi:CまたはSiGe:Cである、マルチファセット・ゲートMOSFETデバイスである。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

マルチファセット・ゲートMOSFETデバイスであって、
中心部分と2つの端部を備えた、歪みSiベース単結晶ストリップであって、前記中心部分がマルチファセット・チャンネル領域を備え、前記端部がソースとドレインを備えるものである歪みSiベース単結晶ストリップと、

前記チャンネル領域を覆うゲート絶縁物と、

前記チャンネル領域の少なくとも2つのファセットの上に重なりかつ前記ゲート絶縁物に接続するゲートと、

付着手段によって前記歪みSiベース単結晶ストリップと係合する支持台とを備え、

前記ゲートが、前記ゲート絶縁物の上面に配置された第1の層を含み、前記第1の層がSi:CまたはSiGe:Cである、マルチファセット・ゲートMOSFETデバイス。

【請求項 2】

前記歪みSiベース単結晶ストリップが、SiGe、Si:C、又はSiGe:Cのいずれかである、請求項1に記載のMOSFETデバイス。

【請求項 3】

前記ソースと前記チャンネル領域が、ショットキ障壁コンタクトを形成している、請求項1に記載のMOSFETデバイス。

【請求項 4】

前記ゲートが、2つの別個のゲート電極を含み、前記2つの別個のゲート電極が前記マルチファセット・チャンネル領域の2つの別個のファセットと係合する、請求項1に記載のMOSFETデバイス。

【請求項 5】

マルチファセット・チャンネル領域が、少なくとも2つの相対する側面ファセットを有し、さらに前記2つの別個のゲート電極が前記2つの相対する側面ファセットと係合している、請求項4に記載のMOSFETデバイス。

【請求項 6】

前記ゲートが、前記マルチファセット・チャンネル領域を完全に囲繞している、請求項1に記載のMOSFETデバイス。

【請求項 7】

前記MOSFETデバイスにおいて、前記支持台が表面を有し、電流が前記支持台の表面に対して平行に流れる、請求項1に記載のMOSFETデバイス。

【請求項 8】

前記ゲートが、2つの別個のゲート電極で構成されており、

前記2つの別個のゲート電極が、前記マルチファセット・チャンネル領域の2つの別個のファセットと係合し、

前記マルチファセット・チャンネル領域が、前記支持台に付着する底面ファセットと、前記底面ファセットに対して本質的に向かい合う配置にある少なくとも1つの上面ファセットとを有し、

さらに前記2つの別個のゲート電極が前記底面ファセットおよび前記少なくとも1つの上面ファセットと係合している、請求項7に記載のMOSFETデバイス。

【請求項 9】

前記マルチファセット・チャンネル領域が、前記支持台に付着する1つのファセットを有し、

前記ゲートが、前記支持台に付着する前記ファセットを除いて、前記マルチファセット・チャンネル領域の全ての前記ファセットと係合する、請求項8に記載のMOSFETデバイス。

【請求項 10】

前記支持台が、Si基板上のSiO₂層の上面に薄いゲート電極材料を含む、請求項8

10

20

30

40

50

に記載のM O S F E Tデバイス。

【請求項11】

前記M O S F E Tデバイスにおいて、前記支持台が表面を有し、電流が前記支持台の表面に対して垂直に流れる、請求項1に記載のM O S F E Tデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デバイス寸法が減少するときにF E Tデバイスの性能を高めることに関する。より具体的には、本発明は、マルチファセット・ゲート構成M O S F E Tにおいて、ドーパント不純物がゲート絶縁物を通り抜けて拡散するのを防ぎ、端子抵抗を下げ、さらに、絶縁物上の歪みS i、S i G e、またはG e本体を使用することに関する。

10

【背景技術】

【0002】

今日の集積回路は、数多くのデバイスを含む。現在のデバイス・スケーリングから生まれるより小さなより高速なデバイスは性能を向上させるために重要であるが、その上信頼性を高めるかまたは少なくとも維持することもまた極めて重要である。しかし、M O S F E T（金属酸化物半導体電界効果トランジスタ、一般に絶縁ゲート電界効果トランジスタ（F E T）を意味する歴史的含蓄のある名前）および一般にF E Tデバイスが縮小化されるにつれて、技術はいっそう複雑になりさらにデバイス構造で変化し、そして、デバイスの一世代から次の世代に期待される性能向上を持続するために、新しい製造方法が必要とされている。この点に関して、最も進歩した半導体はマイクロエレクトロニクスの主要な半導体材料であるシリコン（S i）、またはより広くはS iをベースにした材料である。マイクロエレクトロニクスで重要な1つのそのようなS iをベースにした材料は、シリコン-ゲルマニウム（S i G e）合金である。

20

【0003】

ディープ・サブミクロン世代のデバイスにおいて性能向上を持続することは非常に困難である。デバイス性能向上を予定通りに維持するために、いくつかの手段が調査されている。これらの手段には、引っ張り歪みシリコンか圧縮歪みシリコンかどちらかを、バルクS i輸送に比べて電子および正孔のキャリア移動度が増した基本半導体デバイス材料として使用することがある。さらなる向上は、S iをG eと合金させることで達成することができる。その上、さらに一般的に使用される方法は、埋込み絶縁層で半導体基板から分離された半導体層にデバイスを作ることである。最も一般的には半導体層はS iであるので、S O I（S iオン・インシュレータ）という専門用語が一般的に使用されており、埋込み絶縁物はS i O₂であり、B O X（埋込み酸化物）という名前をもたらししている。しかし、ディープ・サブミクロンM O S F E Tデバイスで最高限度の性能を達成するには未だ多くの未解決の問題がある。

30

【0004】

絶え間のないデバイス小型化の要求条件で要求されるように、ゲート絶縁物が薄くなるにつれて、ドーパント不純物がゲート絶縁物、一般にS i O₂層、を貫通するという問題がある。最適デバイス設計のために、ゲートは一般にポリシリコンで作られ、このポリシリコンは、デバイス自体と同じ導電型にドーパされる。そのようなドーピングで、デバイスのチャンネル領域に対するゲートの結果として得られる仕事関数によって、デバイスの閾値が最適に設定されるようになる。したがって、N型デバイスはNドーパ・ゲートを必要とし、P型デバイスはPドーパ・ゲートを必要とする。デバイス製造の高温中に、ゲート・ドーパ種は、最も問題のあるのはボロン（B）であるが、リン（P）のような他のものも、薄いゲート絶縁物を容易に貫通し、デバイスを破壊する。現代の高性能デバイスのゲート絶縁物は、一般に、厚さが約3 nmより薄い必要がある。このドーパント貫通を防ぐことは、より薄いゲート絶縁物の実現において重要なステップであるかもしれない。

40

【0005】

本発明において、チャンネル領域のようなデバイスのクリティカルな部分を具備してい

50

る歪み単結晶層がSiGe層と呼ばれるとき、本質的に純粋なSiまたはGeはこの専門用語の中に含まれることは理解される。

【0006】

高デバイス性能のために、オンしたデバイスの抵抗はできるだけ小さくしなければならない。デバイスが小さくなるにつれて、デバイス自体の固有抵抗は減少するが、他のいわゆる寄生抵抗に注意しなければならない。1つのそのような抵抗は、デバイスのソース端子で生じる。ソース抵抗およびドレイン抵抗の両方を最小限にするために、これらのデバイス領域は、デバイス製造中に、一般に打ち込みが行なわれ、それからシリサイド化される。しかし、シリサイド化のプロセス中に余りにも多くのSiを消費することは、シリサイド化自体の欠点であり、またシリサイド化自体の欠点の原因となっている。デバイスが故意に絶縁物の上の薄いデバイス層に作られるSOI技術では、この問題は特に深刻である。シリサイド形成で、ソースおよびドレイン領域の薄いデバイス層のすべての部分が容易に消費される。したがって、特にソースおよびドレイン領域で半導体層をより厚くする必要があり、またはソース抵抗の効果を軽減する他の手段を見出す必要がある。

10

【0007】

ゲート長を短くするにつれて、いわゆる短チャンネル効果、最も顕著には「ドレイン誘起障壁低下(DIBL)」が、小型化の厳しい障害となる。デバイスの基本的な構造変化を導入して、結果として多ゲートを使用することで、これらの効果を軽減することができる。しかし、この方法は、他の高性能技術と適切に結合された場合にだけ所望の性能向上をもたらすことができるので、依然として解決策を求める問題である。

20

【0008】

よく知られていることであるが、炭素(C)は、SiとSiGeの両方の材料およびデバイスでドーパント拡散の抑制剤として作用することができる。例えば、エッチ・ジェイ・オステン(H.J.Osten)等は、IEEE BCTM 7.1、1999年、109~116頁の「高周波用途の炭素ドーブSiGeヘテロ接合バイポーラ・トランジスタ(Carbon Doped SiGe Heterojunction Bipolar Transistors for High Frequency Applications)」という名称の論文で、低炭素濃度($< 10^{20}$ 原子/cm³)で、高性能SiGeヘテロ接合バイポーラ・トランジスタを実現するために、炭素に富むSiGe:B層の歪みまたはバンド配列に影響を及ぼすことなく、硼素の外方拡散を著しく抑制することができることを明らかにした。同様に、ラッカ(Rucker)等は、IEDM、1999年、345~348頁の「炭素ドーブドSiおよびSiGeにおけるドーパント拡散：物理モデルおよび実験検証(Dopant Diffusion in C-doped Si and SiGe: Physical Model and Experimental Verification)」という名称の論文で、炭素ドーピングを使用して、硼素の過渡的な増速拡散(TED)挙動を抑制する上にリン拡散も抑制することができることを示した。Si堆積中にUHV-CVDのような適切な技術を用いて、他の炭素ドーピングまたは成長方法としばしば関連している残留酸素汚染のない状態で、炭素を単結晶Si膜または多結晶Si膜中に数パーセントまで組み込むことができる。結果として得られた材料Si:Cは、実質的に、硼素またはリンのような電氣的に活性な不純物の拡散に対する阻止層である。堆積中にSiGeに炭素を組み込んで、SiGe:C膜を生じさせるときにも、この方法を使用することができる。UHV-CVDを用いて、ほぼ10%の炭素含有率までSi:CまたはSiGe:Cの極薄デバイス品質層を堆積することができる。ドーブ層の堆積前にそのようなドーパント障壁層をゲート絶縁物上に形成することは、ゲート絶縁物の下のチャンネル領域を保護するという所望の効果を有し、デバイスの電氣的特性をだめにするのではない。エッチング挙動またはパターン形成の観点から、Si:CおよびSiGe:Cの特性は純粋なSiとほとんど同じであるので、Si:CまたはSiGe:C層は、標準的なMOSFET製造の一般的なもの以外に追加のパターン形成またはエッチング・ステップのような特別な処理を必要としない。Si:CまたはSiGe:Cは、一般にドーブされたポリシリコンであるゲート材料のバルクを堆積する直ぐ前に、一面すなわち境界のないやり方で堆積することができる。

30

40

【0009】

50

最先端デバイスは浅いソース/ドレイン接合を有する浅い構造であり、シリサイドが接合を突き抜ける危険性があるので、シリサイド化前にソースおよびドレイン領域の上の半導体の厚さを増すことが非常に望ましい。選択エピタキシャル成長は、特にRT-CVDでは十分に開発された技術であるが、歪みSiおよびSiGe層のUHV-CVD製造で実現することも可能である。そのような選択性は、所望の領域に追加の材料を堆積する際に非常に有効である。一般的なMOSFETデバイス製造の多くのステップの中に、ゲートおよびソース/ドレイン領域がいわゆる自己整合シリサイド化プロセスにかけられる箇所がある。このことは、ウェーハ上には多数の異なる露出面があるかもしれないが、マスクする必要なく、シリサイド化プロセス自体が、堆積する所望の領域を選択するようなやり方で、大抵は露出した半導体表面で実施されることを意味する。さらに、選択CVDプロセスは、ソース、ソースとドレインの上だけ、またはその上ゲートとコンタクトおよびポリシリコン配線のような他の所望部分とに堆積するように調整することができる。Ni、Co、Ir、Ti、W、およびPtのようなシリサイド化金属を堆積する直ぐ前にそのような選択堆積を用いて、ソースまたはドレインあるいは両方の所望領域びつりに半導体材料を厚くする。次のシリサイド化のステップは、今や、金属シリサイドの完全な消耗および最終形成のためにより多くの半導体材料を利用することができる。

10

20

30

40

50

【0010】

絶えざるデバイス高性能化を求める道に沿ってMOSFETデバイスを縮小化することは、現在CMOSデバイス技術にとって確立された案内原理である。しかし、デバイスがナノメートル領域に縮小されたとき短チャンネル効果(SCE)が大きな問題兼関心事になるので、直接的な縮小化には限界がある。この問題の提案された解決法は、マルチファセット・ゲート・デバイスを使用することである。そのようなデバイスは、単純に、1つの面で伝導するのではなく、デバイス本体の1以上の側面すなわちデバイス本体の表面のファセットで伝導する平面構造である。マルチファセット・ゲート・デバイスは通常の平面デバイスよりもさらに縮小することができる理由は、比較的複雑であるが、既に技術文献で与えられている。例えば、エッチ・エス・ピー・ワン(H.-S.P.Wong)等による1998年、IEDM技術要約(IEDM Tech Dig.)、407~410頁の「25nmチャンネル長世代におけるダブル・ゲート、接地面、および単一ゲート超薄SOIMOSFETのデバイス設計考察(Device Design Consideration for Double-Gate, Ground-Plane, and Single-Gated Ultra-Thin SOIMOS FET's at the 25nm Channel Length Generation)」で述べられている。

【0011】

MODFET(変調ドープFET)デバイスは、高性能に向けての他の手段を提供する。そのようなものとしてのMODFETデバイスは当技術分野で知られている。しかし、マルチファセット・ゲートMOSFETを作る際に使用されるウェーハ搬送のような同じ技術を使用して、新規なMODFETデバイス・オン・インシュレータ(MODFET devices on insulator)を作ることができる。介在する導電性または半導体性バッファ層なしに絶縁物の直ぐ上の歪みSiをベースにした層に、この新規なMODFETは具備される。特定の材料または層にデバイスを具備する(hosting)という用語は、デバイスのクリティカルな部分、すなわち例えばMOSまたはMODFETデバイスのチャンネルのようなキャリア特性に主に敏感な部分が、その特定の材料または層に存在し、その特定の材料または層で構成され、その特定の材料または層に収納されていることを意味する。

【0012】

高性能MOSFETデバイスの主題に関する特許および出版物は多数ある。これらは、MOSFET性能を向上させるいくつかの態様を扱っているが、本発明の全範囲を教示しているものはない。次の文献は、本発明の背景試料を与える。

【0013】

ディ・カナペリ(D.Canaperi)等の「水素誘起層移動技術による歪みSi/SiGeオン・インシュレータの作製(Preparation of Strained Si/SiGe on Insulator by Hydrogen Induced Layer Transfer Technique)」という名称の米国特許第6,524,935号

は、歪み層堆積および水素誘起層移動（スマートカット（Smart Cut））を教示するが、本発明を教示していない。

【 0 0 1 4 】

「低欠陥密度／任意格子定数ヘテロエピタキシャル層」という名称のレガウス（LeGoues）等の米国特許第 5, 659, 187号に記載されているように、SiGe層の形成を進めることができる。

【 0 0 1 5 】

引っ張り歪みSiGe層の製造および、SiおよびSiGeとともに炭素を使用することは、2002年2月11日に出願されたジェイ・オー・チュー（J.O.Chu）等による「UHV-CVDで作られた歪みSiをベースにした層およびデバイス（Strained Si based layer made by UHV-CVD, and Devices Therein）」という名称の米国特許出願第 10 / 073562号（IBM事件整理番号YOR920010573US1）で教示されているが、この出願は本発明を教示していない。

10

【 0 0 1 6 】

同じ絶縁物上に引っ張り歪みSiGe層と圧縮歪みSiGe層の両方を製造すること、および超薄歪み層オン・インシュレータ（ultra thin strained layers on insulator）を実現する方法は、2003年3月15日に出願された、ジェイ・チュー（J.Chu）による「マイクロエレクトロニクス用の二重歪み状態SiGe層（DualStrain-State SiGe Layers for Microelectronics）」という名称の米国出願第 10 / 389, 145号（IBM事件整理番号YOR920010630US1）で教示されているが、この出願は本発明を教示していない。

20

【 0 0 1 7 】

隆起状ソース／ドレインの形成は、「隆起状ソースおよびドレイン領域を有するMOSFET（Mosfet with raised source and drain regions）」という名称のチョイ（Choi）等の米国特許第 6, 063, 676号に記載されているが、この特許は本発明を教示していない。

【 0 0 1 8 】

SOI上のダブル・ゲートMODFETの製造は、「ダブル・ゲートを有するSOIデバイスおよびその製造方法（SOI device with double gate and method for fabricating the same）」という名称のキム（Kim）等の米国特許第 6, 352, 872号で教示されているが、この特許は本発明を教示していない。

30

【 0 0 1 9 】

後述する本発明の好ましい実施例では、説明したデバイス改良をもたらす製造ステップは、UHV-CVDプロセスによって、好ましくは、「半導体デバイス用の高度統合化学気相成長法（Advanced Integrated Chemical Vapor Deposition(AICVD) for Semiconductor Devices）」という名称のジェイ・チュー（J.Chu）等の米国特許第 6, 013, 134号に記載されているようなAICVDシステムで行われる。

【 0 0 2 0 】

MODFETデバイスは以前に、デバイス特性のために層の組成が調整されたSiGe層に作られた。そのようなものは、「歪みSI/SIGEヘテロ構造層を使用した相補型金属酸化物半導体トランジスタ論理（Complementary metal-oxide semiconductor transistor logic using strained SI/SIGE heterostructure layers）」という名称のケイ・イスメイル（K.Ismail）およびエフ・スターン（F.Stern）の米国特許第 5, 534, 713号の発明であり、ここに、MODFET構造およびその製造の詳細を見出すことができる。しかし、この特許は本発明を教示しておらず、ここではデバイスを具備する層は絶縁物の直ぐ上にある。

40

【 0 0 2 1 】

【特許文献1】米国特許第 6, 524, 935号

【特許文献2】米国特許第 5, 659, 187号

【特許文献3】米国特許出願第 10 / 073562号

50

- 【特許文献4】米国出願第10/389,145号
- 【特許文献5】米国特許第6,063,676号
- 【特許文献6】米国特許第6,352,872号
- 【特許文献7】米国特許第6,013,134号
- 【特許文献8】米国特許第5,534,713号
- 【特許文献9】米国特許出願、2001年4月20日出願、ジェイ・オー・チュー (J.O. Chu)、「UHV-CVDによるSiへのSi_{1-x-y}GexCyおよびSi_{1-y}Cy合金層のエピタキシャルおよび多結晶成長 (Epitaxial and Polycrystalline Growth of Si_{1-x-y}GexCy and Si_{1-y}Cy Alloy Layers on Si by UHV-CVD)」
- 【特許文献10】出願第10/073562号 10
- 【特許文献11】出願第10/389,145号
- 【非特許文献1】エッチ・ジェイ・オステン (H.J.Osten) 他、「高周波用途の炭素ドープSiGeヘテロ接合バイポーラ・トランジスタ (Carbon Doped SiGe Heterojunction Bipolar Transistors for High Frequency Applications)」、IEEE BCTM 7.1、1999年、109~116頁
- 【非特許文献2】ラッカ (Rucker) 他、「炭素ドープドSiおよびSiGeにおけるドーパント拡散：物理モデルおよび実験検証 (Dopant Diffusion in C-doped Si and SiGe: Physical Model and Experimental Verification)」、IEDM、1999年、345~348頁
- 【非特許文献3】エッチ・エス・ピー・ワン (H.-S.P.Wong) 他、「25nmチャンネル長世代におけるダブル・ゲート、接地面、および単一ゲート超薄SOIMOSFETのデバイス設計考察 (Device Design Consideration for Double-Gate, Ground-Plane, and Single-Gated Ultra-Thin SOI MOSFET's at the 25nm Channel Length Generation)」、1998年、IEDM技術要約 (IEDM TechDig.)、407~410頁 20
- 【非特許文献4】エス・エー・リストン (S.A.Rishton) 他、「自己整合ショットキ・ソース/ドレインおよび低抵抗Tゲートによる新しい相補型金属酸化物半導体技術 (New Complementary Metal-Oxide Semiconductor Technology with Self-Aligned Schottky Source/Drain and Low-resistance T Gates)」、真空科学技術誌 (J.Vac.Sci.Tech.)、B15(6)巻、1997年、2795~2798頁
- 【発明の開示】 30
- 【発明が解決しようとする課題】
- 【0022】
本発明の目的は、ドーパント拡散障壁として作用するようにゲート絶縁物の直ぐ上にSi:CまたはSiGe:C層を堆積して、ドーパント不純物がゲート絶縁物を貫通するのを防止することである。
- 【0023】
本発明の目的は、選択堆積によってソース/ドレイン接合を隆起状にする技術、ゲート絶縁物の上にSi:CまたはSiGe:Cを形成する技術および絶縁物デバイス材料の上に高性能歪みSiGeを使用する技術と組み合わせることである。
- 【0024】 40
本発明のさらに他の目的は、歪みSiまたはSiGeオン・インシュレータ (strained Si or SiGe on insulator) 技術と、マルチファセット・ゲート技術と、エピタキシャル・ゲート酸化物堆積で可能になる超平滑チャンネル界面とを組み合わせ得られる高性能超短デバイスを提供することである。
- 【課題を解決するための手段】
- 【0025】
さらに本発明は絶縁物上の歪みSiをベースにした層に具備されたデバイスを教示し、このデバイスは400°Kから5°Kまで動作することができる。また、本発明は、そのようなデバイスで機能するプロセッサを教示する。大体の範囲の高温限界である400°Kは、ここに開示される高性能技術で実現可能であるが、最適FET性能に最も好ましい 50

ものではない。高性能は、歪みデバイス層、SOI技術、また低温動作と関連する。デバイス性能(FET型デバイスの)は温度の低下とともによくなる。低温でデバイスの最適性能を得るためには、デバイスは、低温動作のために既にデバイス設計されていなければならない。低温動作のために最適化されたそのようなデバイス設計は、従来技術でよく知られている。低温高性能FET動作に望ましい温度範囲は、約250°Kと70°Kの間である。400°Kから5°Kまでの範囲での動作のためのデバイス設計を、SOI技術および絶縁物の直ぐ上の引っ張りおよび圧縮の両方の歪みデバイス層と組み合わせて、本発明は最高性能のデバイスおよびプロセッサを目ざす。歪み層が絶縁物の直ぐ上にあるデバイスは、低キャパシタンスのために、低温動作に特に適している。また、マルチファセット・ゲート・デバイスは、比較的大きな表面を有し、このことは、低温動作の他の利点

10

【0026】

通常SiO₂であるゲート絶縁物の厚さが縮小化され、すなわち5~10nmよりも薄いので、デバイス製造プロセスの一部であるアニールまたは急速熱アニール(RTA)のプロセス中に、ゲート絶縁物上のポリシリコン層中に最初あったドーパントがゲート絶縁物を通り抜けてMOSFET本体のチャンネル領域中に拡散するという傾向が強い。チャンネル領域中のこのドーパントは、デバイスの性能を劇的に劣化させるかもしれない。100nmデバイスの場合ゲートのドーピング・レベルは、非常に高いレベル、すなわち $> 10^{21} / \text{cm}^3$ でなければならない。一般的なP型ドーパント硼素(B)は、最もゲート絶縁物を貫通しやすい。

20

【0027】

実験的に分かったことであるが、ゲート・スタックが、SiO₂の上の薄いSi:Cの次に高濃度硼素ドーパ・ポリシリコン層が続いている2層で作られたとき、1000、60秒間のRTAを使用してゲートをアニールした後で、P++ポリシリコン層から多量の硼素がポリSi:C障壁層内に「捕獲」され、非常に少量のドーパントが酸化物を通り抜けて拡散した。他方で、ポリSi:C層が存在しなかったとき、P++ポリシリコン層からの硼素ドーパントは、予想通りにゲート酸化物を貫通した。デバイス品質のポリSi:CまたはポリSiGe:C膜を成長させる能力は、好ましい炭素前駆物質としてエチレンを使用する新しく開発されたUHV-CVD炭素プロセスによってもたらされたものである。このUHV-CVD炭素プロセスでは、炭素成長プロセス中に残留酸素汚染物が存在することはなく、すなわち取り込まれることはない。UHV-CVDによるデバイス品質のポリSi:CまたはポリSiGe:Cの成長は、2001年4月20日に出版されたジェイ・オー・チュー(J.O.Chu)による「UHV-CVDによるSiへのSi_{1-x-y}GexCyおよびSi_{1-y}Cy合金層のエピタキシャルおよび多結晶成長(Epitaxial and Polycrystalline Growth of Si_{1-x-y}GexCy and Si_{1-y}Cy Alloy Layers on Si by UHV-CVD)」という名称の米国特許出願(IBM事件整理番号YOR920010308US1)にさらに説明されている。今や、P++ポリシリコンおよびポリSi:C層を酸化物層の上に境界の無いやり方で成長させることができる。さらに、この薄いポリSi:CまたはポリSiGe:C障壁層を追加することは、ゲート電極の抵抗または電気的特性に余り影響を及ぼさない。ポリSiGe:C障壁層を使用する実施例では、ゲート電極の全体的な抵抗率は、ゲート・スタックにゲルマニウムが存在することによって改善される。

30

40

【発明を実施するための最良の形態】

【0028】

図1、2、3および4は、支持台の表面に対して平行な電流の流れを有する、マルチファセット・ゲートの歪みSiベース単結晶MOSFETオン・インシュレータ(strained Si based monocrystalline MOSFET on insulator)の実施例を模式的に示す。図1および2は、歪みSiGeMOSFETオン・インシュレータの2つの図を示し、ここで、ゲート500は、Siをベースにしたひずんだストリップ(strained strip)のチャンネル領域の底面ファセットおよび上面ファセットに2つの電極を備える。歪みSiベース単結

50

晶ストリップは、一般に、 Si 、 $SiGe$ 、 $Si:C$ 、 $SiGe:C$ 、または、ほとんど純粋に近い Ge である。このデバイスのデバイス電流の方向は、太い矢印501で示し、支持台595、590の表面596および底面電極500に対して平行な方向である。ここで、支持台は、 Si をベースにしたひずんだストリップまたは層部分と接続しているその面である表面596を有する。このことは、デバイスはいわゆる「水平構成」であることを示している。図1は、デバイスの側面図を示し、図2は、図1の破線「a」に沿った断面図である。この実施例で、歪み Si ベース単結晶ストリップ510は、そのファセットすなわち側面のうちの2つにチャンネル領域を有する。1つは底面ファセット511であり、このファセットは前記の支持台に付着するものであり、もう1つのチャンネル領域は上面ファセット512の少なくとも1つにあり、側面ファセット513(図4)はデバイス動作に参加していない。全デバイスは、上層に絶縁物層595を有する基板590、一般に Si に載っている。デバイスはダブル・ゲートであり、ゲート500は、マルチファセットのひずんだ本体510の2つのファセットに2つの電極を有し、チャンネル領域511および512の上に重なりかつゲート絶縁物と接続している。このデバイスでは、層595、590、および絶縁物595と係合するゲート電極500は、ともに支持台を形成している。

【0029】

ゲート絶縁物は、ひずんだ本体の上に成長されチャンネル領域に接続するエピタキシャル SiO_2 層520を備え、このエピタキシャル SiO_2 層520は、ゲート絶縁物と歪み Si ベース単結晶ストリップとの間に最高品質の界面を実現するように作用する。エピタキシャル SiO_2 層は一般に2nmよりも薄い厚さであり、通常追加の絶縁層530で覆われている。この絶縁層530は、大部分がエピタキシャルでないすなわちアモルファスの SiO_2 である。図において、層520および530はともにゲート絶縁物を構成するが、当業者は認めることであるが、層530自体は複合層状構造であることができ、または、他の状況では、層530は完全に省略することができる。図5を見ると、2本の太い破線の間ストリップ510の領域は2つのゲートの間にあるものである。ゲートの影響を受けないデバイスのそれらの側面は、一般に、 SiO_2 のような不動態化絶縁物によってまたはそれどころかエア・ギャップによって覆われて、それらの側面は電氣的に中性にされる。不動態絶縁物は当技術分野でよく知られているので、図にはこの不動態絶縁物を示さない。本体のゲート制御領域以外で、ストリップはそれぞれソースおよびドレイン540に作られることになる。ソース/ドレイン形成の方法は、当技術分野でよく知られている。低ソース/ドレイン抵抗を保証するために、領域540は、一般に打ち込みが行なわれその後でシリサイド化される。図2において、同じ構造を90°だけ回転して、破線の中心線「a」に沿った断面図で示す。ここでデバイス電流の方向501は図面の面に対して垂直であり、デバイス電流の流れの方向を示す矢印501は、遠近法で矢尻から見て、同心の円として描かれている。もちろん、デバイス電流は、支持台596の表面に対して平行である。

【0030】

図3および4は、歪み $SiGe$ MOSFET オン・インシュレータの2つの図を示し、ゲート500は、 Si をベースにしたひずんだストリップの側面ファセットのチャンネル領域に2つの電極を備える。このデバイスのデバイス電流の方向は、太い矢印501として示し、支持台595、590の表面596に対して平行である。図4は、少なくとも2つの相対する側面ファセット513および、この2つの相対する側面ファセット513と係合する2つの別個のゲート電極500を示す。デバイス電流の方向は矢印501で示し、この電流は支持台595および590の表面596に対して平行である。このデバイスは、いわゆる「水平構成」であると考えられる。図3および4に模式的に示すマルチファセット・デバイス構成は、当技術分野でフィンFET(FinFET)デバイス構成と呼ばれることもある。

【0031】

歪み Si または $SiGe$ ストリップ510または、一般に、図11の570のような歪

10

20

30

40

50

みSiをベースにした材料層の製造の詳細、および付着手段によってストリップを支持台に係合させる方法は、以下の文献に見出すことができる。すなわち、2002年2月1日にジェイ・チュウ(J.Chu)等により出願された出願第10/073562号(IBM事件整理番号:YOR920010573US1)および2003年3月15日にジェイ・チュウ(J.Chu)により出願された出願第10/389,145号(IBM事件整理番号:YOR920010630US1)に見出すことができる。簡単に言うと、歪みSi、SiGe、Si:C、SiGe:C、またはGe層を第1の基板および支持台の上に成長させ、それから支持台に移す。支持台は、第2の基板590、絶縁物595であり、また、いくつかの実施例では、絶縁物595に載っているゲート500のその部分である。支持構造は、選択エッチングを使用して歪みSiまたはSiGe層から取り除く。歪みSiまたはSiGe層に接する薄い純粋なSi層または薄い純粋なGe層は、支持構造がエッチング剤で消耗されるやいなやエッチングの停止で中心的な役割をする。層移送の前に成長した、歪みSiまたはSiGe層の上面のエピタキシャル酸化物層は、新しい支持台への付着力を向上させることができ、また歪みSiまたはSiGe層の歪み状態を保つのに役立つ。このエピタキシャル酸化物層は、いくつかの実施例では、ゲート絶縁物520の一部に変わる。エピタキシャル酸化物層の上面に追加の絶縁物を付けることもでき、そのときこの追加の絶縁物は、支持台に面する層530のその部分になる。マルチファセット・デバイスのいくつかの実施例では、層移送を受け取る基板、すなわち第2の基板、すなわち支持台の一部であるものは、ポリシリコン、または金属一般にはシリサイド、またはこの2つの組合せで支持台の上面に用意される。このポリシリコン/金属層はマルチファセット・ゲートの一部になる。図1および2の実施例では、このポリシリコン/金属層は、ゲート500の底面ゲート電極になることになっている。歪みSiまたはSiGeのストリップまたは層を支持台に付着する手段が、エピタキシャル酸化物、または多結晶Si、またはシリサイドを含まない実施例があり得る。そして、付着手段はただ単に、層移送ステップ中に、一般にSiO₂である絶縁物と歪みSiをベースにした材料ストリップまたは層との間に形成された付着界面である。

10

20

30

40

50

【0032】

層移送およびエッチングによる支持構造の除去が行われ、支持台上か絶縁物層の直ぐ上かどちらかに歪みSiをベースにした材料すなわち層が得られると、所望のマルチファセット・ゲート構成を有するはずんだ本体ストリップの製造は、シリコンCMOSデバイス製造および集積化の技術分野でよく知られている手順に基づいて容易に実現することができる。対照的に、マスクング、パターン形成、ウェット・エッチングによるエッチング、反応性イオン・エッチング(RIE)によるエッチング、または最終デバイス構造を作るために使用される多くの同様なステップの様々な組合せが当技術分野でよく知られているが、ゲート準備の一部として拡散障壁のためにSi:CまたはSiGe:Cを堆積するような新規なステップが本発明の一部である。

【0033】

図5および6は、マルチファセット・ゲートの歪みSiベース単結晶MOSFETオン・インシュレータの他の実施例を側面図および断面図で示し、電流の流れは支持台の面に対して平行である。図5は、このデバイスの側面図を示し、図6は、図5の破線の中心線「a」に沿った断面図である。図1および2に示す実施例は、ここではゲートが歪みSiをベースにした本体を完全に囲繞している点で、図1、2、3および4のものとは異なっている。ゲートは、本体のまわりに一種のベルトを形成する。したがって、図5の側面図では、本体510は見えない。側面から、ゲート500およびソース/ドレイン領域540だけが見える。デバイス電流の方向は矢印501で示される。この矢印501は、支持台595および590の表面596に対して平行である。全ての態様および製造上考慮すべき事項は、図1、2、3および4に示す実施例に関係して説明したものと同一である。図5および6のデバイスはまた「水平構成」である。

【0034】

図7および8は、マルチファセット・ゲートの歪みSiベース単結晶MOSFETオン

・インシュレータのさらに他の実施例を側面図および断面図で模式的に示し、電流の流れは支持台の面に対して平行である。図7は、このデバイスの側面図を示し、図8は、図7の破線の中心線「a」に沿った断面図である。図7および8に示す実施例は、ここではゲートが、1つのファセットすなわち支持台に付着するそのファセットを除いて、ストリップの全てのファセットと係合している点で図5および6のものと異なっている。この実施例では、支持台はポリシリコンまたは金属層を含まない。図7および8の支持台は、基板590と絶縁物層595だけを含む。図7および8は、支持台に付着するファセットである本体510の底面ファセットに、薄いエピタキシャル酸化物を示さない。この実施例では、歪みSi、SiC、SiGe、SiGe:C、ほとんど純粋なGe、またはほとんど純粋なGe:Cのストリップは、そのようなエピタキシャル酸化物を含むかもしれないし、または含まないかもしれない。そのような酸化物は、新しい支持台に対する付着力を向上させるために望ましく、また歪みSiまたはSiGe層の歪み状態を保つのに役立つこともができる。しかし、この実施例では、底面ファセットにゲート電極がないので、ゲート絶縁物およびしたがってエピタキシャル酸化物は必要でない。デバイス電流の方向は、矢印501で示される。この矢印501は、支持台595および590の表面596に対して平行である。全ての態様および製造上考慮すべき事項は、図1、2、3、および4に示す実施例に関係して説明したものと同じである。図7および8のデバイスは、また、「水平構成」である。

10

【0035】

図9は、マルチファセット・ゲートの歪みSiベース単結晶MOSFETオン・インシュレータの実施例を模式的に示し、電流の流れは支持台の面に対して垂直である。この実施例は、マルチファセット・チャンネル領域（ゲートのために見えない）を完全に囲繞するゲート500を有する。このデバイスのデバイス電流の方向は、太い矢印501として示し、支持台595、590の表面596に対して垂直方向である。このことは、このデバイスがいわゆる「縦構成」であることを示す。図9のマルチファセット・ゲートを有するこの歪みSiGeMOSFETオン・インシュレータの実施例は、その向きを別として、他の態様およびその製造において、図5および6に示す実施例と実際的に全く同じである。

20

【0036】

図10は、マルチファセット・ゲートの歪みSiベース単結晶MOSFETオン・インシュレータの他の実施例を模式的に示し、電流の流れは支持台の面に対して垂直である。このデバイスはダブル・ゲートであり、ここでゲート500は、マルチファセットのひずんだ本体510の2つの側面ファセット513に2つの電極を有し、チャンネル領域の上に重なりかつゲート絶縁物520および530と接続している。このデバイスのデバイス電流の方向は、太い矢印501として示し、支持台595、590の表面596に対して垂直な方向である。このことは、このデバイスがいわゆる「縦構成」であることを示す。図10のマルチファセット・ゲートを有するこの歪みSiGeMOSFETオン・インシュレータの実施例は、その向きを別として、他の態様およびその製造において、図3および4に示す実施例と実際的に全く同じである。図10に模式的に示すマルチファセット・デバイス構成は、「縦型フィンFET (FinFET)」デバイス構成と呼ぶことができる。

30

40

【0037】

電流輸送能力を高めるために、一般的なマルチファセット・ゲート構造では、多指ゲート構成を使用することができる。

【0038】

これらの実施例の全てで、図1ないし図11に示すように、ソース・ドレイン形成で部分実施が可能である。デバイス・チャンネルが本当に短くほぼ50nmより短いとき、ソース・チャンネル間接合にショットキ障壁コンタクトを使用するのが有利であるかもしれない。自己整合ショットキ・ソースおよびドレインを有するCMOSデバイスを製造するプロセスは、真空科学技術誌 (J.Vac.Sci.Tech.)、B15(6)巻、1997年、27

50

95～2798頁のエス・エー・リストン(A.Rishton)等による「自己整合ショットキ・ソース/ドレインおよび低抵抗Tゲートによる新しい相補型金属酸化物半導体技術(New Complementary Metal-Oxide Semiconductor Technology with Self-Aligned Schottky Source/Drain and Low-resistance T Gates)」という名称の論文に述べられている。

したがって、全てのこれらのマルチファセット・デバイスにおいて、ソースまたはソース/ドレインのシリサイド化プロセスは、シリサイドがチャンネル領域と接触するまで進行するようになることがあり、それによって、シリサイドが実際にソース/ドレイン接合の全てを消費してしまう。このプロセスで、ドレイン接合はショットキ障壁コンタクトに変わるかもしれないし、または変わらないかもしれないが、どちらも許容できる。というのは、ドレイン接合抵抗は、デバイス性能にとってソース接合抵抗ほどに重要でないからである。同様に、通常(低抵抗)のシリサイド化プロセスを同じようにドレイン領域に維持しながら、ソース領域だけに所望のショットキ障壁コンタクトを作るために、選択的なまたは連続した2ステップのソース/ドレイン・シリサイド化プロセスが使用されるかもしれない。

【0039】

図11は、絶縁物の直ぐ上の歪みSiをベースにした層に具備されたMODFETデバイス601を模式的に示す。図11は、MODFETデバイス601の詳細を説明しない。その理由は、そのようなデバイスは当技術分野でよく知られているからである。Siをベースにしたはずんだ材料の特有の材料環境でのMODFETの製造は、例えば、「歪みSi/SiGeヘテロ構造層を使用する相補型金属-酸化物半導体トランジスタ論理(Complementary metal-oxide semiconductor transistor logic using strained Si/SiGe heterostructure layers)」という名称のケイ・イスマイル(K.Ismail)およびエフ・スターン(F.Stern)の米国特許第5,534,713号および2003年3月15日にジェイ・チュー(J.Chou)によって出願された出願第10/389,145号(IBM事件整理番号:YOR920010630US1)の文献に与えられている。

【0040】

MODFETデバイス601は、それがN-MODFETであろうとP-MODFETであろうと無関係に、Siをベースにしたはずんだ層570に具備される。Siをベースにしたはずんだ層570が絶縁物層595の直ぐ上にあり、どのような伝導性または半導体性バッファ層も介在していないことが重要である。そのような配列によって、前例のないほどの低デバイス・キャパシタンスが可能になり、優れた高速デバイス性能をもたらす。デバイスの要求に依存して層570は、引っ張りか圧縮かどちらかでひずんでいることができる。チャンネル610のようなデバイスのクリティカルな部分は、歪み層570に具備されている。この歪みSiをベースにした層は、一般にSi、SiGe、またはSiGe:C、またはことによると純粋なGeまたはGe:Cに近いものであり、絶縁物595の直ぐ上にある。一般にSiO₂である絶縁物層595は、付着手段によって、歪みSiベース単結晶層と係合している。この手段は、図1、2、3、4および10で説明したマルチファセット・ゲート・デバイス・オン・インシュレータ(multifaceted gate device on insulator)に関連して与えられたものと同じである。絶縁物層595は、一般にSiウェーハである基板509の表面にある。この実施例では、層595および590はともに支持台を形成する。ソースおよびドレイン540および補助層620のようなMODFETデバイス601の他の通常部分は、半導体製造技術で知られている手段で製造される。

【0041】

図12は、マルチファセット・ゲートの歪みSiベース単結晶ストリップMOSFETオン・インシュレータ・デバイスで構成される電子システムを模式的に示す。電子システム900は、マルチファセット・ゲートを有する歪みSiGeMOSFETオン・インシュレータ・デバイスが提供する高性能の恩恵を受けることができる任意のプロセッサであることができる。このデバイスは、1つまたは複数のチップ901に多くの電子システムの部分を形成する。マルチファセット・ゲートを有する歪みSiGeMOSFETオン・

10

20

30

40

50

インシュレータ・デバイスで製造された電子システムの実施例は、コンピュータの中央処理複合体に一般に見られるデジタル・プロセッサ、歪み SiGe のキャリアの高移動度の恩恵を大いに受ける混合デジタル/アナログ・プロセッサ、および一般に、メモリをプロセッサ、ルータ、レーダ・システム、高性能ビデオ電話通信、ゲーム・モジュール、および他のものに接続するモジュールのような、任意の通信プロセッサである。

【0042】

本発明の多くの修正物および変形物が、上述の教示を考慮して可能であり、また当業者には明らかである。

【図面の簡単な説明】

【0043】

【図1】マルチファセット・ゲートの歪み Si ベース単結晶 MOSFET オン・インシュレータの実施例を模式的に示す図であり、電流の流れは支持台の面に対して平行である。

【図2】マルチファセット・ゲートの歪み Si ベース単結晶 MOSFET オン・インシュレータの実施例を模式的に示す図であり、電流の流れは支持台の面に対して平行である。

【図3】マルチファセット・ゲートの歪み Si ベース単結晶 MOSFET オン・インシュレータの実施例を模式的に示す図であり、電流の流れは支持台の面に対して平行である。

【図4】マルチファセット・ゲートの歪み Si ベース単結晶 MOSFET オン・インシュレータの実施例を模式的に示す図であり、電流の流れは支持台の面に対して平行である。

【図5】マルチファセット・ゲートの歪み Si ベース単結晶 MOSFET オン・インシュレータの他の実施例を模式的に示す側面図であり、電流の流れは支持台の面に対して平行である。

【図6】マルチファセット・ゲートの歪み Si ベース単結晶 MOSFET オン・インシュレータの他の実施例を模式的に示す断面図であり、電流の流れは支持台の面に対して平行である。

【図7】マルチファセット・ゲートの歪み Si ベース単結晶 MOSFET オン・インシュレータのさらに他の実施例を模式的に示す側面図であり、電流の流れは支持台の面に対して平行である。

【図8】マルチファセット・ゲートの歪み Si ベース単結晶 MOSFET オン・インシュレータのさらに他の実施例を模式的に示す断面図であり、電流の流れは支持台の面に対して平行である。

【図9】マルチファセット・ゲートの歪み Si ベース単結晶 MOSFET オン・インシュレータの実施例を模式的に示す図であり、電流の流れは支持台の面に対して垂直である。

【図10】マルチファセット・ゲートの歪み Si ベース単結晶 MOSFET オン・インシュレータの他の実施例を模式的に示す図であり、電流の流れは支持台の面に垂直である。

【図11】絶縁物の直ぐ上の歪み Si をベースにした層に具備された MODFET を模式的に示す図である。

【図12】マルチファセット・ゲートの歪み Si ベース単結晶ストリップ MOSFET オン・インシュレータ・デバイスで構成される電子システムを模式的に示す図である。

【符号の説明】

【0044】

500 ゲート

501 電流の方向

510 歪み Si または SiGe

511 底面ファセット (チャンネル領域)

512 上面ファセット (チャンネル領域)

513 側面ファセット

520 ゲート絶縁物 (エピタキシャル SiO₂ 層)

530 ゲート絶縁物 (エピタキシャルでない SiO₂)

540 ソース/ドレイン

570 Si をベースにしたひずんだ層

10

20

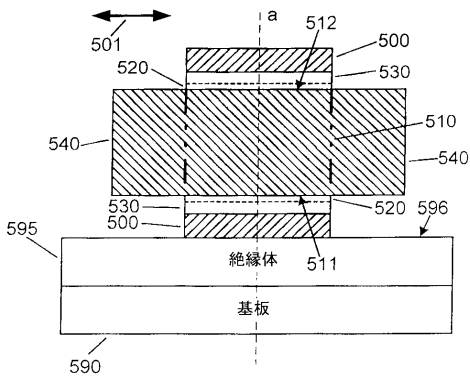
30

40

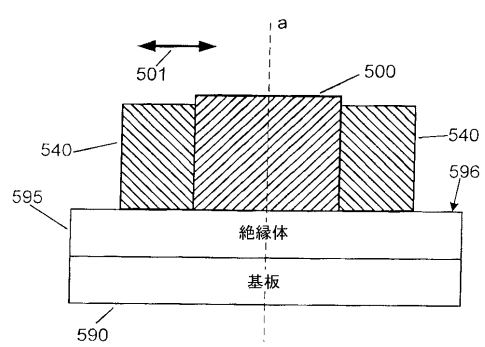
50

- 590 基板
- 595 絶縁体
- 601 MODFETデバイス
- 610 チャンネル
- 620 補助層

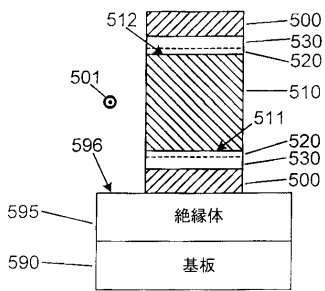
【図1】



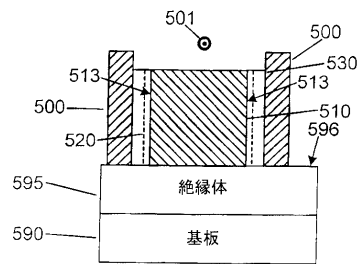
【図3】



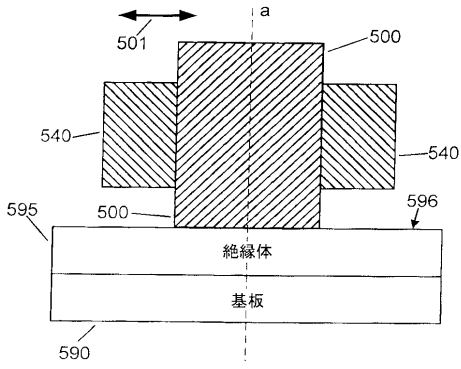
【図2】



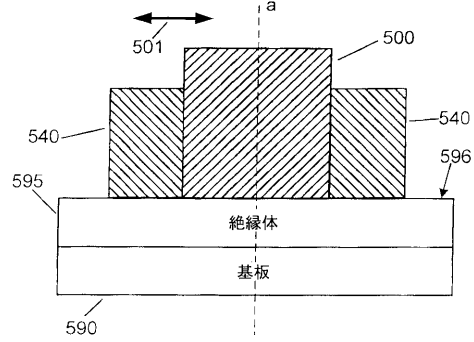
【図4】



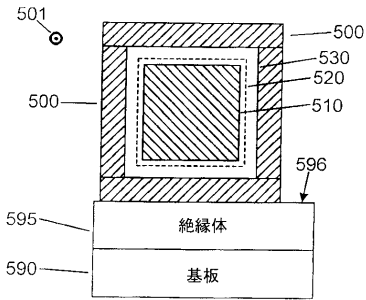
【図 5】



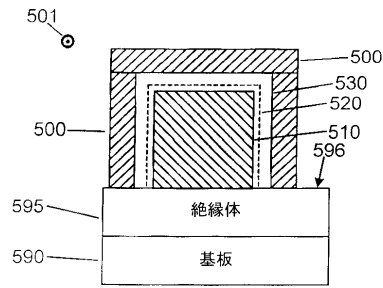
【図 7】



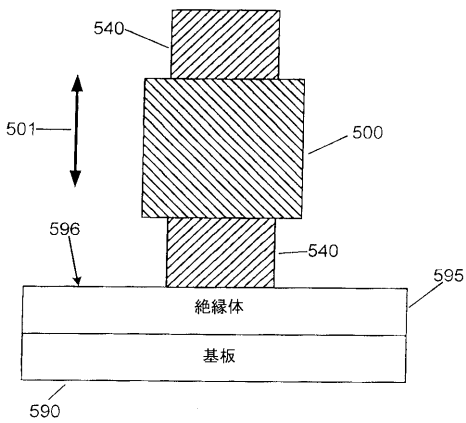
【図 6】



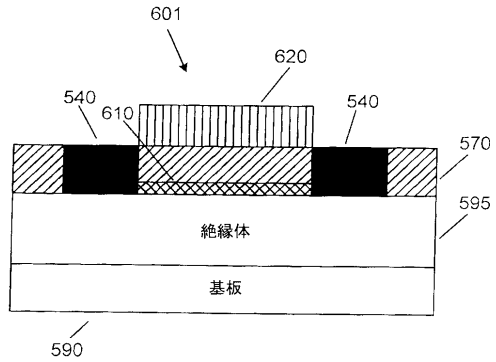
【図 8】



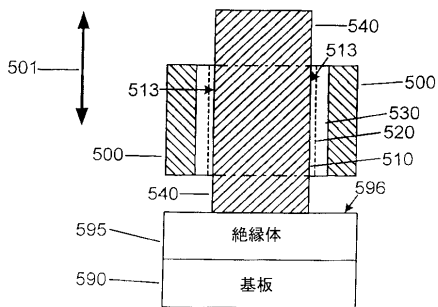
【図 9】



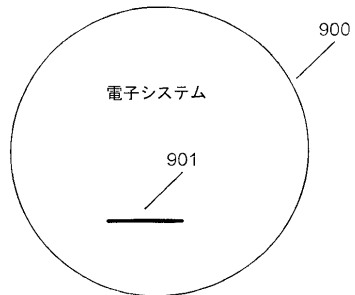
【図 11】



【図 10】



【図 12】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 1 7 L
	H 0 1 L 29/78	6 1 8 B
	H 0 1 L 29/58	G
	H 0 1 L 21/28	3 0 1 A
	H 0 1 L 21/28	3 0 1 B
	H 0 1 L 29/50	M

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 ジャック・ウン・チュ

アメリカ合衆国 1 1 0 4 0 ニューヨーク州マンハセット シェルボーン・レーン 4 4

Fターム(参考) 4M104 AA01 AA03 AA09 BB01 CC01 CC05 EE03 EE16 FF01 FF02
 FF04 GG09 HH04
 5F110 AA08 AA30 BB03 CC09 CC10 DD05 DD06 DD13 EE01 EE02
 EE09 EE14 EE15 EE22 EE30 FF02 FF05 FF09 FF12 GG01
 GG02 GG03 GG06 GG12 HK05 HK40