(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3772611号
(P3772611)
(45)発行日　平成18年5月10日(2006.5.10)　(24)登録日　平成18年2月24日(2006.2.24)

(51)Int.Cl.			F I		
B41J	2/36	(2006.01)	B41J	3/20	115D
H04N	1/23	(2006.01)	H04N	1/23	102B
B41J	2/52	(2006.01)	B41J	3/00	A

請求項の数 3　(全 11 頁)

(21)出願番号　特願平11-312048
(22)出願日　平成11年11月2日(1999.11.2)
(65)公開番号　特開2001-130043(P2001-130043A)
(43)公開日　平成13年5月15日(2001.5.15)
審査請求日　平成15年12月10日(2003.12.10)

(73)特許権者　000001443
カシオ計算機株式会社
東京都渋谷区本町１丁目６番２号
(74)代理人　100074099
弁理士　大菅　義之
(72)発明者　水野　公靖
東京都羽村市栄町３丁目２番１号　カシオ計算機株式会社羽村技術センター内

審査官　尾崎　俊彦

(56)参考文献　特開平０８－１９７７７０（ＪＰ，Ａ）
特開平０５－２２０９９６（ＪＰ，Ａ）
特開平０７－１５６４３４（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】サーマルプリンタのデータ生成装置

(57)【特許請求の範囲】

【請求項１】

印刷する画像の階調を表す画像データである印刷データを上位半分のビットと下位半分のビットに分離する第１の分離手段と、

前記印刷データと同じビット数を有し順次歩進される階調カウントデータを上位半分のビットと下位半分のビットに分離する第２の分離手段と、

前記第１の分離手段で分離した印刷データの上位半分のビットと前記第２の分離手段で分離した階調カウントデータの上位半分のビットとを比較する第１の比較手段と、

前記第１の分離手段で分離した印刷データの下位半分のビットと前記第２の分離手段で分離した階調カウントデータの下位半分のビットとを比較する第２の比較手段と、

前記第１、第２の比較手段によって比較した比較結果から、印刷ヘッドの各発熱抵抗体の通電を制御するヘッドデータを生成するデータ生成手段と、を有することを特徴とするサーマルプリンタのデータ生成装置。

【請求項２】

2^N階調印刷を行うプリンタのデータ生成装置において、

印刷する画像の階調を表す画像データである印刷データを上位（Ｎ－ｎ）ビットと下位ｎビットに分離する第１の分離手段と、

前記印刷データと同じビット数を有し順次歩進される階調カウントデータを上位（Ｎ－ｎ）ビットと下位ｎビットに分離する第２の分離手段と、

前記第１の分離手段で分離した前記印刷データの上位（Ｎ－ｎ）ビットと前記第２の分

離手段で分離した前記階調カウントデータの上位（Ｎ－ｎ）ビットとを比較する第１の比較手段と、
前記第１の分離手段で分離した前記印刷データの上位（Ｎ－ｎ）ビットと前記第２の分離手段で分離した前記階調カウントデータの上位（Ｎ－ｎ）ビットとの同値判定を行う同値判定手段と、
前記第１の分離手段で分離した前記印刷データの下位ｎビットと前記第２の分離手段で分離した前記階調カウントデータの下位ｎビットとを比較する第２の比較手段と、
前記第１、第２の比較手段によって比較した比較結果及び前記同値判定手段による判定結果から、印刷ヘッドの各発熱抵抗体の通電を制御するヘッドデータを生成するデータ生成手段と、
を有することを特徴とするプリンタのデータ生成装置。
（但し、Ｎ、ｎは、Ｎ＞ｎ＞＝１を満足する数値）
【請求項３】
前記データ生成手段は、前記第１の比較手段の比較結果、及び前記同値判定手段の判定結果により、前記印刷データの上位（Ｎ－ｎ）ビットが前記階調カウントデータの上位（Ｎ－ｎ）ビットより大きい、もしくは、前記印刷データの上位（Ｎ－ｎ）ビットと前記階調カウントデータの上位（Ｎ－ｎ）ビットとが等しく前記印刷データの下位ｎビットが前記階調カウントデータの下位ｎビットより大きいと識別された場合、前記ヘッドの発熱抵抗体を制御するデータとしてオン駆動データを出力することを特徴とする請求項２記載のプリンタのデータ生成装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明はサーマルプリンタに関し、特にサーマルヘッドに供給する印字データのデータ生成装置に関する。
【０００２】
【従来の技術】
近年、ディジタルカメラ用プリンタの開発が盛んに行われている。ディジタルカメラの性能向上に伴い、これらプリンタの高画質化・高速印刷化も急速に進んできている。ところで、一般的に、ディジタルカメラ用プリンタはサーマルヘッドを用いた、サーマルプリンタで構成されている。
【０００３】
サーマルプリンタは、複数の発熱抵抗体に同時に電圧を加え、それによって発生する熱を利用して印刷を行うものである。ディジタルカメラ画像のような階調データの印刷は、階調値に合わせて、個々の発熱抵抗体への通電時間を調節し、発生する熱を最適に制御することで行われる。発熱抵抗体の通電制御は、サーマルヘッドへ送る印字データにより行われている。
【０００４】
図８はサーマルヘッドの回路図である。発熱抵抗体０～３は記録紙に印字を行う印字部であり、対応するトランジスタＱ０～Ｑ３をオン、又はオフに駆動することによって発熱抵抗体０～３に電流を流し、記録紙に印字を行う。また、トランジスタＱ０～Ｑ３のオン、オフ駆動は印字データに従って実行され、印字データをシリアルにシフトレジスタ１に送り、ラッチ信号に同期してラッチ回路２に１ライン分のデータをラッチする。
【０００５】
ラッチ回路２にラッチされたデータはアンドゲート（ＡＮＤゲート）３－０～３－３を介して上述のトランジスタＱ０～Ｑ３に出力され、ハイレベル（“１”）の信号が供給されたトランジスタＱ０～Ｑ３がオンし、対応する発熱抵抗体を発熱する。
【０００６】
一方、図９は上述のサーマルヘッドに印字データを供給する、印字データ生成部である。印字データ生成部は、データ生成回路４とディレー回路５で構成され、データ生成回路４

では２ビット構成で供給される印刷データと、同じく２ビット構成で供給される階調カウントデータの比較を行い、印字データを生成する。また、データ生成回路４から出力される印字データはシステムクロックに同期してディレー回路５に出力され、ディレー回路５から上述のシフトレジスタ１に出力される。

【０００７】

図１０は上述の処理を示すタイムチャートであり、印字データを２ビットとし、それぞれ階調を３，２，２，０とした場合の処理を示す。同図から分かるように、データ生成回路４は階調カウントデータの値をデクリメントしつつ、各発熱抵抗体の印刷データと階調カウントデータの値を大小比較していく。この例では、シフトレジスタ１への入力の都合で、発熱抵抗体０、発熱抵抗体１、発熱抵抗体２、発熱抵抗体３の順に大小比較している。そして、「印刷データ＞階調カウントデータ」の時１を、そうでない時０を、次のシステムクロックの立ち上がりのタイミングでディレー回路５に取り込み、印字データとして出力する。

【０００８】

その後、１つの階調における全ての発熱抵抗体のデータの生成が終了したら、ラッチパルスを出力し、シフトレジスタ１のデータをラッチ回路２にラッチする。そして、ラッチの値が１である発熱抵抗体のみを、ストローブ信号が１のタイミングで通電する。これを各階調ごとに繰り返し、この間印字データが順次生成され、階調印刷が行われる。

【０００９】

【発明が解決しようとする課題】

上記従来のサーマルプリンタでは、図９に示すデータ生成回路が使用されている。しかし、このデータ生成回路は印刷データと階調カウントデータを順次比較しながら印字データを作成するため、処理時間を要する。このため、例えば高精細印刷等のため印刷データの多ビット化を行うと、タイミング的にクリティカルになりやすい。回路の高速化においては、処理を細分化し、１ステージずつに分割して実行するパイプライン化が有効な手段であるが、従来の印字データの生成回路では、比較回路自体が１つのステージを構成する最小単位となるため、クリティカルパスの解消にはならない。

【００１０】

本発明は、上記課題を解決するため、データ生成回路に工夫を加え、印刷データのビットを分け、従来より細かく分割して大小比較を行い、印字データを生成することによって高速な回路を実現するサーマルプリンタのデータ生成装置を提供するものである。

【００１１】

【課題を解決するための手段】

上記課題は請求項１記載の発明によれば、印刷する画像の階調を表す画像データである印刷データを上位半分のビットと下位半分のビットに分離する第１の分離手段と、前記印刷データと同じビット数を有し順次歩進される階調カウントデータを上位半分のビットと下位半分のビットに分離する第２の分離手段と、前記第１の分離手段で分離した印刷データの上位半分のビットと前記第２の分離手段で分離した階調カウントデータの上位半分のビットとを比較する第１の比較手段と、前記第１の分離手段で分離した印刷データの下位半分のビットと前記第２の分離手段で分離した階調カウントデータの下位半分のビットとを比較する第２の比較手段と、前記第１、第２の比較手段によって比較した比較結果から、印刷ヘッドの各発熱抵抗体の通電を制御するヘッドデータを生成するデータ生成手段と、を有することを特徴とするサーマルプリンタのデータ生成装置を提供することによって達成される。

【００１２】

ここで、印刷データは例えばディジタルカメラ等から出力される画像データであり、上位ビット／下位ビット分離回路１１は上記画像データを上位１ビットと下位１ビットに分離し、同様に上位ビット／下位ビット分離回路１２によって分離された階調カウントデータの上位１ビット、下位１ビットと比較される。

【００１３】

例えば、第１の比較手段は上記両上位１ビットを比較し、第２の比較手段は下位１ビットを比較し、比較結果からヘッドデータを作成する。
このように構成することにより、印刷データは複数の比較回路によって並行して比較処理され、高速にヘッドデータの生成を行うことができる。
【００１４】
上記課題は請求項２記載の発明によれば、2^N階調印刷を行うプリンタのデータ生成装置において、印刷する画像の階調を表す画像データである印刷データを上位（Ｎ－ｎ）ビットと下位ｎビットに分離する第１の分離手段と、前記印刷データと同じビット数を有し順次歩進される階調カウントデータを上位（Ｎ－ｎ）ビットと下位ｎビットに分離する第２の分離手段と、前記第１の分離手段で分離した前記印刷データの上位（Ｎ－ｎ）ビットと前記第２の分離手段で分離した前記階調カウントデータの上位（Ｎ－ｎ）ビットとを比較する第１の比較手段と、前記第１の分離手段で分離した前記印刷データの上位（Ｎ－ｎ）ビットと前記第２の分離手段で分離した前記階調カウントデータの上位（Ｎ－ｎ）ビットとの同値判定を行う同値判定手段と、前記第１の分離手段で分離した前記印刷データの下位ｎビットと前記第２の分離手段で分離した前記階調カウントデータの下位ｎビットとを比較する第２の比較手段と、前記第１、第２の比較手段によって比較した比較結果及び前記同値判定手段による判定結果から、印刷ヘッドの各発熱抵抗体の通電を制御するヘッドデータを生成するデータ生成手段と、を有することを特徴とするプリンタのデータ生成装置を提供することによって達成される。
【００１５】
請求項３の記載は、前記請求項２記載の発明において、前記データ生成手段が、前記第１の比較手段の比較結果、及び前記同値判定手段の判定結果により、前記印刷データの上位（Ｎ－ｎ）ビットが前記階調カウントデータの上位（Ｎ－ｎ）ビットより大きい、もしくは、前記印刷データの上位（Ｎ－ｎ）ビットと前記階調カウントデータの上位（Ｎ－ｎ）ビットとが等しく前記印刷データの下位ｎビットが前記階調カウントデータの下位ｎビットより大きいと識別された場合、前記ヘッドの発熱抵抗体を制御するデータとしてオン駆動データを出力する構成である。
【００１６】
このように構成することによっても、印刷データは並行に処理され、高速にヘッドデータの生成を行うことができる。
【００１９】
【発明の実施の形態】
以下、本発明の実施の形態を図面を参照しながら説明する。
＜第１の実施形態＞
図１は、本実施形態のサーマルプリンタに使用するヘッドデータ生成回路の回路図である。尚、本例のヘッドデータ生成回路から出力されるヘッドデータ（印字データ）は前述の図８に示すサーマルヘッドのシフトレジスタ１に供給される。
【００２０】
図１において、本例のヘッドデータ生成回路１０は、上位ビット／下位ビット分離回路１１、１２、比較回路１３～１５、ＤＦＦで構成されるディレー回路１６～１８、アンドゲート（ＡＮＤゲート）１９、オア（ＯＲ）ゲート２０、及びディレー回路２１で構成されている。
【００２１】
上位ビット／下位ビット分離回路１１は２ビット構成の印刷データを上位１ビットと下位１ビットに分離する回路であり、分離後の上位１ビットのデータは比較回路１３及び１４に出力され、分離後の下位１ビットのデータは比較回路１５に出力される。一方、上位ビット／下位ビット分離回路１２は２ビット構成の階調カウントデータを上位１ビットと下位１ビットに分離する回路であり、分離後の上位１ビットのデータは上記比較回路１３及び１４に出力され、分離後の下位１ビットのデータも上記比較回路１５に出力される。
【００２２】

比較回路１３では印刷データの上位１ビットと階調カウントデータの上位１ビットを比較し、印刷データ＞階調カウントデータのとき、“１”をディレー回路１６に出力し、印刷データ＜階調カウントデータのとき、“０”をディレー回路１６に出力する。また、比較回路１４でも印刷データの上位１ビットと階調カウントデータの上位１ビットを比較し、印刷データ＝階調カウントデータのとき、“１”をディレー回路１７に出力し、印刷データ≠階調カウントデータのとき、“０”をディレー回路１７に出力する。

【００２３】

一方、比較回路１５では印刷データの下位１ビットと階調カウントデータの下位１ビットを比較し、印刷データ＞階調カウントデータのとき、“１”をディレー回路１８に出力し、印刷データ＜階調カウントデータのとき、“０”をディレー回路１８に出力する。

【００２４】

アンドゲート（ＡＮＤゲート）１９は上記ディレー回路１７及び１８の出力の論理積に従って、“１”又は“０”の信号をオア（ＯＲ）ゲート２０に出力する。また、オア（ＯＲ）ゲート２０は上記アンドゲート（ＡＮＤゲート）１９の出力と、ディレー回路１６の出力の論理和に従った出力をディレー回路２１に行い、ディレー回路２１から出力される信号、即ちヘッドデータを前述のシフトレジスタ１に出力する。

【００２５】

尚、ディレー回路１６～１８への信号供給は、システムクロックに従って行われる。

図２は上記構成の印字データ生成回路の処理動作を説明するタイムチャートである。尚、本実施形態の説明においても、発熱抵抗体０～３の印字データをそれぞれ３，２，２，０として説明する。

【００２６】

先ず、階調カウンタ＝３のとき、発熱抵抗体０に対するヘッドデータ生成は同図のＡのタイミングにおいて、階調カウンタの上位１ビットと発熱抵抗体０の印字データの上位１ビットの大小比較・同値判定、及び階調カウンタの下位１ビットと発熱抵抗体０の印刷データの下位１ビットの大小比較を行う。

【００２７】

ここで、前述のように印刷データが、上位１ビット＞下位１ビットならば“１”、そうでなければ“０”を出力する。また、印刷データの上位１ビット＝下位１ビットならば“１”、そうでなければ“０”を出力する。さらに、印刷データの上位１ビット＞階調カウンタの下位１ビットならば“１”、そうでなければ“０”出力する。

【００２８】

次に、Ｂのタイミングでは、上記Ａのタイミング中に行った発熱抵抗体０の印字データに対する大小比較と同値判定の結果を対応するディレー回路１６～１８に取り込む。

【００２９】

次に、Ｃのタイミングでは、印字データの上位１ビット＞階調カウンタの上位１ビット、又は印刷データの上位１ビット＝階調カウンタの上位１ビット、且つ印刷データの下位１ビット＞階調カウンタの下位１ビットならば“１”、そうでなければ“０”の規則に従って、値をディレー回路２１に取り込む。そして、これをヘッドデータとしてヘッドのシフトレジスタ１へ出力する。

【００３０】

階調カウンタ＝３のとき、その他の発熱抵抗体に対するヘッドデータ生成も同様であり、発熱抵抗体１に対してのヘッドデータ生成は、Ｂのタイミングで大小比較・同値判定を行い、Ｃのタイミングでその結果を取り込み、Ｄのタイミングでヘッドデータをディレー回路２１に取り込み出力する。

【００３１】

また、発熱抵抗体２に対してのヘッドデータ生成は、Ｃのタイミングで大小比較・同値判定を行い、Ｄのタイミングでその結果を取り込み、Ｅのタイミングでヘッドデータをディレー回路２１に取り込み出力する。さらに、発熱抵抗体３に対してのヘッドデータ生成は、Ｄのタイミングで大小比較・同値判定を行い、Ｅのタイミングでその結果を取り込み、

Ｆのタイミングでヘッドデータをディレー回路２１に取り込み出力する。
【００３２】
以上の処理を行うと、階調カウントデータが３である時、全てのヘッドデータの生成が完了する。そして、次に、ラッチパルスを出力し、シフトレジスタのデータをラッチする。そして、ラッチの値が“１”である発熱抵抗体のみが、ストローブが“１”のタイミングで通電される。
【００３３】
以下同様に、階調カウントデータの各値においてヘッドデータの生成、ラッチ、発熱抵抗体への通電を行う。このよう処理することによって、高速の転送処理を行うことができる。
【００３４】
尚、一般的には、第１の実施形態における発明では、2^N 階調印刷を行うサーマルプリンタにおいてＮ＞ｎ＞＝１とするとき、ヘッドデータの生成を
ステージ１：
（１）印刷データの上位（Ｎ－ｎ）bit と階調カウンタの上位（Ｎ－ｎ）bit の大小比較
（２）印刷データの上位（Ｎ－ｎ）bit と階調カウンタの上位（Ｎ－ｎ）bit の同値判定
（３）印刷データの下位ｎbit と階調カウンタの下位ｎbit の大小比較
ステージ２：ステージ１の結果より、印刷データの上位（Ｎ－ｎ）bit ＞階調カウンタの上位（Ｎ－ｎ）bitまたは、印刷データの上位（Ｎ－ｎ）bit ＝階調カウンタの上位（Ｎ－ｎ）bitかつ 印刷データの下位ｎbit ＞階調カウンタの下位ｎbit ならばヘッドデータ＝１上記以外ならばヘッドデータ＝０の規則に従って行うように構成し、上記の各ステージをパイプラインの１段分の処理に対応させることにより、従来より高速動作する回路が実現できる。
【００３５】
尚、階調カウントデータをデクリメントする場合で説明したが、階調カウントデータをインクリメントする構成としてもよい。
＜第２の実施形態＞
次に、本発明の第２の実施形態について説明する。
【００３６】
図３は本実施形態のシステム構成図である。同図において、前述の第１の実施形態と同じ回路には同じ番号を付して構成上の説明を省略する。本例の相違は、上位ビット／下位ビット分離回路１１の出力である下位１ビットが比較回路１５に出力されると共に、比較回路２３にも出力される構成であり、又上位ビット／下位ビット分離回路１２の出力である下位１ビットが比較回路１５に出力されると共に、比較回路２３にも出力される構成である。また、比較回路２３の追加に従ってディレー回路２４も追加され、新たなオア（ＯＲ）ゲート２５においてディレー回路１８と２４の出力の論理和が出力される構成である。以下、具体的な回路動作を図４のタイムチャートを使用して説明する。
【００３７】
先ず、本例においても、階調カウントデータが３の時、発熱抵抗体０に対するヘッドデータ生成は、Ａのタイミングで階調カウンタの上位１ビットと発熱抵抗体０の印刷データの下位１ビットの大小比較・同値判定、及び階調カウンタの下位１ビットと発熱抵抗体０の印刷データの下位１ビットの大小比較・同値判定を行う。それぞれ、印刷データの上位１ビット＞階調カウンタの上位１ビットならば“１”、そうでなければ“０”である。また、印刷データの上位１ビット＝階調カウンタトデータの上位１ビットならば“１”、そうでなければ“０”である。
【００３８】
一方、印刷データの下位１ビット＞階調カウントデータの下位１ビットならば“１”、そうでなければ“０”である。さらに、印刷データの下位１ビット＝階調カウントデータの下位１ビットならば“１”、そうでなければ“０”である。
【００３９】

次に、Ｂのタイミングでは、Ａのタイミング中に行った発熱抵抗体０の印刷データに対する大小比較と同値判定の結果をディレー回路１６～１８、及び２４に取り込む。そして、Ｃのタイミングでは、印刷データの上位１ビット＞階調カウントデータの上位１ビット、又は印刷データの上位１ビット＝階調カウントデータの上位１ビット、且つ印刷データの下位１ビット＞階調カウントデータの下位１ビット、又は印刷データの上位１ビット＝階調カウントデータの上位１ビット、且つ印刷データの下位１ビット＝階調カウントデータの下位１ビットならば“１”、そうでなければ“０”の規則に従って値をディレー回路２１に取り込む。そして、ディレー回路２１から出力される信号をヘッドデータとして出力する。

【００４０】

尚、他の発熱抵抗体に対するヘッドデータ生成処理も同様であり、発熱抵抗体１に対しては、Ｂのタイミングで大小比較・同値判定を行い、Ｃのタイミングでその結果を取り込み、ＤのタイミングでヘッドデータをＤＦＦ５に取り込み出力する。発熱抵抗体２に対しては、Ｃのタイミングで大小比較・同値判定を行い、Ｄのタイミングでその結果を取り込み、Ｅのタイミングでヘッドデータをディレー回路２１に取り込み出力する。発熱抵抗体３に対しては、Ｄのタイミングで大小比較・同値判定を行い、Ｅのタイミングでその結果を取り込む。Ｆのタイミングでヘッドデータをディレー回路２１に取り込み出力する。

【００４１】

以下同様に、階調カウントデータの各値においてヘッドデータの生成を行い、ラッチ、発熱抵抗体への通電を行う。したがって、この規則に従って回路処理を繰り返し、従来よりも高速に動作する回路が実現できる。

【００４２】

尚、上記実施形態では、印刷データと階調カウントデータの下位１ビットの大小比較・同値判定を分けて行ったが、一つにまとめ、印刷データの下位ビット＞＝階調カウンタの下位ビットの時“１”、そうでなければ“０”のようにして、この結果をディレー回路２１に出力するように構成してもよい。例えば、図５はこの例である。

＜第３の実施形態＞

次に、本発明の第３の実施形態について説明する。

【００４３】

図６は本実施形態のシステム構成図である。同図において、前述の第１又は第２の実施形態と同じ回路には同じ番号を付して構成上の説明を省略する。本例の相違は、比較回路１３’の比較処理が前述とは逆であり、また比較回路１５’の比較処理も前述とは逆である点である。また、オア（ＯＲ）ゲート２０の後にインバータ２７が接続されている点である。

【００４４】

このように構成することにより、前述の第１の実施形態とは論理が逆になり、図７に示すタイムチャートに従ってシフトレジスタ１に対し高速なヘッドデータを出力することができる。

【００４５】

【発明の効果】

以上、説明したように本発明によれば、ヘッドデータを高速に生成でき、プリンタ装置に供給するので、高速プリント処理が可能になる。

【図面の簡単な説明】

【図１】第１の実施形態を説明するシステム構成図である。

【図２】第１の実施形態を説明するタイムチャートである。

【図３】第２の実施形態を説明するシステム構成図である。

【図４】第２の実施形態を説明するタイムチャートである。

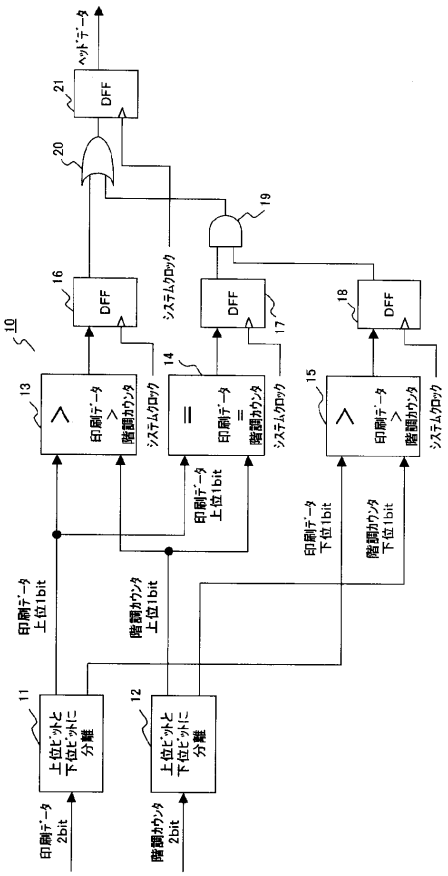
【図５】第２の実施形態の変形例を説明するシステム構成図である。

【図６】第３の実施形態を説明するシステム構成図である。

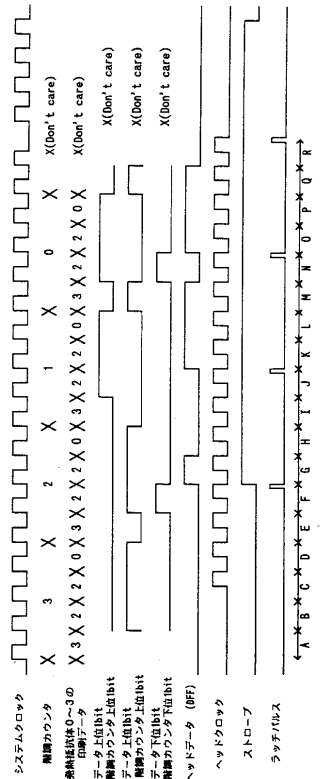
【図７】第３の実施形態を説明するタイムチャートである。

【図８】サーマルヘッドの回路構成を説明する図である。
【図９】従来のヘッドデータ生成回路を説明する回路図である。
【図１０】従来のヘッドデータ生成回路の回路動作を説明するタイムチャートである。
【符号の説明】
１０　ヘッドデータ生成回路
１１、１２　上位ビット／下位ビット分離回路
１３～１５　比較回路
１６～１８　ディレー回路
１９　アンドゲート（ＡＮＤゲート）
２０　オア（ＯＲ）ゲート
２１　ディレー回路
２３　比較回路
２４　ディレー回路
２５　オア（ＯＲ）ゲート
２７　インバータ

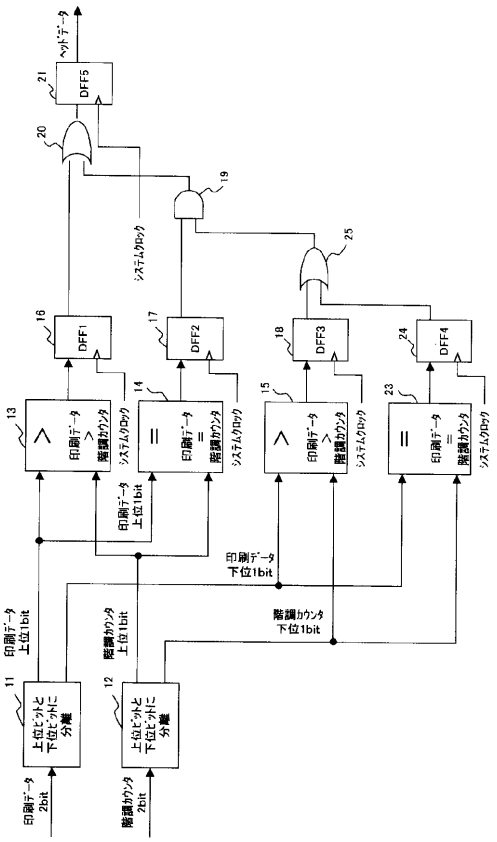
【図１】



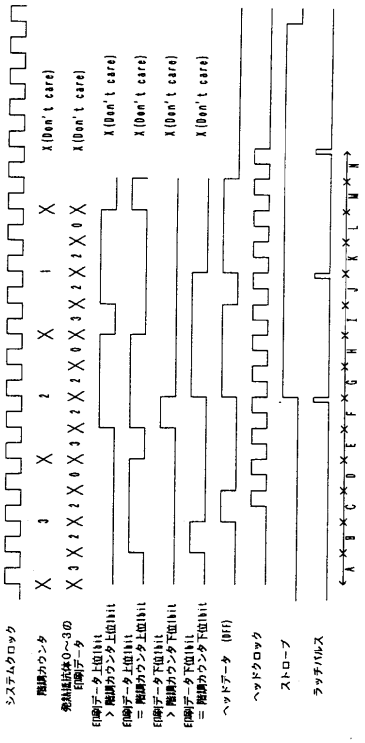
【図２】



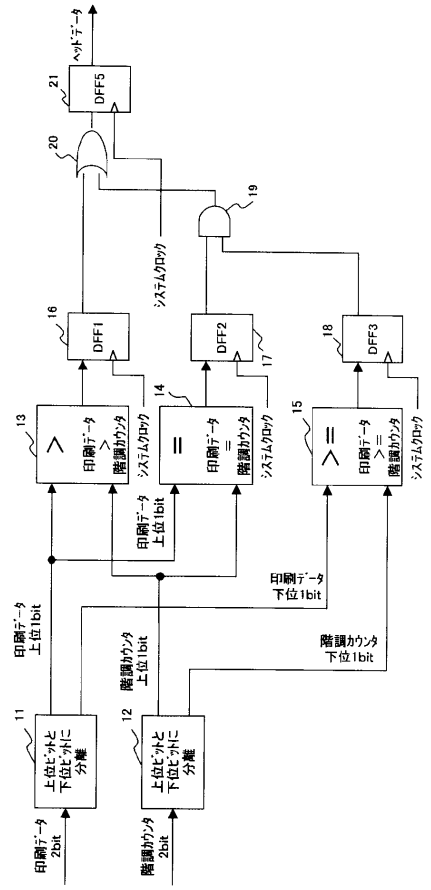
【図３】


ヘッドデータ
DFF5
DFF1
DFF2
DFF3
DFF4
システムクロック
印刷データ > 階調カウンタ
印刷データ = 階調カウンタ
印刷データ < 階調カウンタ
印刷データ 上位1bit
印刷データ 下位1bit
階調カウンタ 上位1bit
階調カウンタ 下位1bit
上位ビットと下位ビットに分離
印刷データ 2bit
階調カウンタ 2bit

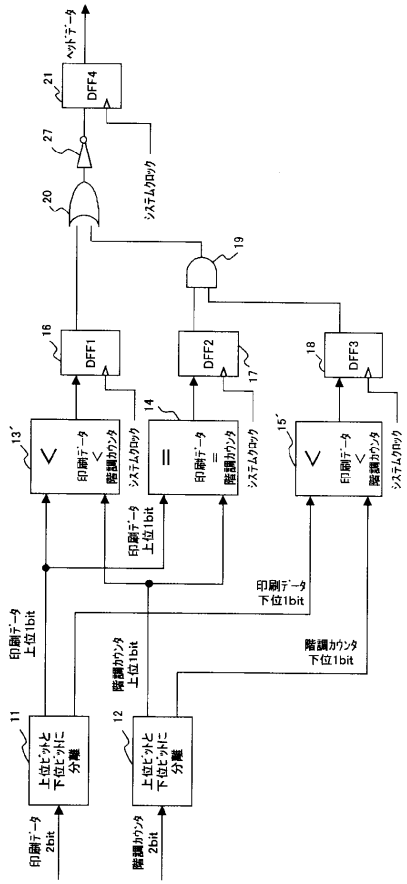
【図４】


システムクロック
階調カウンタ
発熱抵抗体0～3の印刷データ
印刷データ 上位1bit > 階調カウンタ上位1bit
印刷データ 上位1bit = 階調カウンタ上位1bit
印刷データ 下位1bit > 階調カウンタ下位1bit
印刷データ 下位1bit = 階調カウンタ下位1bit
ヘッドデータ (bit)
ヘッドクロック
ストローブ
ラッチパルス
X (Don't care)

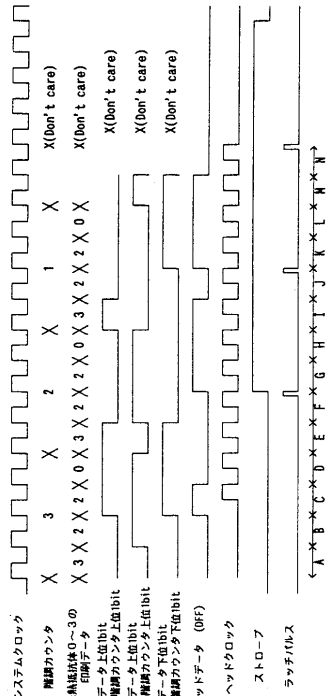
【図５】


ヘッドデータ
DFF5
DFF1
DFF2
DFF3
システムクロック
印刷データ > 階調カウンタ
印刷データ = 階調カウンタ
印刷データ 上位1bit
印刷データ 下位1bit
階調カウンタ 上位1bit
階調カウンタ 下位1bit
上位ビットと下位ビットに分離
印刷データ 2bit
階調カウンタ 2bit

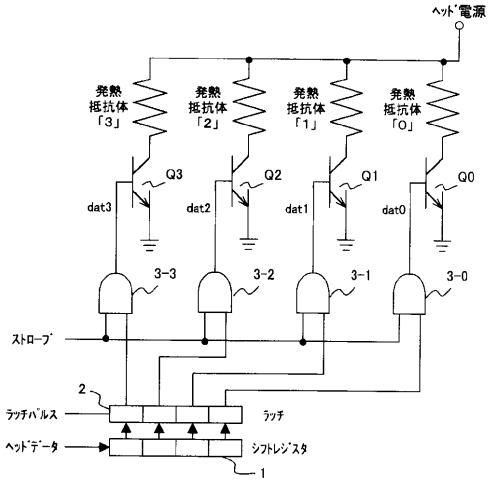
【図６】


ヘッドデータ
DFF4
DFF1
DFF2
DFF3
システムクロック
印刷データ > 階調カウンタ
印刷データ = 階調カウンタ
印刷データ < 階調カウンタ
印刷データ 上位1bit
印刷データ 下位1bit
階調カウンタ 上位1bit
階調カウンタ 下位1bit
上位ビットと下位ビットに分離
印刷データ 2bit
階調カウンタ 2bit

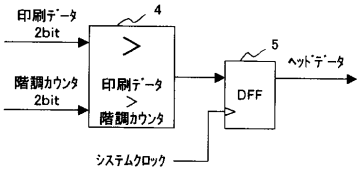
【図７】


システムクロック
階調カウンタ
発熱抵抗体0～3の印刷データ
印刷データ 上位1bit ＜ 階調カウンタ上位1bit
印刷データ 上位1bit ＝ 階調カウンタ上位1bit
印刷データ 下位1bit ＜ 階調カウンタ下位1bit
ヘッドデータ (DFF)
ヘッドクロック
ストローブ
ラッチパルス
X(Don't care)

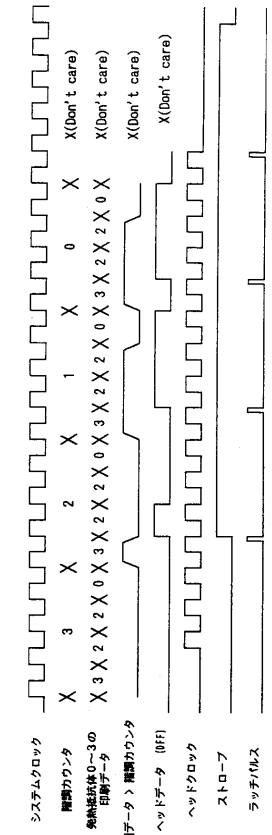
【図８】


ﾍｯﾄﾞ電源
発熱抵抗体「3」
発熱抵抗体「2」
発熱抵抗体「1」
発熱抵抗体「0」
Q3
Q2
Q1
Q0
dat3
dat2
dat1
dat0
3-3
3-2
3-1
3-0
ｽﾄﾛｰﾌﾞ
2
ﾗｯﾁﾊﾟﾙｽ
ﾗｯﾁ
ﾍｯﾄﾞﾃﾞｰﾀ
ｼﾌﾄﾚｼﾞｽﾀ
1

【図９】


印刷ﾃﾞｰﾀ 2bit
階調カウンタ 2bit
4
印刷ﾃﾞｰﾀ ＞ 階調カウンタ
5
DFF
ﾍｯﾄﾞﾃﾞｰﾀ
ｼｽﾃﾑｸﾛｯｸ

【図１０】


システムクロック
階調カウンタ
発熱抵抗体0～3の印刷データ
印刷データ ＞ 階調カウンタ
ヘッドデータ (DFF)
ヘッドクロック
ストローブ
ラッチパルス
X(Don't care)

フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)

B41J 2/36
B41J 2/52
H04N 1/23
H04N 1/40-1/405
H04N 1/52