

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4494031号
(P4494031)

(45) 発行日 平成22年6月30日 (2010. 6. 30)

(24) 登録日 平成22年4月16日 (2010. 4. 16)

(51) Int. Cl.

F I

G 0 6 F 3/06 (2006. 01)

G 0 6 F 3/06 3 0 2 A

G 0 6 F 12/14 (2006. 01)

G 0 6 F 12/14 3 2 0 D

請求項の数 13 (全 26 頁)

(21) 出願番号 特願2004-30825 (P2004-30825)
 (22) 出願日 平成16年2月6日 (2004. 2. 6)
 (65) 公開番号 特開2005-222383 (P2005-222383A)
 (43) 公開日 平成17年8月18日 (2005. 8. 18)
 審査請求日 平成18年12月28日 (2006. 12. 28)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 110000176
 一色国際特許業務法人
 (72) 発明者 三浦 純裕
 神奈川県小田原市中里322番2号 株式
 会社日立製作所 R A I D システム事業部内

審査官 梅景 篤

最終頁に続く

(54) 【発明の名称】 ストレージ制御装置、及びストレージ制御装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

情報処理装置からデータ入出力要求を受信し、前記データ入出力要求に応じてハードディスクドライブに対してデータの読み書きを行うストレージ制御装置であって、

前記ハードディスクドライブに対して前記読み書きが行われるデータを記憶するキャッシュメモリとして機能する不揮発性メモリを有する回路基板と、前記回路基板が挿抜可能に取り付けられる回路基板装着部とを備え、

前記回路基板は、

前記回路基板が前記回路基板装着部から取り外されたことを示す回路基板取り外し情報を出力する取り外し情報出力回路と、

前記回路基板取り外し情報が前記取り外し情報出力回路から出力されると、前記不揮発性メモリに記憶されているデータを消去するデータ消去回路と、
 を備え、

前記データ消去回路が、前記不揮発性メモリに記憶されている前記データの消去コマンドが送信されてきた場合、前記ハードディスクドライブに未書き込みのデータについて消去する前に前記ハードディスクドライブに書き込むデステージ処理を行うかを判定し、前記デステージ処理を行うと判定した場合、前記ハードディスクドライブに未書き込みの前記データを前記ハードディスクドライブに書き込んでから前記データの消去を開始する、ことを特徴とするストレージ制御装置。

【請求項 2】

前記データ消去回路は、

前記回路基板取り外し情報が前記取り外し情報出力回路から出力されると、前記不揮発性メモリの所定の範囲に記憶されているデータを消去すること
を特徴とする請求項 1 に記載のストレージ制御装置。

【請求項 3】

前記回路基板は、

前記不揮発性メモリのアドレス空間における第 1 のアドレス及び第 2 のアドレスを記憶する消去範囲記憶回路を備え、

前記データ消去回路は、

前記第 1 のアドレスから前記第 2 のアドレスまでの範囲に記憶されているデータを消去することにより、前記範囲に記憶されているデータを消去すること
を特徴とする請求項 2 に記載のストレージ制御装置。

10

【請求項 4】

前記データ消去回路は、

前記不揮発性メモリに記憶されているデータを他のデータに書き換えることにより、前記不揮発性メモリに記憶されているデータを消去すること
を特徴とする請求項 1 に記載のストレージ制御装置。

【請求項 5】

前記回路基板は、

前記他のデータを記憶する書き換えデータ記憶回路を備え、

20

前記データ消去回路は、

前記回路基板取り外し情報が前記取り外し情報出力回路から出力されると、前記不揮発性メモリに記憶されているデータを前記書き換えデータ記憶回路に記憶されている前記他のデータに書き換えることにより、前記不揮発性メモリに記憶されているデータを消去すること
を特徴とする請求項 4 に記載のストレージ制御装置。

【請求項 6】

前記不揮発性メモリは、

前記不揮発性メモリに記憶されているデータを消去するためのメモリ消去要求信号が入力されると、前記不揮発性メモリに記憶されているデータを消去する機能を備え、

30

前記データ消去回路は、

前記回路基板取り外し情報が前記取り外し情報出力回路から出力されると、前記メモリ消去要求信号を前記不揮発性メモリに入力することにより、前記不揮発性メモリに記憶されているデータを消去すること
を特徴とする請求項 1 に記載のストレージ制御装置。

【請求項 7】

情報処理装置からデータ入出力要求を受信し、前記データ入出力要求に応じてハードディスクドライブに対してデータの読み書きを行い、

前記ハードディスクドライブに対して前記読み書きが行われるデータを記憶するキャッシュメモリとして機能する不揮発性メモリを有する回路基板と、前記回路基板が挿抜可能に取り付けられる回路基板装着部とを備え、

40

前記回路基板は、前記回路基板が前記回路基板装着部から取り外されたことを示す回路基板取り外し情報を出力する取り外し情報出力回路
を備えるストレージ制御装置の制御方法であって、

前記回路基板が、前記回路基板取り外し情報が前記取り外し情報出力回路から出力されると、前記不揮発性メモリに記憶されているデータを消去し、

前記回路基板が、前記不揮発性メモリに記憶されている前記データの消去コマンドが送信されてきた場合、前記ハードディスクドライブに未書き込みのデータについて消去する前に前記ハードディスクドライブに書き込むデステージ処理を行うかを判定し、前記デステージ処理を行うと判定した場合、前記ハードディスクドライブに未書き込みの前記デー

50

タを前記ハードディスクドライブに書き込んでから前記データの消去を開始する、
ことを特徴とするストレージ制御装置の制御方法。

【請求項 8】

前記回路基板が、前記回路基板取り外し情報が前記取り外し情報出力回路から出力されると、前記不揮発性メモリの所定の範囲に記憶されているデータを消去すること
を特徴とする請求項 7 に記載のストレージ制御装置の制御方法。

【請求項 9】

前記回路基板は、
前記不揮発性メモリのアドレス空間における第 1 のアドレス及び第 2 のアドレスを記憶
する消去範囲記憶回路を備え、
前記範囲に記憶されているデータの消去は、前記第 1 のアドレスから前記第 2 のアドレ
スまでの範囲に記憶されているデータを消去することにより行われること
を特徴とする請求項 8 に記載のストレージ制御装置の制御方法。

10

【請求項 10】

前記不揮発性メモリに記憶されているデータの消去は、前記不揮発性メモリに記憶され
ているデータを他のデータに書き換えることにより行われること
を特徴とする請求項 7 に記載のストレージ制御装置の制御方法。

【請求項 11】

前記回路基板は、
前記他のデータを記憶する書き換えデータ記憶回路を備え、
前記不揮発性メモリに記憶されているデータの消去は、前記不揮発性メモリに記憶され
ているデータを前記書き換えデータ記憶回路に記憶されている前記他のデータに書き換え
ることにより行われること
を特徴とする請求項 10 に記載のストレージ制御装置の制御方法。

20

【請求項 12】

前記不揮発性メモリは、
前記不揮発性メモリに記憶されているデータを消去するためのメモリ消去要求信号が入
力されると、前記不揮発性メモリに記憶されているデータを消去する機能を備え、
前記不揮発性メモリに記憶されているデータの消去は、前記メモリ消去要求信号を前記
不揮発性メモリに入力することにより行われること
を特徴とする請求項 7 に記載のストレージ制御装置の制御方法。

30

【請求項 13】

情報処理装置からデータ入出力要求を受信し、前記データ入出力要求に対応する I / O
要求を出力するチャンネル制御部が形成された第 1 の回路基板と、
前記 I / O 要求が記憶される共有メモリが形成された第 2 の回路基板と、
前記共有メモリに記憶された前記 I / O 要求に応じてハードディスクドライブに対して
データの読み書きを行うディスク制御部が形成された第 3 の回路基板と、
前記チャンネル制御部と前記ディスク制御部との間で授受される、前記ハードディスク
ドライブに記憶されるデータを記憶するキャッシュメモリとして機能する不揮発性メモリを
有する第 4 の回路基板と、

40

前記第 1 の回路基板、前記第 2 の回路基板、前記第 3 の回路基板、及び前記第 4 の回路
基板がそれぞれ挿抜可能に取り付けられる回路基板装着部と、
を備え、

前記第 4 の回路基板は、

前記第 4 の回路基板が前記回路基板装着部から取り外されたことを示す回路基板取り外
し情報を出力する取り外し情報出力回路と、

前記回路基板取り外し情報が前記取り外し情報出力回路から出力されると、前記不揮発
性メモリに記憶されているデータを消去するデータ消去回路と、
を備え、

前記データ消去回路が、前記不揮発性メモリに記憶されている前記データの消去コマン

50

ドが送信されてきた場合、前記ハードディスクドライブに未書き込みのデータについて消去する前に前記ハードディスクドライブに書き込むデステージ処理を行うかを判定し、前記デステージ処理を行うと判定した場合、前記ハードディスクドライブに未書き込みの前記データを前記ハードディスクドライブに書き込んでから前記データの消去を開始する、ことを特徴とするストレージ制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ストレージ制御装置、及びストレージ制御装置の制御方法に関する。

【背景技術】

10

【0002】

ストレージ制御装置は、情報処理装置から送信されたデータ入出力要求に応じて、ハードディスクドライブに対してデータの読み書きを行う。またストレージ制御装置は、ハードディスクドライブに対して読み書きされるデータを記憶しておくためのキャッシュメモリを備え、これにより情報処理装置からのデータ入出力要求に対する応答の高速化を図っている。

【特許文献1】特開平11-203201号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

20

このキャッシュメモリには、SDRAM (Synchronous Dynamic Random Access Memory) 等の揮発性のメモリが用いられることが多い。しかしこの場合には、キャッシュメモリへの電力の供給が停止すると、キャッシュメモリに記憶されているデータが消失することになる。そのため、停電等によりキャッシュメモリへの電力供給が停止した場合でも、キャッシュメモリに記憶されているデータが消失しないように、バッテリー等の予備電源装置をストレージ制御装置に備えておくことが必要となる。

【0004】

そのためキャッシュメモリにフラッシュEEPROM (Electrically Erasable and Programmable Read Only Memory) 等の不揮発性メモリを用いることが考えられる。しかしこの場合には、キャッシュメモリへの電力の供給が停止しても、キャッシュメモリに記憶されているデータが消失することはないものの、例えばキャッシュメモリがストレージ制御装置から取り外された場合であっても、キャッシュメモリにはデータがそのままの状態

30

で記憶されることになる。そのため、キャッシュメモリに記憶されているデータの漏洩防止に対する配慮が求められる。

【0005】

本発明は上記課題を鑑みてなされたものであり、ストレージ制御装置、及びストレージ制御装置の制御方法を提供することを主たる目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明は、情報処理装置からデータ入出力要求を受信し、前記データ入出力要求に応じてハードディスクドライブに対してデータの読み書きを行うストレージ制御装置であって、前記ハードディスクドライブに対して前記読み書きが行われるデータを記憶するキャッシュメモリとして機能する不揮発性メモリを有する回路基板と、前記回路基板が挿抜可能に取り付けられる回路基板装着部とを備え、前記回路基板は、前記回路基板が前記回路基板装着部から取り外されたことを示す回路基板取り外し情報

40

を出力する取り外し情報出力回路と、前記回路基板取り外し情報が前記取り外し情報出力回路から出力されると、前記不揮発性メモリに記憶されているデータを消去するデータ消去回路とを備え、前記データ消去回路が、前記不揮発性メモリに記憶されている前記データの消去コマンドが送信されてきた場合、前記ハードディスクドライブに未書き込みのデータについて消去する前に前記ハードディスクドライブに書き込むデステージ処理を行うか

50

を判定し、前記デステージ処理を行うと判定した場合、前記ハードディスクドライブに未書き込みの前記データを前記ハードディスクドライブに書き込んでから前記データの消去を開始することを特徴とするストレージ制御装置に関する。

【 0 0 0 7 】

その他、本願が開示する課題、及びその解決方法は、発明を実施するための最良の形態の欄、及び図面により明らかにされる。

【発明の効果】

【 0 0 0 8 】

ストレージ制御装置、及びストレージ制御装置の制御方法を提供することができる。

【発明を実施するための最良の形態】

10

【 0 0 0 9 】

＝ 全体構成例 ＝

まず、本実施の形態に係るストレージ制御装置 1 0 0 を含むストレージ装置 6 0 0 の全体構成を示すブロック図を図 1 に示す。

ストレージ装置 6 0 0 は、ストレージ制御装置 1 0 0 とストレージ駆動装置 3 0 0 とを備える。ストレージ制御装置 1 0 0 は、情報処理装置 2 0 0 からデータ入出力要求を受信し、データ入出力要求に応じてストレージ駆動装置 3 0 0 が備えるデータを記憶するハードディスクドライブに対してデータの読み書きを行う。

【 0 0 1 0 】

情報処理装置 2 0 0 は C P U (Central Processing Unit) やメモリを備えたコンピュータ等の情報機器である。情報処理装置 2 0 0 が備える C P U により各種プログラムが実行されることにより様々な機能が実現される。情報処理装置 2 0 0 は、例えば銀行の自動預金預け払いシステムや航空機の座席予約システム等における中枢コンピュータとして利用される。情報処理装置 2 0 0 は、例えばパーソナルコンピュータやワークステーションとすることもできるし、メインフレームコンピュータとすることもできる。

20

【 0 0 1 1 】

ストレージ制御装置 1 0 0 は、S A N (Storage Area Network) 5 0 0 を介して、あるいは S A N 5 0 0 を介さずに、情報処理装置 2 0 0 と通信可能に接続されている。S A N 5 0 0 を介して行われる情報処理装置 2 0 0 とストレージ制御装置 1 0 0 との間の通信は、例えばファイバチャネルプロトコルに従って行われる。この場合 S A N 5 0 0 は、ファイバチャネルプロトコルに準拠した少なくとも一つ以上のスイッチ等の通信機器により構成される。また情報処理装置 2 0 0 からは、ストレージ制御装置 1 0 0 に対して、ファイバチャネルプロトコルに従ってデータ入出力要求が送信される。

30

【 0 0 1 2 】

一方、S A N 5 0 0 を介さずに情報処理装置 2 0 0 とストレージ制御装置 1 0 0 とが接続される場合には、情報処理装置 2 0 0 とストレージ制御装置 1 0 0 との間の通信は、例えば F I C O N (Fibre Connection) (登録商標) や E S C O N (Enterprise System Connection) (登録商標) 等のメインフレーム系の通信プロトコルにより行うようにすることもできるし、インターネット等で用いられている T C P / I P (Transmission Control Protocol / Internet Protocol) などの通信プロトコルにより行うようにすることもできる。

40

【 0 0 1 3 】

＝ 記憶ボリューム ＝

ストレージ駆動装置 3 0 0 は多数のハードディスクドライブを備えている。そしてストレージ駆動装置 3 0 0 は、これらのハードディスクドライブにより提供される物理的な記憶領域である物理ボリュームと、物理ボリューム上に論理的に設定される記憶領域である論理ボリュームとを含む、データを記憶するための記憶領域である記憶ボリューム 3 1 0 に対してデータの読み書きを行う。

【 0 0 1 4 】

またストレージ駆動装置 3 0 0 は例えば複数のハードディスクドライブによりディスク

50

アレイを構成するようにすることもできる。この場合、情報処理装置 200 に対して提供される記憶領域は、RAID (Redundant Arrays of Inexpensive Disks) により管理された複数のハードディスクドライブにより提供されるようにすることもできる。

【0015】

ストレージ制御装置 100 とストレージ駆動装置 300 との間は図 1 のようにネットワークを介さずに直接に接続される形態とすることもできるし、ネットワークを介して接続されるようにすることもできる。さらにストレージ駆動装置 300 はストレージ制御装置 100 と一体として構成されることもできる。

【0016】

=== ストレージ制御装置 ===

10

ストレージ制御装置 100 はチャンネル制御部 110、共有メモリ 120、キャッシュメモリ 130、ディスク制御部 140、管理端末 160、内部接続部 150 を備える。

【0017】

チャンネル制御部 110 は情報処理装置 200 との間で通信を行うための通信インタフェースを備え、情報処理装置 200 からデータ入出力要求を受信し、情報処理装置 200 との間でデータを送受信する機能を備える。また情報処理装置から受信したデータ入出力要求に対応する I/O 要求を出力する。I/O 要求は、ストレージ装置 600 が情報処理装置 200 から受信したデータ入出力要求に応じたデータの読み書きを行うためのコマンドである。

【0018】

20

チャンネル制御部 110 は管理端末 160 と共に内部 LAN 151 で接続されている。これにより各チャンネル制御部 110 に実行させるマイクロプログラム等を管理端末 160 から送信しインストールすることが可能である。また管理端末 160 からチャンネル制御部 110 に対して様々なコマンドを送信することにより、チャンネル制御部 110 に様々な制御を行わせるようにすることも可能である。例えば後述するように、管理端末 160 からチャンネル制御部 110 に対してキャッシュメモリ 130 に記憶されているデータを消去するためのコマンドを送信し、チャンネル制御部 110 にキャッシュメモリ 130 に記憶されているデータの消去を行わせるようにすることもできる。チャンネル制御部 110 の構成については後述する。

【0019】

30

内部接続部 150 はチャンネル制御部 110、共有メモリ 120、キャッシュメモリ 130、ディスク制御部 140 を相互に接続する。管理端末 160 も接続されるようにすることもできる。チャンネル制御部 110、共有メモリ 120、キャッシュメモリ 130、ディスク制御部 140 間でのデータやコマンドの授受は内部接続部 150 を介することにより行われる。内部接続部 150 は例えばクロスバスイッチで構成される。

【0020】

共有メモリ 120 及びキャッシュメモリ 130 は、チャンネル制御部 110 及びディスク制御部 140 により共用される記憶メモリである。共有メモリ 120 は主に制御情報や I/O 要求等が記憶されるのに対し、キャッシュメモリ 130 は主にチャンネル制御部 110 とディスク制御部 140 との間で授受される、ハードディスクドライブに記憶されるデータを記憶するために利用される。

40

【0021】

例えば、あるチャンネル制御部 110 が情報処理装置 200 から受信したデータ入出力要求がデータ書き込み要求であった場合には、当該チャンネル制御部 110 はデータ書き込み要求に対応する I/O 要求を共有メモリ 120 に書き込むと共に、情報処理装置 200 から受信した書き込みデータをキャッシュメモリ 130 に書き込む。そしてチャンネル制御部 110 は情報処理装置 200 に対して、データの書き込みが完了した旨のステータス情報を送信する。一方、ディスク制御部 140 は共有メモリ 120 を監視しており、共有メモリ 120 にデータ書き込み要求に対応する I/O 要求が書き込まれたことを検出すると、当該 I/O 要求に従ってキャッシュメモリ 130 から書き込みデータを読み出してストレ

50

ージ駆動装置 300 に書き込む。

【0022】

またあるチャネル制御部 110 が情報処理装置 200 から受信したデータ入出力要求がデータ読み出し要求であった場合には、チャネル制御部 110 は読み出し対象となるデータがキャッシュメモリ 130 に存在するかどうかを調べる。ここでキャッシュメモリ 130 に存在すれば、チャネル制御部 110 はそのデータを情報処理装置 200 に送信する。一方、読みだし対象となるデータがキャッシュメモリ 130 に存在しない場合には、当該チャネル制御部 110 はデータ読み出し要求に対応する I/O 要求を共有メモリ 120 に書き込むと共に、共有メモリ 120 を監視する。データ読み出し要求に対応する I/O 要求が共有メモリ 120 に書き込まれたことを検出したディスク制御部 140 は、ストレージ駆動装置 300 から読みだし対象となるデータを読み出してこれをキャッシュメモリ 130 に書き込むと共に、その旨を共有メモリ 120 に書き込む。そして、チャネル制御部 110 は読みだし対象となるデータがキャッシュメモリ 130 に書き込まれたことを検出すると、そのデータを情報処理装置 200 に送信する。

10

【0023】

このようにチャネル制御部 110 及びディスク制御部 140 の間では、キャッシュメモリ 130 を介してハードディスクドライブに記憶されるデータの授受が行われる。なお、キャッシュメモリ 130 と共有メモリ 120 とが、一体的に形成されているような構成とすることもできる。またキャッシュメモリ 130 の構成については後述する。

【0024】

20

なお、チャネル制御部 110 からディスク制御部 140 に対するデータの書き込みや読み出しの指示を共有メモリ 120 を介在させて間接的に行う構成の他、例えばチャネル制御部 110 からディスク制御部 140 に対してデータの書き込みや読み出しの指示を共有メモリ 120 を介さずに直接に行う構成とすることもできる。

また、チャネル制御部 110 にディスク制御部 140 の機能を持たせることにより、チャネル制御部 110 がストレージ駆動装置 300 に記憶されたデータの読み書きを行うようにすることもできる。

【0025】

ディスク制御部 140 は、ストレージ駆動装置 300 と通信可能に接続され、データを記憶するハードディスクドライブに記憶されるデータの読み書きを行う。例えば上述のように、共有メモリ 120 に記憶された I/O 要求に応じて、記憶ボリューム 310 に対してデータの読み書きを行う。

30

【0026】

各ディスク制御部 140 は管理端末 160 と共に内部 LAN 151 で接続されており、相互に通信を行うことが可能である。これにより、各ディスク制御部 140 に実行させるマイクロプログラム等を管理端末 160 から送信しインストールすることが可能となっている。また管理端末 160 からディスク制御部 140 に対して様々なコマンドを送信することにより、ディスク制御部 140 に様々な制御を行わせるようにすることも可能である。例えば後述するように、管理端末 160 からディスク制御部 140 に対してキャッシュメモリ 130 に記憶されているデータを消去するためのコマンドを送信し、ディスク制御部 140 にキャッシュメモリ 130 に記憶されているデータの消去を行わせるようにすることもできる。ディスク制御部 140 の構成については後述する。

40

【0027】

本実施例においては、共有メモリ 120 及びキャッシュメモリ 130 がチャネル制御部 110 及びディスク制御部 140 に対して独立に設けられていることについて記載したが、本実施例はこの場合に限られるものでなく、共有メモリ 120 又はキャッシュメモリ 130 がチャネル制御部 110 及びディスク制御部 140 の各々に分散されて設けられることも好ましい。この場合、内部接続部 150 は、分散された共有メモリ 120 又はキャッシュメモリ 130 を有するチャネル制御部 110 及びディスク制御部 140 を相互に接続させることになる。

50

【 0 0 2 8 】

＝ ＝ 管理端末 ＝ ＝

管理端末 1 6 0 はストレージ装置 6 0 0 を保守・管理するためのコンピュータ等の情報機器である。オペレータは、管理端末 1 6 0 を操作することにより、例えばストレージ駆動装置 3 0 0 内のハードディスクドライブの構成の設定や、情報処理装置 2 0 0 とチャンネル制御部 1 1 0 との間の通信路であるパスの設定、記憶ボリューム 3 1 0 の設定、チャンネル制御部 1 1 0 やディスク制御部 1 4 0 において実行されるマイクロプログラムのインストール等を行うことができる。これらの設定や制御は、管理端末 1 6 0 が備えるユーザインタフェース、あるいは管理端末 1 6 0 で動作する W e b サーバにより提供される W e b ページを表示する情報処理装置 2 0 0 等のユーザインタフェースから行うようにすることができる。

10

【 0 0 2 9 】

管理端末 1 6 0 はストレージ制御装置 1 0 0 に内蔵されている形態とすることもできるし、外付けされている形態とすることもできる。また管理端末 1 6 0 は、ストレージ装置 6 0 0 の保守・管理を専用に行うコンピュータとすることもできるし、汎用のコンピュータに保守・管理機能を持たせたものとすることもできる。

【 0 0 3 0 】

管理端末 1 6 0 の構成を示すブロック図を図 4 に示す。

管理端末 1 6 0 は、C P U 1 6 1、メモリ 1 6 2、ポート 1 6 3、記録媒体読取装置 1 6 4、入力装置 1 6 5、出力装置 1 6 6、記憶装置 1 6 8 を備える。

20

【 0 0 3 1 】

C P U 1 6 1 は管理端末 1 6 0 の全体の制御を司るもので、メモリ 1 6 2 に記憶された各種の動作を行うためのコードから構成されるストレージ管理プログラム 1 6 2 A を実行する。これにより、ストレージ装置 6 0 0 の保守・管理機能を提供することができる。また同様に例えばストレージ管理プログラム 1 6 2 A を実行することにより上記 W e b サーバとしての機能等を実現するようにすることができる。

【 0 0 3 2 】

記録媒体読取装置 1 6 4 は、記録媒体 1 6 7 に記録されているプログラムやデータを読み取るための装置である。読み取られたプログラムやデータはメモリ 1 6 2 や記憶装置 1 6 8 に格納される。従って、例えば記録媒体 1 6 7 に記録されたストレージ管理プログラム 1 6 2 A を、記録媒体読取装置 1 6 4 を用いて上記記録媒体 1 6 7 から読み取って、メモリ 1 6 2 や記憶装置 1 6 8 に格納するようにすることができる。記録媒体 1 6 7 としてはフレキシブルディスクや C D - R O M、半導体メモリ等を用いることができる。記録媒体読取装置 1 6 4 は管理端末 1 6 0 に内蔵されている形態とすることもできるし、外付けされている形態とすることもできる。記憶装置 1 6 8 は、例えばハードディスクドライブや半導体記憶装置等である。入力装置 1 6 5 はオペレータ等による管理端末 1 6 0 へのデータ入力等のために用いられるユーザインタフェースである。入力装置 1 6 5 としては例えばキーボードやマウス等が用いられる。出力装置 1 6 6 は情報を外部に出力するために用いられるユーザインタフェースである。出力装置 1 6 6 としては例えばディスプレイやプリンタ等が用いられる。ポート 1 6 3 は内部 L A N 1 5 1 に接続されており、これにより管理端末 1 6 0 はチャンネル制御部 1 1 0 やディスク制御部 1 4 0 等と通信を行うことができる。またポート 1 6 3 は例えば L A N 等と通信可能に接続されるようにすることもできる。この場合管理端末 1 6 0 は、L A N を通じて情報処理装置 2 0 0 と通信を行うようにすることもできる。

30

40

【 0 0 3 3 】

＝ ＝ 外観図 ＝ ＝

次に、本実施の形態に係るストレージ装置 6 0 0 の外観構成を図 2 に示す。また、ストレージ制御装置 1 0 0 の外観構成を図 3 に示す。

図 2 に示すように、本実施の形態に係るストレージ装置 6 0 0 はストレージ制御装置 1 0 0 及びストレージ駆動装置 3 0 0 がそれぞれの筐体に納められた形態をしている。図 2

50

に示す例では、ストレージ制御装置 100 の筐体の両側にストレージ駆動装置 300 の筐体が配置されている。ストレージ駆動装置 300 には多数のハードディスクドライブが整列して装着されている。

【0034】

ストレージ制御装置 100 は、正面中央部に管理端末 160 が備えられている。管理端末 160 はカバーで覆われており、図 3 に示すようにカバーを開けることにより管理端末 160 を使用することができる。なお図 3 に示した管理端末 160 はいわゆるノート型パーソナルコンピュータの形態をしているが、どのような形態とすることも可能である。

【0035】

管理端末 160 の下部には、チャンネル制御部 110 が形成された回路基板（第 1 の回路基板）やディスク制御部 140 が形成された回路基板（第 3 の回路基板）、キャッシュメモリ 130 として機能する不揮発性メモリを有する回路基板（第 4 の回路基板）、共有メモリ 120 が形成された回路基板（第 2 の回路基板）、内部接続部 150 が形成された回路基板をそれぞれ装着するためのスロットが設けられている。各スロットにはこれらの回路基板を装着するためのガイドレールが設けられている。ガイドレールに沿って各回路基板をスロットに挿入することにより、チャンネル制御部 110 やディスク制御部 140、キャッシュメモリ 130、共有メモリ 120、内部接続部 150 が形成された各回路基板をストレージ制御装置 100 に装着することができる。スロットの奥手方向正面部には、各回路基板をそれぞれ挿抜可能に取り付ける論理基板（回路基板装着部）180 が設けられている。論理基板 180 には、各回路基板をストレージ制御装置 100 と電氣的に接続するためのコネクタ 181 が設けられている。

【0036】

またストレージ制御装置 100 には、チャンネル制御部 110 等から発生する熱を放出するためのファン 170 が設けられている。ファン 170 はストレージ制御装置 100 の上面部に設けられる他、スロットの上部にも設けられている。

【0037】

またストレージ制御装置 100 の下段には、電源装置 190、及びバッテリー 191 が設けられている。電源装置 190 は、ストレージ装置 600 の外部から電力を取り入れ、その電力をチャンネル制御部 110 やキャッシュメモリ 130、ファン 170 等のストレージ装置 600 内部の各装置に供給するための装置である。バッテリー 191 は停電時や電源装置 190 の異常時等に、電源装置 190 に代わって、チャンネル制御部 110 やディスク制御部 140 等のストレージ装置 600 内部の各装置に電力を供給するための予備電源装置である。

【0038】

なお本実施の形態に係るストレージ制御装置 100 においては、不揮発性メモリをキャッシュメモリ 130 として用いるため、停電時や電源装置 190 の異常時等に、キャッシュメモリ 130 に対して電力を供給する必要はない。そのため、予備電源装置を小型化することが可能となる。これによりストレージ制御装置 100 を小型化することが可能となる。

【0039】

=== チャンネル制御部 ===

チャンネル制御部 110 の構成を図 5 に示す。

チャンネル制御部 110 を有する回路基板は一つのユニット化されたボードとして構成される。つまりチャンネル制御部 110 を有する回路基板は、一枚もしくは複数枚の回路基板を含んで一つのユニット化されたボードとして構成される。回路基板には、インタフェース部 111、メモリ 113、CPU 112、NVRAM (NonVolatile Random Access Memory) 114、コネクタ 115 が形成される。

【0040】

インタフェース部 111 は、情報処理装置 200 との間で通信を行うための通信インタフェースや、管理端末 160 との間で通信を行うための通信インタフェース、内部接続部

10

20

30

40

50

１５０を介して共有メモリ１２０やキャッシュメモリ１３０、ディスク制御部１４０等との間で通信を行うための通信インタフェースを備える。

CPU１１２は、チャンネル制御部１１０全体の制御を司る。CPU１１２によりメモリ１１３に記憶された各種の動作を行うためのコードから構成されるチャンネル制御プログラム８１０やNVRAM１１４に記憶された各種プログラムが実行されることにより本実施の形態に係るチャンネル制御部１１０の機能が実現される。

NVRAM１１４はCPU１１２の制御を司るプログラムを格納する不揮発性メモリである。NVRAM１１４に記憶されるプログラムの内容は、管理端末１６０からの指示により書き込みや書き換えを行うことができる。

チャンネル制御部１１０はコネクタ１１５を備えている。コネクタ１１５が論理基板１８０のコネクタ１８１と嵌合することにより、チャンネル制御部１１０はストレージ制御装置１００の内部接続部１５０や管理端末１６０等と電氣的に接続される。

【００４１】

メモリ１１３には、チャンネル制御プログラム８１０が記憶される。チャンネル制御プログラム８１０は、情報処理装置２００から送信されたデータ入出力要求に応じて行われる記憶ボリューム３１０に記憶されるデータの入出力制御や、管理端末１６０との間の通信の制御、後述するキャッシュメモリ１３０に記憶されたデータの消去の制御等を行うためのプログラムである。なお、チャンネル制御プログラム８１０は複数のプログラムにより構成されるようにすることもできる。

【００４２】

＝＝＝ディスク制御部＝＝＝

次にディスク制御部１４０の構成を示す図を図６に示す。

ディスク制御部１４０を有する回路基板は一つのユニット化されたボードとして構成される。つまりディスク制御部１４０を有する回路基板は、一枚もしくは複数枚の回路基板を含んで一つのユニット化されたボードとして構成される。回路基板には、インタフェース部１４１、メモリ１４３、CPU１４２、NVRAM１４４、コネクタ１４５が形成される。

【００４３】

インタフェース部１４１は、管理端末１６０との間で通信を行うための通信インタフェースや、内部接続部１５０を介してチャンネル制御部１１０やキャッシュメモリ１３０等との間で通信を行うための通信インタフェース、ストレージ駆動装置３００との間で通信を行うための通信インタフェース等を備える。

CPU１４２は、ディスク制御部１４０全体の制御を司る。CPU１４２によりメモリ１４３に記憶された各種の動作を行うためのコードから構成されるディスク制御プログラム８２０やNVRAM１４４に記憶された各種プログラムが実行されることにより本実施の形態に係るディスク制御部１４０の機能が実現される。

NVRAM１４４はCPU１４２の制御を司るプログラムを格納する不揮発性メモリである。NVRAM１４４に記憶されるプログラムの内容は、管理端末１６０からの指示により書き込みや書き換えを行うことができる。

またディスク制御部１４０はコネクタ１４５を備えている。コネクタ１４５が論理基板１８０のコネクタ１８１と嵌合することにより、ディスク制御部１４０はストレージ制御装置１００の内部接続部１５０や管理端末１６０等と電氣的に接続される。

【００４４】

メモリ１４３には、ディスク制御プログラム８２０が記憶される。ディスク制御プログラム８２０は、ストレージ駆動装置３００が備える記憶ボリューム３１０に記憶されるデータの入出力制御や、管理端末１６０との間の通信の制御、後述するキャッシュメモリ１３０に記憶されたデータの消去の制御等を行うためのプログラムである。なお、ディスク制御プログラム８２０は複数のプログラムにより構成されるようにすることもできる。

【００４５】

＝＝＝情報処理装置＝＝＝

10

20

30

40

50

次に、本実施の形態に係る情報処理装置 200 の構成を示すブロック図を図 7 に示す。

情報処理装置 200 は、CPU 210、メモリ 220、ポート 230、記録媒体読取装置 240、入力装置 250、出力装置 260、記憶装置 280 を備える。

【0046】

CPU 210 は情報処理装置 200 の全体の制御を司るもので、メモリ 220 に記憶された各種の動作を行うためのコードから構成されるプログラム 220A を実行することにより本実施の形態に係る各種機能を実現する。例えば、上述した銀行の自動預金預け払いサービス等の情報処理サービスの提供は、CPU 210 がプログラム 220A を実行することにより行われる。また、CPU 210 がプログラム 220A を実行することにより、
10 上述した管理端末 160 で動作する Web サーバにより提供される Web ページの表示や、ハードディスクドライブの構成の変更や、情報処理装置 200 とチャネル制御部 110 との間の通信路であるパスの設定、記憶ボリューム 310 の設定等を行うことができる。

【0047】

記録媒体読取装置 240 は記録媒体 270 に記録されているプログラムやデータを読み取るための装置である。読み取られたプログラムやデータはメモリ 220 や記憶装置 280 に記憶される。従って、例えば記録媒体 270 に記録されたプログラム 220A を、記録媒体読取装置 240 を用いて上記記録媒体 270 から読み取って、メモリ 220 や記憶装置 280 に記憶するようにすることができる。記録媒体 270 としてはフレキシブルディスクや CD-ROM、半導体メモリ等を用いることができる。記録媒体読取装置 240
20 は情報処理装置 200 に内蔵されている形態とすることもできるし、外付されている形態とすることもできる。記憶装置 280 は、例えばハードディスクドライブや半導体記憶装置等とすることもできる。また記憶装置 280 は情報処理装置 200 に内蔵されるようにすることもできるし、外付けされるようにすることもできる。外付けされる場合には、通信ネットワークを介して接続される他の情報処理装置 200 の記憶装置 280 とすることもできる。またストレージ装置 600 とすることもできる。入力装置 250 は情報処理装置 200 を操作するオペレータ等による情報処理装置 200 へのデータ入力等のために用いられるユーザインタフェースである。入力装置 250 としては例えばキーボードやマウス等が用いられる。出力装置 260 は情報を外部に出力するためのユーザインタフェースである。出力装置 260 としては例えばディスプレイやプリンタ等が用いられる。ポート
30 230 は、チャネル制御部 110 と通信を行うための装置である。またポート 230 は、LAN 等の通信ネットワークを通じて他の情報処理装置 200 や管理端末 160 と通信を行うことができるようにすることもできる。この場合、例えばプログラム 220A をポート 230 を介して他の情報処理装置 200 から受信して、メモリ 220 や記憶装置 280 に記憶するようにすることもできる。

【0048】

=== キャッシュメモリ ===

次に本実施の形態に係るキャッシュメモリ 130 の構成について、図 9、図 10、及び図 14 に示す。

まず、本実施の形態に係るストレージ制御装置 100 におけるキャッシュメモリ 130
40 の構成を図 9 に示す。またキャッシュメモリ 130 の詳細な構成を図 10 に示す。

【0049】

なお、揮発性メモリ 1310 を用いて構成されるキャッシュメモリ 1300 を搭載した場合のストレージ制御装置 100 の構成を図 8 に示す。この場合には、停電や電源装置 190 の故障等によりキャッシュメモリ 1300 への電力供給が停止した場合でも、キャッシュメモリ 1300 に記憶されているデータが消失しないようにするために、キャッシュメモリ 1300 はバッテリー 191 から電力の供給を受けることができるようにする必要がある。そのためキャッシュメモリ 1300 はバックアップ切換回路 1330 を備え、電源装置 190 からの電力供給が停止した場合には、バッテリー 191 から電力供給が受けられるようになっている。

10

20

30

40

50

【 0 0 5 0 】

図 9 示す本実施の形態に係るストレージ制御装置 1 1 0 においては、上述したように、不揮発性メモリ 1 3 1 を用いて構成されるキャッシュメモリ 1 3 0 が搭載されている。

【 0 0 5 1 】

チャンネル制御部 1 1 0 及びディスク制御部 1 4 0 は、内部接続部 1 5 0 を介してキャッシュメモリ 1 3 0 に対してデータの読み書きを行う。また、チャンネル制御部 1 1 0 及びディスク制御部 1 4 0 は、管理端末 1 6 0 から消去コマンドを受信することにより、不揮発性メモリ 1 3 1 に記憶されているデータを消去することもできる。なお、不揮発性メモリ 1 3 1 に記憶されているデータの消去は、不揮発性メモリ 1 3 1 に記憶されているデータを他のデータに書き換えることにより行うことができる。

10

【 0 0 5 2 】

キャッシュメモリ 1 3 0 は、不揮発性メモリ 1 3 1、キャッシュメモリコントローラ（データ消去回路）1 3 2、イレース制御回路（データ消去回路）1 3 3、モードレジスタ 1 3 4、取り外し情報出力回路 1 3 5、キャパシタ 1 3 6 を備える。

【 0 0 5 3 】

不揮発性メモリ 1 3 1 は、例えばフラッシュ E E P R O M 等の不揮発性メモリデバイスにより構成される。不揮発性メモリ 1 3 1 には、情報処理装置 2 0 0 からのデータ入出力要求に応じてハードディスクドライブに対して読み書きが行われるデータが記憶される。不揮発性メモリ 1 3 1 は、上記フラッシュ E E P R O M の他に、例えば M R A M (Magnetic RAM)、F e R A M (Ferroelectric RAM)、O U M (Ovonic Unified Memory) 等とすることもできる。

20

【 0 0 5 4 】

キャッシュメモリコントローラ 1 3 2 は、チャンネル制御部 1 1 0 やディスク制御部 1 4 0 から送信される各種コマンド（例えば不揮発性メモリ 1 3 1 へのデータの書き込みコマンドや、不揮発性メモリ 1 3 1 からのデータの読み出しコマンド、不揮発性メモリ 1 3 1 に記憶されているデータの消去コマンド等）に応じて、不揮発性メモリ 1 3 1 へのデータの読み書きの制御を行う。例えばチャンネル制御部 1 1 0 からデータの書き込みコマンドが送信された場合には、その書き込みコマンドにより指定される不揮発性メモリ 1 3 1 の記憶アドレスへ、その書き込みコマンドと共に送信されてくる書き込みデータの書き込みを行う。また例えばチャンネル制御部 1 1 0 からデータの読み出しコマンドが送信された場合には、その読み出しコマンドにより指定される不揮発性メモリ 1 3 1 の記憶アドレスから、その読み出しコマンドにより指定されるデータ量の分、不揮発性メモリ 1 3 1 からデータを読み出して、チャンネル制御部 1 1 0 に送信する。また、例えばチャンネル制御部 1 1 0 から、不揮発性メモリ 1 3 1 に記憶されているデータの消去コマンドが送信された場合には、不揮発性メモリ 1 3 1 に記憶されるデータを消去する。

30

【 0 0 5 5 】

詳しい動作については図 1 0 を用いて説明する。なおここではチャンネル制御部 1 1 0 からデータの書き込みコマンドが送信された場合、チャンネル制御部 1 1 0 からデータの読み出しコマンドが送信された場合、チャンネル制御部 1 1 0 からデータの消去コマンドが送信された場合について説明するが、ディスク制御部 1 4 0 からこれらのコマンドが送信された場合についても同様である。

40

【 0 0 5 6 】

まずチャンネル制御部 1 1 0 からデータの書き込みコマンドが送信された場合について説明する。

まず、情報処理装置 2 0 0 からデータ書き込み要求を受信したチャンネル制御部 1 1 0 から、内部接続部 1 5 0 を経由して書き込みコマンドが送信されてくると、その書き込みコマンドはバス側セレクト回路 7 2 0 を介してパケットバッファ 2 (7 4 0) に記憶される。またパケットバッファ 2 (7 4 0) には、書き込みコマンドに続いて送信されてくる書き込みデータが次々と記憶されてゆく。その間、コマンド/アドレス解析部 7 1 0 は、パケットバッファ 2 (7 4 0) に記憶された書き込みコマンドをデコードしてコマンドの種

50

類を書き込みコマンドであると特定すると共に、不揮発性メモリ 131 において書き込みデータが書き込まれるアドレスや書き込みデータのデータ量についても特定する。そして、コマンド/アドレス解析部 710 からメモリ制御部 700 に対して、書き込みデータが書き込まれるアドレスや書き込みデータのデータ量等の情報が送られる。そうするとメモリ制御部 700 は、不揮発性メモリ 131 に対して書き込みデータが書き込まれるアドレスとライトイネーブル信号を入力すると共に、メモリ側セクタ回路 730 を介して、パケットバッファ 2 (740) に記憶されている書き込みデータを不揮発性メモリ 131 に転送する。メモリ制御部 700 は、全ての書き込みデータが不揮発性メモリ 131 に書き込まれるまで、順次書き込みデータが書き込まれるアドレスを更新しながら、上記書き込みデータの転送を行う。全ての書き込みデータが不揮発性メモリ 131 に書き込まれたら、終了ステータス情報をスタータスレジスタ 750 に書き込むと共に、その終了ステータス情報を、メモリ側セクタ回路 730 を介してパケットバッファ 1 (740) に転送し、内部接続部 150 を介してチャネル制御部 110 に送信する。これにより、チャネル制御部 110 から送信されたキャッシュメモリ 130 への書き込みコマンドに応じて、書き込みデータを不揮発性メモリ 131 へ書き込むことができる。

10

【0057】

次にチャネル制御部 110 からデータの読み出しコマンドが送信された場合について説明する。

まず情報処理装置 200 からデータ読み出し要求を受信したチャネル制御部 110 から、内部接続部 150 を経由して読み出しコマンドが送信されてくると、その読み出しコマンドはバス側セクタ回路 720 を介してパケットバッファ 2 (740) に記憶される。そうすると、コマンド/アドレス解析部 710 は、パケットバッファ 2 (740) に記憶された読み出しコマンドをデコードしてコマンドの種類を読み出しコマンドであると特定すると共に、読み出しデータが記憶されている不揮発性メモリ 131 におけるアドレスや読み出しデータのデータ量について特定する。そして、コマンド/アドレス解析部 710 からメモリ制御部 700 に対して、読み出しデータのアドレスや読み出しデータのデータ量等の情報が送られる。そうするとメモリ制御部 700 は、不揮発性メモリ 131 に対して読み出しデータのアドレスとリードイネーブル信号を入力する。そしてメモリ制御部 700 は、不揮発性メモリ 131 から読み出されるデータを、メモリ側セクタ回路 730 を介して、パケットバッファ 1 (740) に転送する。パケットバッファ 1 (740) に転送された読み出しデータは、内部接続部 150 を介してチャネル制御部 110 に送信される。メモリ制御部 700 は、要求された全てのデータが不揮発性メモリ 131 から読み出されるまで順次アドレスを更新しながら、上記読み出しデータの転送を行う。また全ての読み出しデータの読み出しが完了したら、終了ステータス情報をスタータスレジスタ 750 に書き込むと共に、その終了ステータス情報を、メモリ側セクタ回路 730 を介してパケットバッファ 1 (740) に転送し、内部接続部 150 を介してチャネル制御部 110 に送信する。これにより、チャネル制御部 110 から送信されたキャッシュメモリ 130 への読み出しコマンドに応じて、データを不揮発性メモリ 131 から読み出すことができる。

20

30

【0058】

40

次にチャネル制御部 110 からデータの消去コマンドが送信された場合について説明する。

まず管理端末 160 からデータの消去要求を受信したチャネル制御部 110 から、内部接続部 150 を経由して消去コマンドが送信されてくると、その消去コマンドはバス側セクタ回路 720 を介してパケットバッファ 2 (740) に記憶される。そうすると、コマンド/アドレス解析部 710 は、パケットバッファ 2 (740) に記憶された消去コマンドをデコードしてコマンドの種類を消去コマンドであると特定する。また消去コマンドに、不揮発性メモリ 131 においてデータを消去する範囲(所定範囲)を示す情報(第1のアドレス、第2のアドレス)や消去のためのデータ(他のデータ)を示す情報が含まれている場合には、それらの情報についても特定する。そして、コマンド/アドレス解析部

50

710からメモリ制御部700に対して、データを消去する範囲を示す情報や消去のためのデータを示す情報が送られる。そうするとメモリ制御部700は、コマンド/アドレス解析部710から送信されたデータを消去する範囲を示す情報のうち、消去を開始するアドレス(第1のアドレス)を示す情報を消去開始アドレスレジスタ(消去範囲記憶回路)752に記憶し、消去を終了するアドレス(第2のアドレス)を示す情報を消去終了アドレスレジスタ(消去範囲記憶回路)753に記憶する。またメモリ制御部700は消去のためのデータを消去データレジスタ(書き換えデータ記憶回路)751に記憶する。またコマンド/アドレス解析部710からは、不揮発性メモリ131に記憶されているデータを消去すべき旨の情報がモードレジスタ134に書き込まれる。モードレジスタ134にその旨の情報が書き込まれると、イレース制御回路133は、メモリ制御部700に不揮発性メモリ131に記憶されているデータを消去すべき旨の情報を送信する。そうするとメモリ制御部700は、不揮発性メモリ131に対して、不揮発性メモリ131のアドレスとライトイネーブル信号を入力して、消去データレジスタ751に記憶されている消去のためのデータを、不揮発性メモリ131に書き込む。このようにして不揮発性メモリ131に記憶されているデータを消去する。メモリ制御部700は、消去を開始するアドレスから消去を終了するアドレスまでの範囲に記憶されているデータを消去し終わるまで、順次不揮発性メモリ131のアドレスを更新しながら、上記消去を行う。全ての範囲のデータが消去されたら、メモリ制御部700は終了ステータス情報をステータスレジスタ750に書き込むと共に、その終了ステータス情報を、メモリ側セレクト回路730を介してパケットバッファ1(740)に転送し、内部接続部150を介してチャンネル制御部110に送信する。これにより、チャンネル制御部110から送信されたキャッシュメモリ130への消去コマンドに応じて、不揮発性メモリ131の消去を行うことができる。

【0059】

なお、消去コマンドに、不揮発性メモリ131においてデータを消去する範囲を示す情報や、消去のためのデータを示す情報が含まれていない場合には、例えば不揮発性メモリ131の全ての記憶アドレスに対して"0"が書き込まれるようにハードウェア等により構成しておくようにすることもできる。もちろんこの場合、所定範囲のアドレスのデータのみが消去されるようにハードウェア等により構成しておくようにすることもできる。また書き込まれるデータも"0"以外に例えば"1"とするようにハードウェア等により構成しておくようにすることもできる。

【0060】

なお上記所定範囲は、例えば不揮発性メモリ131における全記憶エリアの内のユーザエリアとすることができる。ここでユーザエリアとは、データを書き換え可能な記憶エリアをいう。このようにすることにより、キャッシュメモリ130等の制御に用いられ、通常は書き換えられることのないデータが誤って消去されてしまうことを防止することができる。

【0061】

チャンネル制御部110からキャッシュメモリ130に送信される消去コマンドの内容は、管理端末160の出力装置166に表示される図11及び図12に示すような設定画面を用いて指定するようにすることができる。

【0062】

図11に示す設定画面において、「現在のキャッシュメモリ構成」欄には、ストレージ制御装置100の各スロットに現在装着されているキャッシュメモリ130が表示される。図11に示す例では、ストレージ制御装置100のスロットにはキャッシュメモリ130の回路基板が4枚装着されていることが示される。これらのキャッシュメモリ130の回路基板を示す表示部分にマウス等の入力装置165を用いてカーソルを重ねてクリックすることにより、キャッシュメモリ130を選択することができる。ここで「詳細設定」欄にカーソルを重ねてマウスをクリックすると、図12に示す詳細設定画面が表示される。

【0063】

詳細設定画面においては、「消去データパターン設定」欄、「消去範囲指定」欄、「キャッシュメモリ基板取り外し時自動データ消去」欄、「デステージ」欄が表示され、それぞれの内容を指定することができる。

【 0 0 6 4 】

「消去データパターン設定」欄は、消去データレジスタ 7 5 1 に記憶される消去のためのデータを指定するための欄である。図 1 2 に示す例では " F F "、" 0 0 "、" A A "、" 5 5 "、" 時刻 " が指定可能になっている。

【 0 0 6 5 】

" F F " が選択された場合には、消去コマンドと共に 1 6 進数の " F F " が消去のためのデータとして送信され、消去データレジスタ 7 5 1 に書き込まれる。そして不揮発性メモリ 1 3 1 の消去の際には、不揮発性メモリ 1 3 1 の各ビットには " 1 " が書き込まれる。

10

【 0 0 6 6 】

" 0 0 " が選択された場合には、消去コマンドと共に 1 6 進数の " 0 0 " が消去のためのデータとして送信され、消去データレジスタ 7 5 1 に書き込まれる。そして不揮発性メモリ 1 3 1 の消去の際には、不揮発性メモリ 1 3 1 の各ビットには " 0 " が書き込まれる。

【 0 0 6 7 】

" A A " が選択された場合には、消去コマンドと共に 1 6 進数の " A A " が消去のためのデータとして送信され、消去データレジスタ 7 5 1 に書き込まれる。そして不揮発性メモリ 1 3 1 の消去の際には、不揮発性メモリ 1 3 1 の各ビットには " 1 " と " 0 " とが交互に書き込まれる。

20

【 0 0 6 8 】

" 5 5 " が選択された場合には、消去コマンドと共に 1 6 進数の " 5 5 " が消去のためのデータとして送信され、消去データレジスタ 7 5 1 に書き込まれる。そして不揮発性メモリ 1 3 1 の消去の際には、不揮発性メモリ 1 3 1 の各ビットには " 0 " と " 1 " とが交互に書き込まれる。

【 0 0 6 9 】

" 時刻 " が選択された場合には、消去コマンドと共に消去コマンド送信時の時刻を示す情報が消去のためのデータとして送信され、消去データレジスタ 7 5 1 に書き込まれる。そして不揮発性メモリ 1 3 1 の消去の際には、不揮発性メモリ 1 3 1 の各ビットには消去コマンド送信時の時刻を示す情報が書き込まれる。なおここで消去コマンド送信時の時刻を示す情報は、ある基準時刻からの経過時間を示す情報とすることもできる。

30

【 0 0 7 0 】

「消去範囲指定」欄は、消去開始アドレスレジスタ 7 5 2 に記憶される消去を開始するアドレスを示す情報、及び消去終了アドレスレジスタ 7 5 3 に記憶される消去を終了するアドレスを示す情報を指定するための欄である。

【 0 0 7 1 】

" 全範囲 " を選択すると、不揮発性メモリ 1 3 1 の全てのアドレスに記憶されるデータを消去の対象とすることができる。

40

【 0 0 7 2 】

" 範囲指定 " を選択した場合には、「 F R O M 」欄と「 T O 」欄とにおいて、それぞれ、消去を開始するアドレスを示す情報と消去を終了するアドレスを示す情報とを指定することができる。

【 0 0 7 3 】

「キャッシュメモリ基板取り外し時自動データ消去」欄は、詳細は後述するが、キャッシュメモリ 1 3 0 が形成された回路基板がストレージ制御装置 1 0 0 から取り外された場合に、不揮発性メモリ 1 3 1 に記憶されているデータを消去するか否かを指定するための欄である。

【 0 0 7 4 】

50

” ON ” が選択された場合には、キャッシュメモリコントローラ 1 3 2 の基板取り外し時消去実施可否レジスタ 7 5 4 にその旨の情報がセットされ、キャッシュメモリ 1 3 0 が形成された回路基板がストレージ制御装置 1 0 0 から取り外された場合に、不揮発性メモリ 1 3 1 に記憶されているデータの消去が開始される。

【 0 0 7 5 】

” OFF ” が選択された場合には、キャッシュメモリコントローラ 1 3 2 の基板取り外し時消去実施可否レジスタ 7 5 4 にその旨の情報がセットされ、キャッシュメモリ 1 3 0 が形成された回路基板がストレージ制御装置 1 0 0 から取り外された場合であっても、不揮発性メモリ 1 3 1 に記憶されているデータの消去は開始されない。

【 0 0 7 6 】

「 デステージ 」 欄は、チャンネル制御部 1 1 0 等から消去コマンドがキャッシュメモリ 1 3 0 に送信されることより不揮発性メモリ 1 3 1 に記憶されているデータの消去が実施される場合に、不揮発性メモリ 1 3 1 に記憶されているデータのうち、ハードディスクドライブへ未書き込みのデータを、ハードディスクドライブへ書き込むか否かを指定するための欄である。

【 0 0 7 7 】

” 行なう ” が選択された場合には、キャッシュメモリコントローラ 1 3 2 のデステージ可否レジスタ 7 5 5 にその旨の情報がセットされる。そして、不揮発性メモリ 1 3 1 に記憶されているデータの内ハードディスクドライブへ未書き込みのデータをハードディスクドライブへ書き込んでから、不揮発性メモリ 1 3 1 に記憶されているデータの消去が開始

【 0 0 7 8 】

” 行なわない ” が選択された場合には、キャッシュメモリコントローラ 1 3 2 のデステージ可否レジスタ 7 5 5 にその旨の情報がセットされる。そして、不揮発性メモリ 1 3 1 に記憶されているデータの内ハードディスクドライブへ未書き込みのデータがあっても、ハードディスクドライブへの書き込みを行わずに、不揮発性メモリ 1 3 1 に記憶されているデータの消去が開始される。

【 0 0 7 9 】

「 OK 」 欄にマウスのカーソルを重ねてクリックすることにより、上記各設定内容が管理端末 1 6 0 からチャンネル制御部 1 1 0 等を経由してキャッシュメモリ 1 3 0 に送信される。そして各設定情報が、消去データレジスタ 7 5 1、消去開始アドレスレジスタ 7 5 2、消去終了アドレスレジスタ 7 5 3、基板取り外し時消去実施可否レジスタ 7 5 4、デステージ可否レジスタ 7 5 5 に記憶される。そして図 1 2 に示す詳細設定画面が閉じられ、図 1 1 に示す設定画面の表示に戻る。

【 0 0 8 0 】

「 Cancel 」 欄にマウスのカーソルを重ねてクリックすることにより、上記各設定内容の入力を取り消すことができる。

【 0 0 8 1 】

図 1 1 に示す設定画面において、「データ消去」欄にマウスのカーソルを重ねてクリックすることにより、消去コマンドが、管理端末 1 6 0 からチャンネル制御部 1 1 0 を経由してキャッシュメモリ 1 3 0 に送信される。これにより、不揮発性メモリ 1 3 1 に記憶されているデータの消去が開始される。

不揮発性メモリ 1 3 1 のデータの消去が完了し、キャッシュメモリ 1 3 0 からチャンネル制御部 1 1 0 を経由して終了ステータスが送信されてくると、例えば図 1 3 に示すようなメッセージが表示されるようにすることもできる。

【 0 0 8 2 】

また図 1 1 において「消去中断」欄にマウスのカーソルを重ねてクリックすることにより、不揮発性メモリ 1 3 1 に記憶されているデータの消去の中断を行うための消去中断コマンドが、管理端末 1 6 0 からチャンネル制御部 1 1 0 を経由してキャッシュメモリ 1 3 0 に送信されるようにすることもできる。これにより、不揮発性メモリ 1 3 1 に記憶されて

10

20

30

40

50

いるデータの消去の中断が行えるようにすることもできる。

【 0 0 8 3 】

不揮発性メモリ 1 3 1 に記憶されているデータを、管理端末 1 6 0 からの指示により消去する際の処理の流れを示すフローチャートを図 1 7 及び図 1 8 に示す。

まず、図 1 1 に示す設定画面における「データ消去」欄にマウスのカーソルが重ねられ、クリックされることにより、管理端末 1 6 0 にキャッシュメモリ 1 3 0 に記憶されているデータの消去の指示が受け付けられると (S1000)、管理端末 1 6 0 はチャンネル制御部 1 1 0 に対して消去コマンドを送信する (S1001)。そうするとチャンネル制御部 1 1 0 は、消去コマンドを内部接続部 1 5 0 を介してキャッシュメモリ 1 3 0 に送信する (S1002)。そしてキャッシュメモリ 1 3 0 は、不揮発性メモリ 1 3 1 に記憶されているデータの消去を開始し (S1003)、データの消去が終了したらチャンネル制御部 1 1 0 に対して終了ステータス情報を送信する (S1004)。そうするとチャンネル制御部 1 1 0 は終了ステータス情報を管理端末 1 6 0 に送信する (S1005)。そして管理端末 1 6 0 は、例えば図 1 3 に示したようなメッセージを出力装置 1 6 6 に表示することにより、終了ステータスを表示する (S1006)。

【 0 0 8 4 】

S1003における不揮発性メモリ 1 3 1 に記憶されているデータの消去の処理は、図 1 8 に示すように、まず、チャンネル制御部 1 1 0 から、内部接続部 1 5 0 を経由して消去コマンドが送信されてくると、その消去コマンドはコマンド/アドレス解析部 7 1 0 でデコードされてコマンドの種類が消去コマンドであると特定される (S2000)。そしてコマンド/アドレス解析部 7 1 0 からは、不揮発性メモリ 1 3 1 に記憶されているデータを消去すべき旨の情報がモードレジスタ 1 3 4 に書き込まれる (S2001)。モードレジスタ 1 3 4 にその旨の情報が書き込まれると、イレース制御回路 1 3 3 から、メモリ制御部 7 0 0 に不揮発性メモリ 1 3 1 に記憶されているデータを消去すべき旨の情報を送信される (S2002)。そうするとメモリ制御部 7 0 0 は、不揮発性メモリ 1 3 1 に対して、不揮発性メモリ 1 3 1 のアドレスとライトイネーブル信号を入力して、消去を開始するアドレスから消去を終了するアドレスまでの範囲に記憶されるデータを、消去データレジスタ 7 5 1 に記憶されている消去のためのデータにより書き換える (S2003)。全ての範囲のデータが書き換えられたら、メモリ制御部 7 0 0 は終了ステータス情報をスタートレジスタ 7 5 0 に書き込む (S2004)。そして上述したS1004の処理を実施する。

【 0 0 8 5 】

なお、上述した例では、管理端末 1 6 0 から送信された消去コマンドがチャンネル制御部 1 1 0 を経由してキャッシュメモリ 1 3 0 に送信される場合を説明したが、管理端末 1 6 0 から送信された消去コマンドがディスク制御部 1 4 0 を経由してキャッシュメモリ 1 3 0 に送信されるようにすることもできる。また管理端末 1 6 0 から送信された消去コマンドがチャンネル制御部 1 1 0 やディスク制御部 1 4 0 を経由せずに、直接キャッシュメモリ 1 3 0 に送信されるようにすることもできる。

【 0 0 8 6 】

次に、図 1 0 に戻って、基板取り外し検出器 (取り外し情報出力回路) 1 3 5 について説明する。

基板取り外し検出器 1 3 5 は、キャッシュメモリ 1 3 0 の回路基板が論理基板 1 8 0 から取り外されたことを示す回路基板取り外し情報を出力する。この回路基板取り外し情報により、キャッシュメモリ 1 3 0 の回路基板が論理基板 1 8 0 から取り外されたことを検出することができる。

【 0 0 8 7 】

本実施の形態に係る基板取り外し検出器 1 3 5 には、図 1 4 に示すように 2 つの信号 (L I D T、V I N) が入力される。そして 1 つの信号 (回路基板取り外し情報) を出力する。L I D T 及び V I N は、共に論理基板 1 8 0 を経由して電源装置 1 9 0 に接続されているため、キャッシュメモリ 1 3 0 の回路基板が論理基板 1 8 0 に装着されている場合には、L I D T の電圧及び V I N の電圧は共に、電源装置 1 9 0 の出力電圧に略等しくなる

。またキャッシュメモリ 130 の回路基板が論理基板 180 から取り外されている場合には、L I D T の電圧及び V I N の電圧は共に、グラウンド電位に略等しくなる。

【 0 0 8 8 】

ところで本実施の形態においては、コネクタ 181 における L I D T 用のピン 182 と V I N 用のピン 183 とでピンの長さに差を付けるようにしている。具体的には図 14 に示すように、L I D T 用のピン 182 が V I N 用のピン 183 よりも長くされている。

【 0 0 8 9 】

そのため、キャッシュメモリ 130 の回路基板が論理基板 180 に取り付けられる際には、まず L I D T 用のピン 182 がキャッシュメモリ 130 の回路基板側のピン 138 と接触し、その後に V I N 用のピン 183 がキャッシュメモリ 130 の回路基板側のピン 138 と接触する。一方キャッシュメモリ 130 の回路基板が論理基板 180 から取り外される際には、まず V I N 用のピン 183 がキャッシュメモリ 130 の回路基板側のピン 138 から離れ。その後に L I D T 用のピン 182 がキャッシュメモリ 130 の回路基板側のピン 138 から離れる。

【 0 0 9 0 】

そして、基板取り外し検出器 135 を、例えば L I D T と V I N との排他的論理和を演算し、その演算結果を回路基板取り外し情報として出力する回路により構成すれば、キャッシュメモリ 130 の回路基板が論理基板 180 から取り外される際に、図 15 に示すように、キャッシュメモリ 130 の回路基板が論理基板 180 から取り外されたことを示すパルス状の信号を回路基板取り外し情報として出力させるようにすることができる。

【 0 0 9 1 】

なお、回路基板取り外し情報は上述した例に限定されることはない。例えば基板取り外し検出器 135 には L I D T、又は V I N のいずれか 1 つの信号のみが入力されるようにし、その L I D T、又は V I N のいずれか 1 つの信号をそのまま回路基板取り外し情報として出力するようにすることもできる。この場合、回路基板取り外し情報の信号の電圧が電源装置 190 の出力電圧に略等しければ、キャッシュメモリ 130 の回路基板が論理基板 180 に装着されていることが検出でき、回路基板取り外し情報の信号の電圧がグラウンド電位に略等しければ、キャッシュメモリ 130 の回路基板が論理基板 180 から取り外されていることが検出できる。

【 0 0 9 2 】

その他、L I D T と V I N との間の導通を検出（電気抵抗を検出）することにより、キャッシュメモリ 130 の回路基板が論理基板 180 から取り外されていることを検出するようにすることもできる。なおこの場合には、図 14 において L I D T 及び V I N は電源装置 180 と接続されている必要は必ずしもない。

【 0 0 9 3 】

このように出力される回路基板取り外し情報はイレース制御回路 133 に入力される。キャッシュメモリ 130 の回路基板が論理基板 180 から取り外されたことを示す回路基板取り外し情報が基板取り外し検出器 135 から出力された場合の処理の流れを図 19 に示す。

【 0 0 9 4 】

キャッシュメモリ 130 の回路基板が論理基板 180 から取り外されたことを示す回路基板取り外し情報が基板取り外し検出器 135 から出力されると（S3000）、イレース制御回路 133 は、上述した基板取り外し時消去実施可否レジスタ 754 に不揮発性メモリ 131 に記憶されているデータの消去可能の旨が記憶されている場合には、メモリ制御部 700 に不揮発性メモリ 131 の消去を実行すべき旨の情報を送信する（S3001）。そうするとメモリ制御部 700 は、不揮発性メモリ 131 に対して、不揮発性メモリ 131 のアドレスとライトイネーブル信号を入力して、消去データレジスタ 751 に記憶されている消去のためのデータの不揮発性メモリ 131 への書き込みを開始する（S3001）。メモリ制御部 700 は、消去開始アドレスレジスタ 752 及び消去終了アドレスレジスタ 753 にそれぞれ記憶されている、消去を開始するアドレスから消去を終了するアドレスまで

10

20

30

40

50

の範囲に記憶されているデータを、上記消去のためのデータで書き換え終わるまで、順次不揮発性メモリ 131 のアドレスを更新しながら、上記書き換えを行う。全ての範囲のデータが消去のためのデータに書き換えられたら、メモリ制御部 700 は終了ステータス情報をスタートレジスタ 750 に書き込む (S3003)。それと共にメモリ制御部 700 は、その終了ステータス情報をメモリ側セクタ回路 730 を介してパケットバッファ 1 (740) に転送する。ただし、すでにキャッシュメモリ 130 の回路基板が論理基板 180 から取り外されているので、パケットバッファ 1 (740) に転送された終了ステータス情報がチャネル制御部 110 に送信されることはない。このようにすることにより、キャッシュメモリ 130 の回路基板が論理基板 180 から取り外された場合に、不揮発性メモリ 131 に記憶されているデータの消去を行うことができる。

10

【0095】

なお、キャッシュメモリ 130 の回路基板が論理基板 180 から取り外された場合には、電源装置 190 からの電力供給路が絶たれることになる。そのため本実施の形態に係るキャッシュメモリ 130 の回路基板には、回路基板が論理基板 180 から取り外された後に、回路基板内で使用するための電力を蓄える蓄電回路を備えている。蓄電回路としては例えば図 10 に示すようにキャパシタ 136 を用いることができる。キャパシタ 136 には、キャッシュメモリ 130 の回路基板が論理基板 180 に装着されている間に、電源装置 190 から供給される電力を蓄えておくようにする。そしてキャッシュメモリ 130 の回路基板が論理基板 180 から取り外された場合には、キャパシタ 136 に蓄えられた電力が、キャッシュメモリコントローラ 132 や不揮発性メモリ 131 等の回路基板内の各回路に供給されるようにする。これにより、キャッシュメモリ 130 の回路基板が論理基板 180 から取り外され、回路基板への電源装置 190 からの電力供給路が絶たれた後であっても、不揮発性メモリ 131 に記憶されているデータの消去を行うことができる。

20

【0096】

なお、本実施の形態に係る不揮発性メモリ 131 としては、不揮発性メモリ 131 に記憶されるデータを消去するためのメモリ消去要求信号の入力を受け付け、メモリ消去要求信号が入力されると不揮発性メモリ 131 に記憶されるデータを消去する機能を備えるものを用いるようにすることもできる。その場合のストレージ制御装置 110 の構成を図 16 に示す。

【0097】

この場合には、メモリ制御部 700 から不揮発性メモリ 131 に上記メモリ消去要求信号を入力することにより、不揮発性メモリ 131 に記憶されているデータの消去を行うことができる。不揮発性メモリ 131 に入力されるメモリ消去要求信号は、不揮発性メモリ 131 の製品仕様として規定されるものである。

30

【0098】

以上本実施の形態に係るストレージ制御装置 100 について説明したが、本実施の形態によれば、不揮発性メモリ 131 を用いてキャッシュメモリ 130 を構成する場合に、キャッシュメモリ 130 に記憶されているデータの機密保持を実現することが可能となる。例えば、許可無き者によりキャッシュメモリ 130 がストレージ制御装置 100 から取り外されて持ち出されたような場合であっても、キャッシュメモリ 130 に記憶されているデータが第三者に知られ、機密が漏洩することを防止することが可能となる。また、ストレージ制御装置 100 が廃棄される場合や、キャッシュメモリ 130 が廃棄される場合にも、廃棄業者等を通じてキャッシュメモリ 130 に記憶されているデータが第三者に知られ、機密が漏洩することを防止することが可能となる。

40

【0099】

なお本実施の形態においては、ストレージ制御装置 100 におけるキャッシュメモリ 130 に記憶されるデータを消去する場合について説明したが、本願発明はチャネル制御部 110 の NVRAM 114 やディスク制御部 140 の NVRAM 144 に記憶されるデータを消去する場合についても適用可能である。

【0100】

50

さらに本願発明は、ストレージ制御装置 100 以外にも不揮発性メモリを備える一般の情報処理装置にも広く適用することが可能である。例えばコンピュータや電話機、コピー機、ファクシミリ送受信機、プリンタ、POS (Point Of Sales system) 端末、カメラ、IC (Integrated Circuit) レコーダ、DVD (Digital Versatile Disc) レコーダや、HDD (Hard Disk Drive) レコーダ、MD (Mini Disk) 録再機、テレビ受信器、ビデオカメラ等のオーディオビジュアル機器、PDA (Personal Digital Assistance) 端末等の、不揮発性メモリを備える情報処理装置にも適用することが可能である。

【0101】

以上発明を実施するための最良の形態について説明したが、上記実施の形態は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明はその趣旨を逸脱することなく変更、改良され得ると共に、本発明にはその等価物も含まれる。

【図面の簡単な説明】

【0102】

【図1】本実施の形態に係るストレージ装置の全体構成を示すブロック図である。

【図2】本実施の形態に係るストレージ装置の外観構成を示す図である。

【図3】本実施の形態に係るストレージ制御装置の外観構成を示す図である。

【図4】本実施の形態に係る管理端末の構成を示すブロック図である。

【図5】本実施の形態に係るチャンネル制御部の構成を示すブロック図である。

【図6】本実施の形態に係るディスク制御部の構成を示すブロック図である。

【図7】本実施の形態に係る情報処理装置の構成を示すブロック図である。

【図8】揮発性メモリを有するキャッシュメモリを備えたストレージ制御装置の構成を示すブロック図である。

【図9】本実施の形態に係るストレージ制御装置の構成を示すブロック図である。

【図10】本実施の形態に係るキャッシュメモリの構成を示すブロック図である。

【図11】本実施の形態に係るキャッシュメモリに記憶されるデータを消去するための設定画面例を示す図である。

【図12】本実施の形態に係るキャッシュメモリに記憶されるデータを消去するための設定画面例を示す図である。

【図13】本実施の形態に係るキャッシュメモリに記憶されるデータの消去が完了した場合に表示されるメッセージの例を示す図である。

【図14】本実施の形態に係るキャッシュメモリの構成を示すブロック図である。

【図15】本実施の形態に係る回路基板取り外し情報が出力される様子を示す図である。

【図16】本実施の形態に係るストレージ制御装置の構成を示すブロック図である。

【図17】本実施の形態に係るキャッシュメモリに記憶されるデータの消去の処理を示すフローチャートである。

【図18】本実施の形態に係るキャッシュメモリに記憶されるデータの消去の処理を示すフローチャートである。

【図19】本実施の形態に係るキャッシュメモリに記憶されるデータの消去の処理を示すフローチャートである。

【符号の説明】

【0103】

100	ストレージ制御装置	110	チャンネル制御部
120	共有メモリ	130	キャッシュメモリ
131	不揮発性メモリ	132	キャッシュメモリコントローラ
133	イレース制御回路	134	モードレジスタ
135	基板取り外し検出器	136	キャパシタ
137	コネクタ	138	ピン
140	ディスク制御部	150	接続部
160	管理端末	180	論理基板

10

20

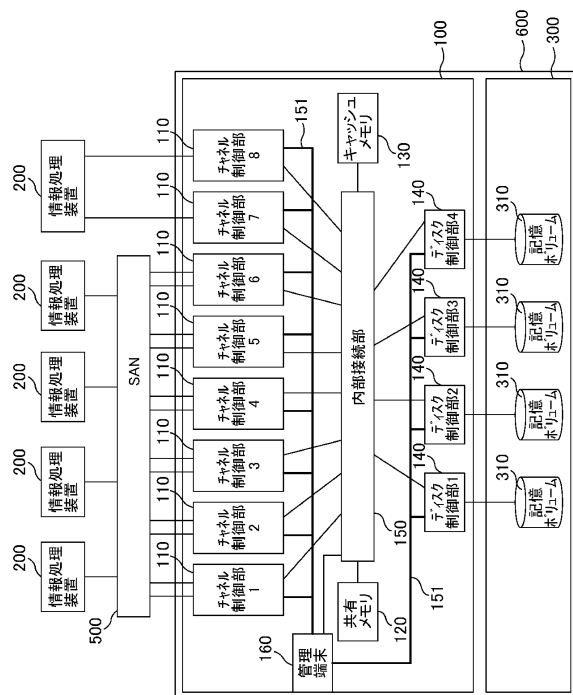
30

40

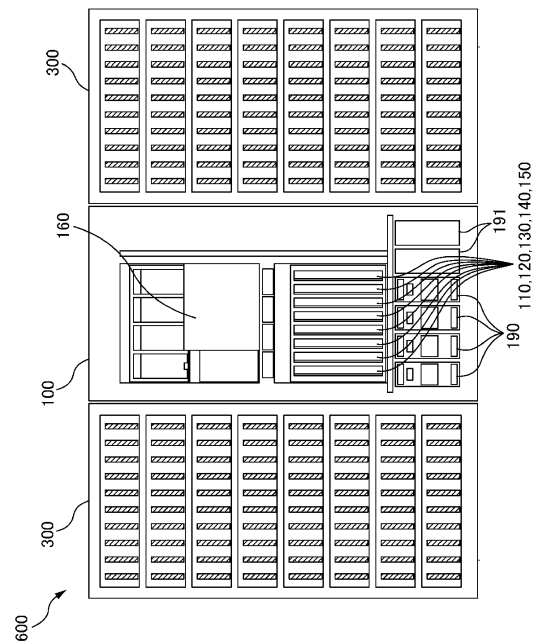
50

181	コネクタ	182	長ピン
183	短ピン	190	電源装置
191	バッテリー	200	情報処理装置
300	ストレージ駆動装置	310	記憶ボリューム
500	SAN	600	ストレージ装置
700	メモリ制御部	710	コマンド/アドレス解析部
720	バス側セクタ回路	730	メモリ側セクタ回路
740	パケットバッファ	750	ステータスレジスタ
751	消去データレジスタ		
752	消去開始アドレスレジスタ		
753	消去終了アドレスレジスタ		
754	基板取り外し時消去実行可否レジスタ		
755	デステージ可否レジスタ		

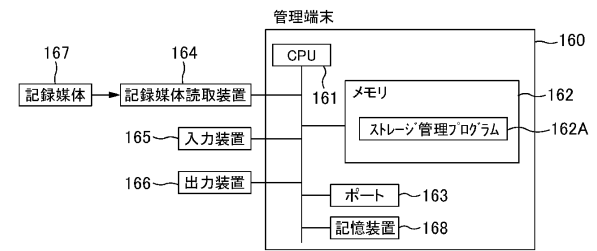
【図1】



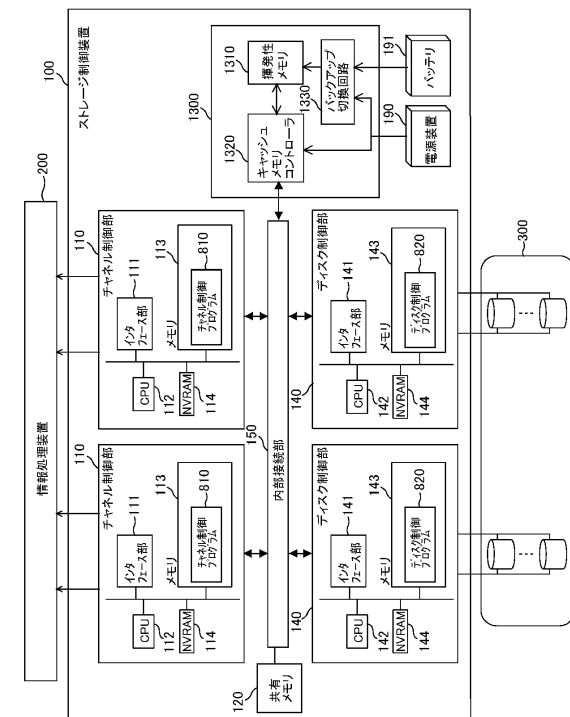
【図2】



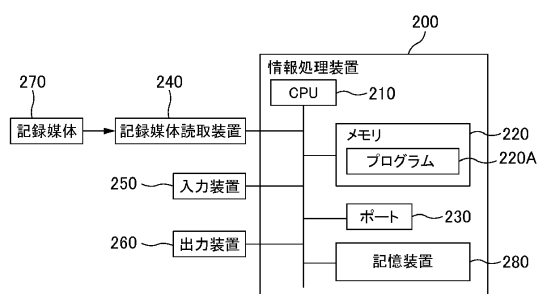
【 図 4 】



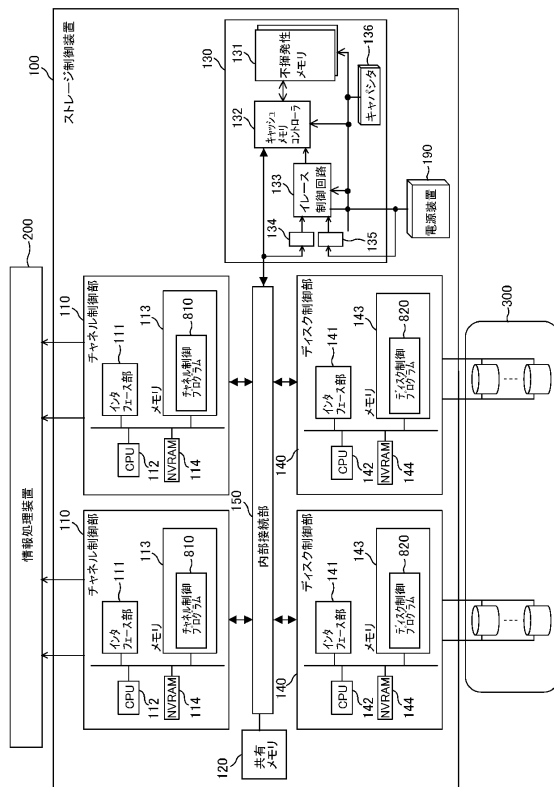
【 図 8 】



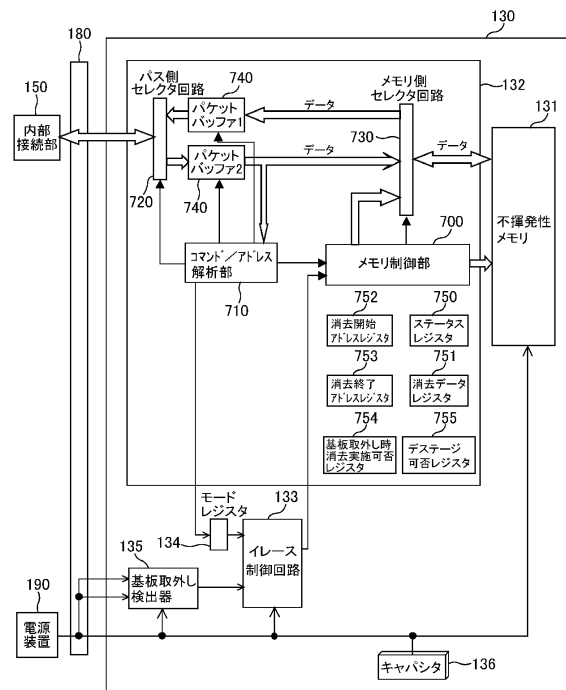
【圖 7】



【図 9】



【図 10】



【図 11】

キャッシュメモリデータ消去設定画面

キャッシュメモリ基板を選択して下さい。

現在のキャッシュメモリ構成

- キャッシュメモリ基板1
- キャッシュメモリ基板2
- キャッシュメモリ基板3
- キャッシュメモリ基板4

詳細設定

データ消去 消去中断 キャンセル

【図 13】

ステータス表示画面

データの消去が完了しました

【図 12】

詳細設定画面

消去データパターン指定

00
AA
55
時刻

消去範囲指定

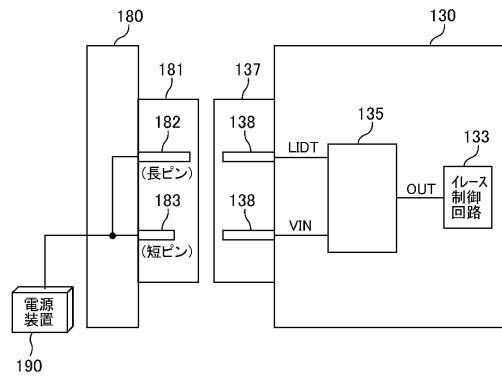
☒ 全範囲
☐ 範囲指定 FROM 0000 TO 07FF

キャッシュメモリ基板取外し時
自動データ消去 ☒ ON ☐ OFF

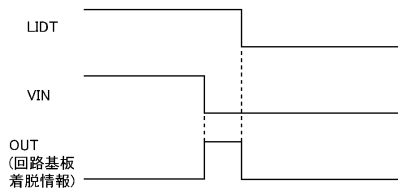
デステージ ☒ 行なう ☐ 行なわない

OK cancel

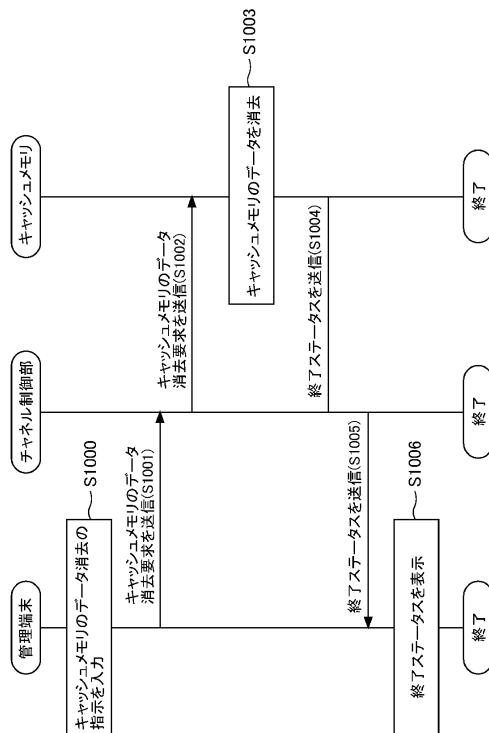
【図 14】



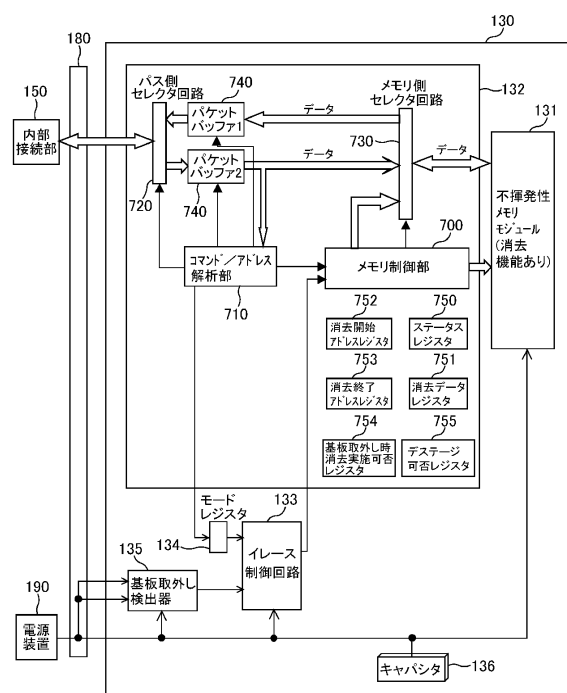
【図 15】



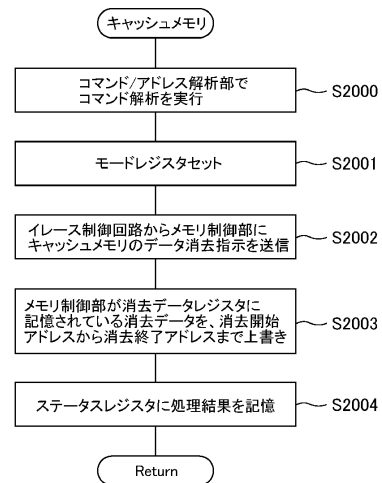
【図 17】



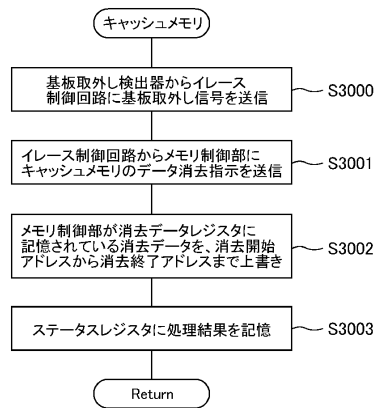
【図 16】



【図 18】



【図 19】



フロントページの続き

(56)参考文献 特開2002-189635(JP,A)
国際公開第03/040932(WO,A1)
特開平07-020994(JP,A)
特開2003-140835(JP,A)
特開平11-175406(JP,A)
特開2003-345520(JP,A)
特開2004-104581(JP,A)
特表2005-508551(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/06 - 3/08
G06F 12/14
G06F 12/00 - 12/06
G06F 12/08 - 12/12