

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6541652号  
(P6541652)

(45) 発行日 令和1年7月10日(2019.7.10)

(24) 登録日 令和1年6月21日(2019.6.21)

(51) Int.Cl. F I  
**HO4N 5/376 (2011.01)** HO4N 5/376  
**HO4N 5/374 (2011.01)** HO4N 5/374

請求項の数 4 (全 11 頁)

<p>(21) 出願番号 特願2016-522113 (P2016-522113)                  (86) (22) 出願日 平成26年10月10日 (2014.10.10)                  (65) 公表番号 特表2016-535477 (P2016-535477A)                  (43) 公表日 平成28年11月10日 (2016.11.10)                  (86) 国際出願番号 PCT/EP2014/071785                  (87) 国際公開番号 W02015/055538                  (87) 国際公開日 平成27年4月23日 (2015.4.23)                  審査請求日 平成29年10月3日 (2017.10.3)                  (31) 優先権主張番号 1360062                  (32) 優先日 平成25年10月16日 (2013.10.16)                  (33) 優先権主張国 フランス (FR)</p>	<p>(73) 特許権者 517204025                  テレダイン・イー・2・ブイ・セミコンダクターズ・エス・ア・エス                  フランス国、38120・サン・テグレーブ、アブニュ・ドゥ・ロシュブリーヌ                  (74) 代理人 110001173                  特許業務法人川口国際特許事務所                  (72) 発明者 ディヤスパラ, ブリュノ                  フランス国、38180・セイサン、プラス・デュ・ビラージュ・21                  審査官 鈴木 明</p>
--	---

最終頁に続く

(54) 【発明の名称】 制御信号シーケンスの生成を伴う画像センサ

(57) 【特許請求の範囲】

【請求項1】

明確に決定されたシーケンスに従って、制御信号をピクセル (SEL、RES\_ND) および / または読み出し回路 (SHR、SHS) に印加するために、能動ピクセルの行および列の行列と、前記読み出し回路と、順序付け回路とを含む画像センサにおいて、前記順序付け回路が、

- プログラム可能アドレス指定可能メモリ (MEM) であって、バイナリワード (M0、M1、M2等) を含み、各ワードが位置 1 ~ N の数ビットの集合を含み、かつワード内のビットの位置 i が前記センサのピクセルおよび / または読み出し回路に対する一連の制御信号の中からのそれぞれの制御信号の位置 i に対応する、プログラム可能アドレス指定可能メモリ (MEM) と、
- メモリ制御装置 (CTRL\_MEM) であって、前記画像センサの動作シーケンスの開始と終了とをそれぞれ定義する、開始アドレスから終了アドレスまで、前記メモリの連続的なアドレスに位置する前記ワードを、一定のクロック速度で前記メモリから抽出するためのメモリ制御装置 (CTRL\_MEM) と、
- 制御信号生成回路 (GEN\_TIMING) であって、前記制御装置によって前記メモリから抽出されるそれぞれの位置 i のビットの前記一定のクロック速度での連続から位置 i の各制御信号を確立し、前記制御信号が前記ビットの値に従って第 1 の値または第 2 の値を有し、かつ前記ビットが値を変更するときに値を変更する、制御信号生成回路 (GEN\_TIMING) と

を含むことを特徴とし、

前記メモリが幾つかの領域を含み、各領域が確立されるべき制御信号のそれぞれの集合に対応し、前記順序付け回路がプログラム可能なレジスタを含み、前記レジスタの中へ、使用されるべき前記メモリ領域の開始を示す情報項目と、前記領域に対して使用されるべき連続したアドレスの数を示す情報項目とが書き込まれることをさらに特徴とする、画像センサ。

【請求項 2】

前記メモリ制御装置が 2 つの動作モードを含み、前記 2 つの動作モードがそれぞれ、前記センサが動作しているときに前記制御信号を確立するための利用モードと、確立されるべき前記制御信号に対応する前記バイナリワードを前記メモリに書き込むためのプログラミングモードとであることを特徴とする、請求項 1 に記載の画像センサ。

10

【請求項 3】

前記センサの外側から所望のプログラミングを実行するために、前記センサの外部のプロセッサと前記メモリ制御装置との間に通信を確立するための、プログラミングインターフェース回路 (INT\_\_PROG) を含むことを特徴とする、請求項 2 に記載の画像センサ。

【請求項 4】

同期制御回路 (Li\_\_SYNC) を含み、前記行列の全体的な動作に関連して、特に前記行列の前記行に対する読み出し速度に関連して、前記一連の制御信号の始動時点を確立することを特徴とする、請求項 1 ~ 3 のいずれか一項に記載の画像センサ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画像センサに関し、更に具体的には能動ピクセルマトリックスセンサに関する

【背景技術】

【0002】

画像センサは一般に、ピクセルの行および列の行列を含み、この行列において各ピクセルが受光素子（一般的にフォトダイオード）と幾つかの制御トランジスタまたはゲートとを含み、この制御トランジスタまたはゲートは、たとえば、ピクセルによって生成される信号を読み出すためにピクセルを選択したり、各統合周期において電荷蓄積ノードをリセットしたり、必要に応じてフォトダイオードをリセットしたり、統合継続期間の終わりにフォトダイオードから蓄積ノードへ電荷を移したりなどの異なる機能を有する。

30

【0003】

したがって、ピクセルは、他の複数の信号に関する各信号に対する非常に正確な時間シーケンスに従って、様々な制御信号を受け取る。時間シーケンスはフレーム周期に従って周期的に繰り返され、フレーム周期は、この周期にわたって行列の各ピクセルにおいて生成される光のレベルを示す情報の読み取りをもたらす。

【0004】

ピクセルからの信号は一般的に行ごとに読み出され、ある行のピクセルの全てが、行選択導体によって同時に選択される。この行と決定された列とに属するピクセルを選択することにより、このピクセルにおける光によって生成された電気信号レベルを、同じ列の全てのピクセルに共通の列導体上に移す。読み出し回路は、列ベースで、列導体によって受け取られたレベルの並列な読み出しをもたらす。ピクセルの行は、これらの読み出し回路によって逐次読み出されるために、連続的にアドレス指定される。これらの読み出し回路の制御信号は、ピクセル制御信号と同期され、たとえば、電荷蓄積ノードのリセット段階の後で、またはフォトダイオードから蓄積ノードへの電荷転送段階の後で、列導体上の電圧レベルをサンプリングする。したがって、これらの読み出し回路制御信号の生成は、ピクセルに対する内部制御信号の生成と同様の規則に従う。

40

【0005】

50

ここでの関心事項は、ピクセルに対する、および/または読み出し回路に対する制御信号の生成である。

【0006】

画像センサは少なくとも2つの異なるモードで動作することができ、それらのモードはそれぞれ以下の通りである。

- 「グローバルシャッタ」モード、このモードでは、光によって生成される電荷の統合の開始時点が全てのピクセルについて同一であり、統合継続期間 $T_i$ （必要な場合、調節可能）の後の電荷の統合の終了時点も全てのピクセルについて同一である。

- 「電子ローリングシャッタ」、またはERSモード、このモードでは、統合開始時点は各行に対して決定され、かつ1つの行から次の行へシフトし、統合継続期間 $T_i$ は全ての行に対して同一であり、したがって、統合終了時点は1つの行から次の行へシフトする。

10

【0007】

同一のセンサが上記の両方のモードで、または他のモードで、かつ、各々のモードで信号の順序付けの変化を伴って動作し得ることが時として望ましい。ピクセルおよび読み出し回路に対する様々な制御信号順序付けのオプションは、出来る限り容易に生成することができなければならない。

【0008】

現代のセンサでは、ピクセル制御信号および列ベース読み出し回路制御信号は、各信号に特有の順序付け回路によって確立される。レジスタが、各信号または信号部分に対して、開始時点および継続期間または終了時点を定義し、この開始時点および継続期間または終了時点は、基準クロックのクロックパルス数のカウントを参照して表現される。行の読み出しに関連付けられた信号についての開始時点は、周期的な行のサイクルを定義する行シーケンサによって定義されるゼロ時点に関連して定義することができる。これらのレジスタは、ピクセル行列および列ベース読み出し回路に印加される様々な信号を生成する状態マシンを制御する。

20

【0009】

特定の制御信号について、各信号に対して2つのレジスタで十分であることができ、これらのレジスタがそれぞれ、開始時点および終了時点または信号のアクティブレベルの継続期間を含む。他の信号について、たとえば、同一のサイクルにわたりアクティブレベルで幾つかのパルスを含む信号などは、たとえば4つまたは5つのレジスタなど、より多数のレジスタを必要とすることがある。

30

【0010】

概して言えば、ピクセルの読み出しのために必要とされる様々な信号を生成するために、数十のレジスタがセンサ中に設けられなくてはならず、これらのレジスタは、個別にプログラムされなくてはならない。

【発明の概要】

【課題を解決するための手段】

【0011】

センサの動作のために、特にピクセルおよび読み出し回路の動作のために必要とされる信号のプログラミングを容易にするために、かつ様々なモードで動作するのに適したセンサの設計を容易にするために、本発明は、明確に定義されたシーケンスに従って、制御信号をピクセルおよび/または読み出し回路に印加するために、能動ピクセルの行および列の行列と、読み出し回路と、順序付け回路とを含む画像センサにおいて、順序付け回路が、

40

- プログラム可能アドレス指定可能メモリであって、バイナリワードを含み、各ワードが位置1~Nの数ビットの集合を含み、かつワード内のビットの位置 $i$ がセンサのピクセルおよび/または読み出し回路に対する一連の制御信号の中からのそれぞれの制御信号の位置 $i$ に対応する、プログラム可能アドレス指定可能メモリと、

- メモリ制御装置であって、開始アドレスから終了アドレスまで、メモリの連続的なア

50

ドレスに位置するワードを、一定の速度でメモリから抽出するためのメモリ制御装置と、  
- 制御信号生成回路であって、制御装置によってメモリから抽出されるそれぞれの位置  
i のビットの連続から位置 i の各制御信号を確立し、制御信号がビットの値に従って第 1  
の値または第 2 の値を有し、かつビットが値を変更するときに値を変更する、制御信号生  
成回路とを含むことを特徴とする、画像センサを提案する。

【0012】

メモリ制御装置は 2 つの動作モードを含み、それらはそれぞれ、センサが動作している  
ときに制御信号を確立するための利用モードと、確立されるべき制御信号に対応するバイ  
ナリワードをメモリに書き込むためのプログラミングモードとである。センサは、センサ  
の外側から所望のプログラミングを実行するために、センサの外部のプロセッサとメモリ  
制御装置との間に通信を確立するための、プログラミングインターフェース回路を含む。

10

【0013】

センサは更に好ましくは同期制御回路を含み、この回路は、ピクセル行列の全体的な動  
作に関連して、特に行列の行に対する読み出し速度に関連して、一連の制御信号の始動時  
点を確立する。この回路は、たとえばピクセルの行における電荷統合サイクルの開始時、  
またはピクセルのメモリノードのリセットで始まる実際の読み出しサイクルの開始時など  
、一連の制御信号の始動時点を確立することができる。同期回路は、ピクセルの各行につ  
いて更新される周期的な始動時点を確立することができる。同期回路が、所与の時点でど  
れが確立されるべき一連の制御信号であるかも決定し、順序付け回路が、制御信号の様々  
な連続を生成するのに適していることが好ましい。

20

【0014】

メモリは幾つかの領域を含むことができ、各領域は確立されるべき制御信号のそれぞ  
れの集合に対応し、順序付け回路がプログラム可能なレジスタを含み、このレジスタの中へ  
、各集合について、使用されるべきメモリ領域の開始を示す情報項目と、この領域に対し  
て使用されるべき連続したアドレスの数を示す情報項目とが書き込まれる。生成されるべ  
き制御信号の集合に依存して、かつ同期回路の制御の下に、メモリ制御装置が、使用され  
るべき一連のアドレスを基準クロックの周波数でメモリに送信する。

【0015】

最後に、順序付け回路が幾つかのプログラム可能なメモリを含み、そのメモリの各々が  
関連付けられた制御装置と関連付けられた制御信号生成回路とを有するようにされ得る。  
これらの集合の各々は、幾つかの制御信号のそれぞれの連続に（または幾つかの制御信号  
の連続の集合に）充当されている。様々な連続が部分的に、ピクセル行列または読み出し  
回路の同一の制御線を意図し得ることを考慮して、マルチプレクサが、様々な生成回路に  
よって生成された信号をセンサのそれぞれの制御線に向けることを提供する。

30

【0016】

米国特許出願公開第 2007/0146523 号明細書では、信号発生器について記載  
されており、この信号発生器は、制御信号の所望のレベルを定義するデータを記憶するメ  
モリと、制御信号のレベルを表す新規のワードがデータメモリから抽出されるべき瞬間を  
定義する移行の瞬間を記憶するメモリとを含む。

【0017】

本発明の他の特徴および利点が、添付の図面への参照を考慮して以下の詳細な説明を読  
むことで明らかになるであろう。

40

【図面の簡単な説明】

【0018】

【図 1】画像センサに組み込まれた、本発明に従う順序付け回路を示す。

【図 2】6 つの制御信号の連続を含む、例示的な制御信号シーケンスを表す。

【図 3】4 2 個のクロックパルスの継続期間にわたり、クロック周波数の速度で、これら  
の信号を論理値にブレイクダウンしたものを表す。

【図 4】信号のシーケンスを確立するためのプログラム可能メモリの内容を表す。

【図 5】幾つかのプログラム可能メモリと幾つかの制御信号生成回路とを用いたアーキテ

50

クチャを表し、制御信号が、ピクセル行列に印加される前に多重化されている。

【発明を実施するための形態】

【0019】

図1においては、画像センサのピクセル行列も、光の効果を通じてピクセルによって生成される信号を収集するための、かつこれらの信号をデジタル形式に変換するための読み出し回路も表わされていない。本発明に従う順序付け回路の原理のみが示されており、この原理は、ピクセルの各列の基部においてピクセル行列を意図したおよび/または読み出し回路を意図した一連の制御信号を確立する。

【0020】

順序付け回路は、以下の主な項目：

- アドレス指定可能でプログラム可能なメモリMEMと、
- データをメモリに書き込み、かつメモリからデータを抽出するためにメモリを制御する、メモリ制御装置CTRL\_\_MEMと、
- 一定の周波数でメモリから抽出されるデータを用いて一連の制御信号を生成するための生成回路GEN\_\_TIMINGと、
- メモリの内容をプログラムするためにメモリ制御装置を制御するためのプログラミングインターフェース回路INT\_\_PROGと

を含む。

【0021】

同期回路Li\_\_SYNCが、順序付け回路によって生成された制御信号がセンサの一般的な動作の速度と合致するようにするために、センサの一般的な動作に対する順序付け回路の同期を管理する。この同期回路は、同期信号SYNCと、一連の制御信号が生成を開始しなくてはならない時点とを定義するパルスとを特に送信する。この回路Li\_\_SYNCは、ピクセル行列の動作をより全体的に確立するセンサの一般的なシーケンサ、たとえば、フレーム周期、統合時間、行周期等を定義するシーケンサなどの一部を形成することができる。

【0022】

メモリMEMは、アドレス指定可能なダイナミックRAMメモリであり、このメモリはワードを含み、このワードに対して、ビットの数（たとえば、10または16）が、同時に生成することができる制御信号の最大数を定義する。メモリ内のワードの数は、同時にまたは別々に生成することができる制御信号の長さに関係している。メモリは幾つかの領域を含むことができ、各々の領域が制御信号の所与の連続に対応している。

【0023】

メモリ制御装置CTRL\_\_MEMは、プログラミングモードおよび利用モードの2つのモードで動作する。プログラミングモード（信号PROG\_\_MODEがアクティブ）では、このメモリ制御装置は、アドレスとこれらのアドレスに書き込まれるべきデータとをメモリに供給するために使用される。利用モードでは、このメモリ制御装置は、基準クロックCLKによって与えられる一定のクロック速度で、機能的シーケンスの開始アドレスと機能的シーケンス（ピクセル読み出しシーケンスなど）の終了アドレスとの間の一連の連続的なアドレスを、メモリに供給するために使用される。このために、このメモリ制御装置は、所与のシーケンスに対する開始アドレスAM\_\_Offsetとアドレスの数L\_\_COUNTとを含む、プログラム可能なレジスタを含む。最も単純な場合では、メモリが制御信号の1つの連続のみに対するデータを格納する場合、開始アドレスはメモリの第1アドレスA0になる。メモリの異なる領域に含まれている、生成されるべき信号の幾つかの連続がある場合については、制御装置は、生成されるべき連続に関連付けられた複数の開始アドレスAM\_\_Offsetおよび複数の長さL\_\_COUNTを使用する。

【0024】

プログラミングインターフェース回路INT\_\_PROGは外部通信回路であり、この外部通信回路は、メモリMEMをプログラミングするために、センサ、より具体的には制御回路CTRL\_\_MEMに外部プロセッサと通信させる。このプログラミングインターフェ

10

20

30

40

50

ース回路は、このプログラミングに対して必要とされる信号を確立する（クロックCLK\_\_PROG、メモリ選択CS、読み出し/書き込み選択R/W、プログラミングモード信号PROG\_\_MODE、アドレスADD\_\_PROG、およびメモリに書き込まれるべき、または書き込み動作をチェックするためにメモリ内で読み出されるべきデータDATA\_\_PROG）。インターフェース回路はまた、連続したアドレスの明確に決定された組をメモリに適用するために、メモリ制御装置において必要とされるアドレスオフセット値（AM\_\_Offset）と、アドレス指定シーケンス長値（L\_\_COUNT）とをレジスタに記録する。

#### 【0025】

最後に、制御信号生成回路GEN\_\_TIMINGが利用モードで動作する。この回路は、一定の速度でメモリから抽出されたデータを受信し、かつ、クロック信号CLKおよび回路同期信号Li\_\_SYNCも受信する。クロック速度で位置1のビットの連続が、第1の論理制御信号を生成する。位置2のビットの連続が第2の信号を生成する、などである。図1において、8つの制御信号出力が表わされており、それらの中には6つの信号SEL、SHR、SHS、TRA、RES\_\_ND、EN\_\_PIXが含まれており、これらは例として与えられ、これらについては次の図面を参照して以降で説明する。

10

#### 【0026】

図2は、メモリMEMの内容から本発明に従って生成されることが望まれている一連の制御信号の例を表している。図3は、これらの様々な信号の論理遷移の間に存在し得る間隔を明確に識別するのに十分であるように決定された基準クロック速度で、バイナリ値の連続の形式で、これらの信号を置き換えたものを表している。図4は、制御信号の生成を可能にするメモリMEM中にプログラムされなくてはならない内容のテーブルを表している。これらの図は、単に例として与えられ、同じ原理に沿って、信号の他の連続を明らかに生成することもできる。この例は、ピクセルの行に対する従来の読み出しシーケンスに現実的に対応する。信号は、高論理レベルでアクティブである。

20

#### 【0027】

この例では、ピクセルは、フォトダイオードと、フォトダイオードによって生成される電荷を格納するためのノードとを含む、公知の構造を有する。読み出さなくてはならないピクセル（実際には、所与の行の全てのピクセルを同時に）が、信号SELによって選択される。この信号SELは、ピクセルの一部を形成するフォロワトランジスタを介して、蓄積ノードの電位を、所与の列のピクセルに共通の列導体に転送する。列導体が、信号EN\_\_PIXの制御下で電流を供給され、この信号EN\_\_PIXは、フォロワトランジスタへの電流の通過を許可し、かつ、フォロワトランジスタがその電圧フォロワ機能を実行することを可能にする。電荷蓄積ノードは、制御信号RES\_\_NDによって、まず基準電位にリセットされる。列導体の電位は、リセットされた蓄積ノードの電位を表し、次いで、列ベースにおける読み出し回路に対する制御信号である制御信号SHRによって読み出される。次いで、蓄積ノードは転送信号TRAの制御下でフォトダイオードによって生成された電荷を受け取る。列導体の電位は、このように充填された蓄積ノードの電位を表し、次いで、制御信号SHS（読み出し回路制御信号）によって読み出される。

30

#### 【0028】

このシーケンスに関連付けられ、かつ、列ベース読み出し回路に印加される、読み出し信号は、（リセット段階後の列導体の電位の読み出し回路におけるサンプリングのための）信号SHRと、（電荷転送段階後の列導体の電位の読み出し回路におけるサンプリングのための）信号SHSである。

40

#### 【0029】

したがって、この例では、6つの制御信号がある、すなわち、4つのピクセル制御信号（SEL、EN\_\_PIX、RES\_\_ND、TRA）および、2つの読み出し回路制御信号（SHR、SHS）である。他の例では、より多数の信号が存在し得る。

#### 【0030】

シーケンスは、 $t_0$ 時点と $t_f$ 時点との間に及び、これらの時点はそれぞれ機能的シー

50

ケンスの開始および終了を定義する。信号の幾つかは、アクティブレベルで1パルスのみを含み、他のものは2パルスを含む。更に他の信号は、示されていないが、2つより多くを含むことができる。

【0031】

これらの信号を確立するために選択された基準クロック速度は、クロックCLKによって与えられ、クロックCLKの周波数は、信号SEL、SHR、SHSの立ち下がりエッジと、転送信号TRAの立ち上がりエッジとの間の差(1クロック周期)を明確に示すのに十分である。

【0032】

各制御信号の低または高論理レベルが、各クロック周期(図示された例では、全体的なシーケンスに対して42周期)に対して定義される。

10

【0033】

図3は、 $t_0$ 時点と $t_F$ 時点の間で0~41で番号付けされた、クロックCLKの各周期に対する各信号の全ての論理レベルを表している。低または高論理レベルは、ビット値0または1によって表わされる。ここで42クロック周期は、完全な機能的シーケンスの継続期間を定義する。

【0034】

図4は、制御信号を生成するために、メモリMEM内に記録されなくてはならない内容を表す。この内容は、42個のアドレスの連続を含むテーブルの形式で表わされ、各アドレスに1つのワードが格納される。アドレスにはA0~A41の番号が振られ、各アドレスはそれぞれのクロック周期に対応し、アドレスの連続の順序はクロック周期の連続の順序に対応する。これらのアドレスの各々において格納されるワードは、M0~M41によって示される。

20

【0035】

バイナリワードは、シーケンス中で生成されるべき制御信号と同じビット数のみを少なくとも含む。この場合には6ビットが必要であり、メモリはたとえば10ビットのワードを含み、ワードの最後の4ビットはこの例では未使用のままである。ワード中のビットの位置*i*は、生成されるべき制御信号のうちの一つと直接的に関連しており、これは位置*i*信号と呼ばれる。

【0036】

したがって、全てのワードについて、位置1ビット(左から右へ進んで)は第1の制御信号SELを表し、位置2ビットは信号SHRを表し、位置3ビットは信号SHSを表し、位置4ビットは信号TRAを表し、位置5ビットは信号RES\_\_NDを表し、位置6ビットは信号EN\_\_PIXを表す。

30

【0037】

図3中の長方形を図4中の長方形にリンクさせている矢印は、所与の時点(この場合には、12と番号付けられたクロック周期)における信号の論理値と、この時点に対応するメモリアドレス(この場合はA12)に格納されているワードとの間の対応関係を表す。ワードは、ワードのアドレスに対応する決定されたクロック周期において、位置*i* = 1~Nの信号のバイナリ値で構成される。

40

【0038】

センサの使用中に制御信号を生成するために、A0~A41の連続したアドレスの全てが、 $t_0$ 時点からクロック速度CLKでメモリから抽出され、所与の位置の連続したビットが論理信号を生成するために使用され、この論理信号のレベルは連続したビットの値に対応して高い値と低い値との間で変動し、信号は、ビットが同じ論理値で互いに続く限り1つのレベルで一定のままであり、ビットが値を変更するときレベルを変更する。図2における様々な信号は、様々な位置のビットを用いて、このように再生される。これらの信号は、生成回路GEN\_\_TIMING内で生成され、生成回路GEN\_\_TIMINGは、クロック速度でメモリからデータを受け取り、かつ、ピクセル行列の全体的動作に対応して信号SYNCによって同期している。

50

## 【0039】

センサプログラミングモードでは、プログラミングインターフェース回路INT\_\_PROGがアクティブ信号PROG\_\_MODEを送信し、アクティブ信号PROG\_\_MODEはメモリがプログラムされなくてはならないことを制御装置に示す。プログラミングインターフェース回路は信号CSも送信し、信号CSは、とりわけ幾つかのメモリがある場合、選択されたのは確かにこのメモリであることを示す。プログラミングインターフェース回路は、制御装置がメモリ内で読み出さなくてはならないのかまたは書き込まなくてはならないのかを示す、R/W信号を供給する。最後に、プログラミングインターフェース回路は、読み出しまたは書き込みが必要であるアドレス(ADDR\_\_PROG)と、これらのアドレスに書き込むべきワード(DAT\_\_PROG)とを供給する。書き込みモードで信号R/Wがアクティブであるプログラミング動作は、全てのデータを書き込むことを必然的に伴い、次いで、信号R/Wが非アクティブになると、データを再読み込みし、書き込まれたデータが所望のデータであるか検証する。書き込み処理は周波数CLK\_\_PROGで実行され、周波数CLK\_\_PROGは読み出しモード周波数とは異なることができ、かつ、センサ利用モードでの基準クロックCLKの周波数とも異なることができる。

10

## 【0040】

センサ利用モードでは、プログラミングインターフェースは信号PROG\_\_MODEおよび信号R/Wに対して非アクティブな値を維持し、メモリ制御装置はメモリとのみ通信する。メモリ制御装置は、最初からまたは予めプログラムされたアドレスAM\_\_Offsetから開始し、やはり予めプログラムされたシーケンス長情報(クロック周期L\_\_COUNTの数)から計算されたアドレスに至るまでの連続したアドレスを、一定の速度(クロックCLK)でメモリに適用する。

20

## 【0041】

制御信号の1つの連続のみに対するセンサの動作について、上記で詳細に説明してきた。実際には、信号の幾つかの連続を確立する必要がある。幾つかのメモリ、幾つかのメモリ制御装置、および幾つかの信号生成回路が、図1のこれらのように提供され得る。必要に応じて、同期回路Li\_\_SYNCが、所与の時点で使用されなくてはならないこれらのグループのうちの1つまたは複数を選択する。同期回路は、対象の回路のグループに対して、毎回、シーケンス始動パルスを与える。様々なシーケンスをメモリに記録することができることを考慮すると、かつ、これらのシーケンスが共通の信号を使用し得ることを考慮すると、共通の信号、すなわち、同一の制御導線に印加されなくてはならない信号に対して、様々な生成回路GEN\_\_TIMINGの出力を多重化するようにされるであろう。

30

## 【0042】

図5は、結果として得られるシーケンス生成回路の一般的なアーキテクチャを表す。

【 図 1 】

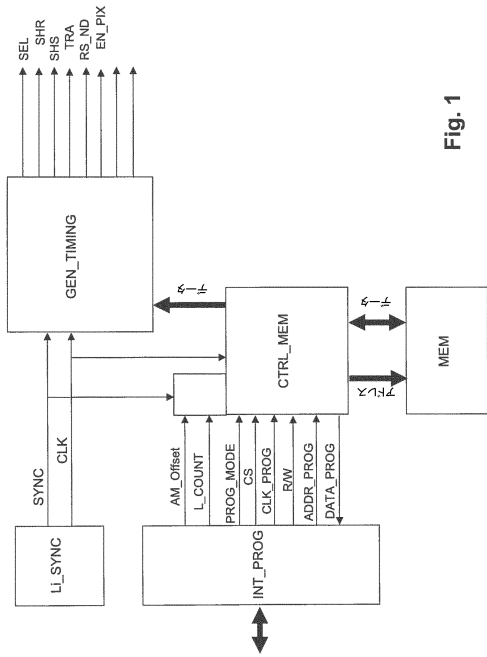


Fig. 1

【 図 2 】

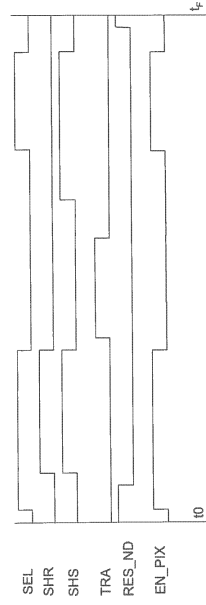


Fig. 2

【 図 3 】

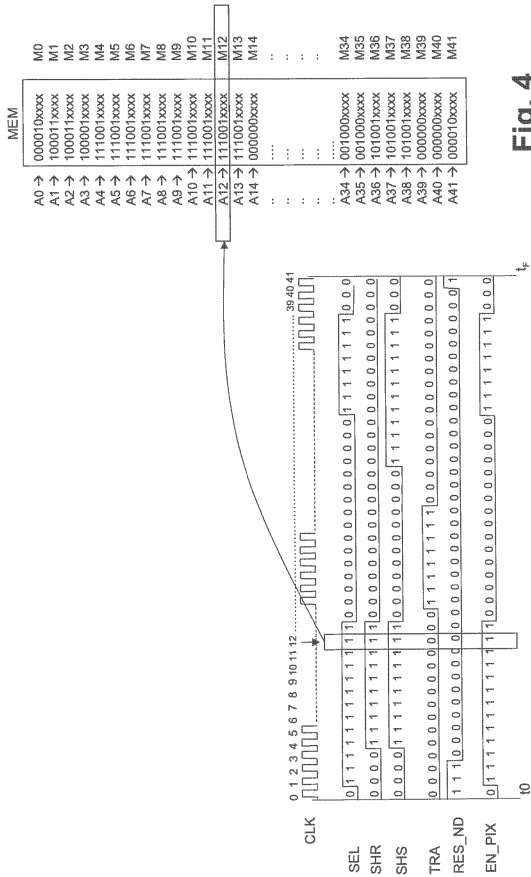


Fig. 4

Fig. 3

【 図 4 】

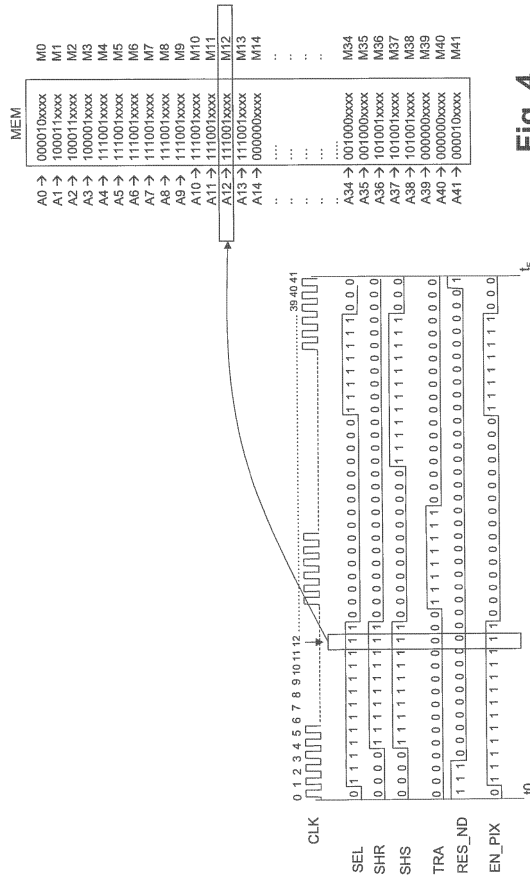


Fig. 4

Fig. 3

【 5 】

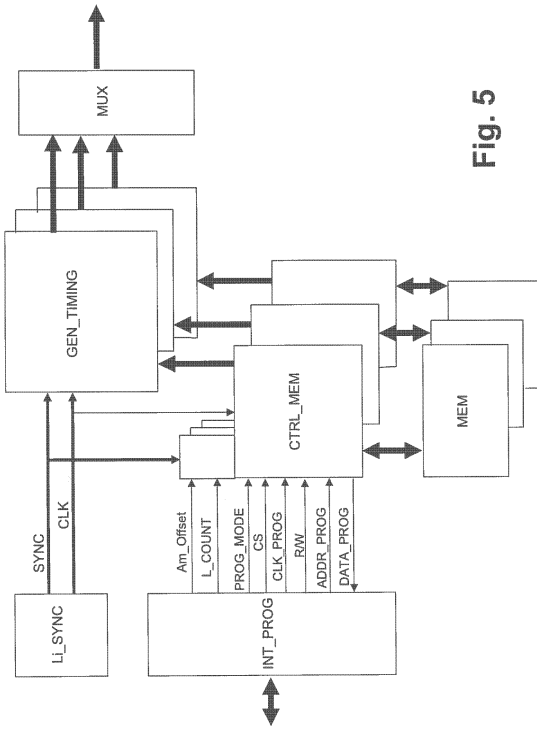


Fig. 5

---

フロントページの続き

(56)参考文献 特開昭63-061560(JP,A)  
特開2001-218117(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H04N 5/30-5/378