

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5325930号
(P5325930)

(45) 発行日 平成25年10月23日(2013.10.23)

(24) 登録日 平成25年7月26日(2013.7.26)

(51) Int.Cl.

F 1

H03F	1/26	(2006.01)	H 03 F	1/26	
H01L	27/095	(2006.01)	H 01 L	29/80	E
H01L	21/338	(2006.01)	H 01 L	29/80	H
H01L	29/778	(2006.01)	H 01 L	29/80	R
H01L	29/812	(2006.01)	H 01 L	29/06	3 O 1 F

請求項の数 2 外国語出願 (全 17 頁) 最終頁に続く

(21) 出願番号

特願2011-113609 (P2011-113609)

(22) 出願日

平成23年5月20日 (2011.5.20)

(65) 公開番号

特開2011-244459 (P2011-244459A)

(43) 公開日

平成23年12月1日 (2011.12.1)

審査請求日

平成23年8月1日 (2011.8.1)

(31) 優先権主張番号

61/346,757

(32) 優先日

平成22年5月20日 (2010.5.20)

(33) 優先権主張国

米国(US)

(31) 優先権主張番号

13/110,584

(32) 優先日

平成23年5月18日 (2011.5.18)

(33) 優先権主張国

米国(US)

前置審査

(73) 特許権者 592054856

クリー インコーポレイテッド

C R E E I N C .

アメリカ合衆国 ノースカロライナ州 2

7703 ダラム シリコン ドライブ

4600

(74) 代理人 110000855

特許業務法人浅村特許事務所

(72) 発明者 ジェレミー フィッシュヤー

アメリカ合衆国、ノースカロライナ、ロー

リー、グラッシャー クリーク プレース

10813

審査官 ▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 III族窒化物系高電子移動度トランジスタを含む低雑音増幅器

(57) 【特許請求の範囲】

【請求項 1】

基板と、

増幅すべき入力信号を受信する基板上の入力ポートと、

入力ポートに結合された基板上の第一のIII族窒化物系トランジスタであって、入力信号に対する第一低雑音増幅段を提供するように構成される第一のIII族窒化物系トランジスタと、

第一のIII族窒化物系トランジスタに結合された基板上の第二のIII族窒化物系トランジスタであって、入力信号に対する第二低雑音増幅段を提供するように構成される第二のIII族窒化物系トランジスタと、

第二のIII族窒化物系トランジスタに結合された基板上の出力ポートを含むモノリック・マイクロ波集積回路の低雑音増幅器であって、

第一のIII族窒化物系トランジスタは、約1mm未満のゲート・ペリフェリを有し、第二のIII族窒化物系トランジスタは、約1mmより大きなゲート・ペリフェリを有するモノリック・マイクロ波集積回路の低雑音増幅器。

【請求項 2】

請求項1記載のモノリック・マイクロ波集積回路の低雑音増幅器であって、第一及び第二のIII族窒化物系トランジスタは、III族窒化物系高電子移動度トランジスタを含むモノリック・マイクロ波集積回路の低雑音増幅器。

【発明の詳細な説明】

10

20

【技術分野】**【0001】**

(関連出願への相互参照)

本出願は、2010年5月20日出願の米国仮特許出願第61/346,757号、発明の名称「窒化ガリウムの高電子移動度トランジスタを含む低雑音増幅器」の利益とそれに基づく優先権を主張し、その開示の全体は参考により本明細書に援用される。

【0002】

(米国政府の権利)

本発明は、米国国防省により与えられた契約番号113805-D-6000の契約に基づき、米国政府の支援によりなされた。米国政府は、本発明に対して一定の権利を有する。

10

【0003】

本発明は、増幅器に関し、特に、低雑音増幅器に関する。

【背景技術】**【0004】**

低雑音増幅器(LNA)は、様々な応用に用いられる。特に、LNAは、受信RF信号を増幅するために、通信、レーダ、その他のRFシステムの受信機のフロント・エンド等の無線通信デバイスの受信機のフロント・エンドに用いられる。

【0005】

例えば、LNAは、SバンドRFモジュール又は受信機や、派生的応用(例えば、3G、4G、Wi-Fi、WiMax、デジタル放送受信機)を含むセルラー通信の基地局や、レーダ応用の受信機及びモジュールに用いてよい。

20

【0006】

一般的には、LNAは、高い線形性と入力電力耐性を伴って動作することが望ましい。さらに、LNAは、高電圧システムに組み込むことができる望ましい。

【発明の概要】**【課題を解決するための手段】****【0007】**

いくつかの実施例によるモノリシック・マイクロ波集積回路の低雑音増幅器は、基板と、増幅すべき入力信号を受信する基板上の入力ポートとを含んでいる。基板上の第一のIII族窒化物系トランジスタは、入力ポートに結合される。第一のIII族窒化物系トランジスタは、入力信号に対する第一増幅段を提供するように構成される。基板上の第二のIII族窒化物系トランジスタは、第一のIII族窒化物系トランジスタに結合される。第二のIII族窒化物系トランジスタは、入力信号に対する第二増幅段を提供するように構成される。本増幅器は、さらに、第二のIII族窒化物系トランジスタに結合された基板上の出力ポートを含んでいる。

30

【0008】

第一及び第二のIII族窒化物系トランジスタは、III族窒化物系高電子移動度トランジスタを含んでよい。

【0009】

第一及び第二のIII族窒化物系トランジスタの少なくとも一つは、フィールド・プレートを含んでよい。フィールド・プレートは、少なくとも一つのトランジスタのソース端子に電気的に接続される。いくつかの実施例において、前記フィールド・プレートは、前記少なくとも一つのトランジスタのゲート端子に電気的に接続されてよい。

40

【0010】

トランジスタは、さらに、第一のフィールド・プレートから電気的に絶縁された第二のフィールド・プレートを含んでよい。第二のフィールド・プレートは、前記少なくとも一つのトランジスタのソース端子に電気的に接続されてよい。

【0011】

モノリシック・マイクロ波集積回路の低雑音増幅器は、さらに、入力ポートと第一のII

50

I族窒化物系トランジスタとの間に結合された入力ネットワークと、第一のIII族窒化物系トランジスタと第二のIII族窒化物系トランジスタとの間に結合された段間ネットワークと、第二のIII族窒化物系トランジスタと出力ポートとの間に結合された出力ネットワークとを含んでよい。

【0012】

モノリシック・マイクロ波集積回路の低雑音増幅器は、さらに、第一のIII族窒化物系トランジスタのゲートに結合された第一のゲート・バイアス・ポートと、第一のIII族窒化物系トランジスタのドレインに結合された第一のドレイン・バイアス・ポートと、第二のIII族窒化物系トランジスタのゲートに結合された第二のゲート・バイアス・ポートと、第二のIII族窒化物系トランジスタのドレインに結合された第二のドレイン・バイアス・ポートとを含んでよい。10

【0013】

第一のIII族窒化物系トランジスタは、約1mm未満のゲート・ペリフェリ(periiphery)を有し、第二のIII族窒化物系トランジスタは、約1mmより大きなゲート・ペリフェリを有してよい。

【0014】

第一のIII族窒化物系トランジスタは、約0.72mmのゲート・ペリフェリを有し、第二のIII族窒化物系トランジスタは、約1.2mmのゲート・ペリフェリを有してよい。20

【0015】

増幅器は、2.6GHzから3.95GHzの範囲の周波数で25dBmより大きな3次インターフェース(Interface)を有してよい。さらに、増幅器は、2.6GHzから3.95GHzの範囲の周波数で3.0dB未満の雑音指数を有してよい。

【0016】

いくつかの実施例による低雑音増幅器は、第一のIII族窒化物系トランジスタと、第一のIII族窒化物系トランジスタに結合された第二のIII族窒化物系トランジスタとを含んでいる。第一のIII族窒化物系トランジスタは、入力信号に対する第一増幅段を提供するように構成され、第二のIII族窒化物系トランジスタは、入力信号に対する第二増幅段を提供するように構成される。30

【0017】

いくつかの実施例は、本明細書で説明するようにモノリシック・マイクロ波集積回路の低雑音増幅器を含むパッケージを提供する。本パッケージは、0.5平方インチ(3.23平方センチメートル)以下の設置面積を有してよい。

【図面の簡単な説明】

【0018】

本発明のより良い理解のために本出願に含まれ、本出願の一部を構成する添付図面は、本発明のいくつかの実施例を示す。

【0019】

【図1】いくつかの実施例によるGaN系HEMTモノリシック・マイクロ波集積回路の低雑音増幅器のブロック図。40

【図2】Aはいくつかの実施例に従って製造したGaN系HEMT低雑音増幅器のレイアウト図。Bはいくつかの実施例に従って製造したGaN系HEMT低雑音増幅器の回路図。

【図3A】いくつかの実施例による低雑音増幅器に用いることができるフィールド・プレートを含むGaN系HEMTの構造図。

【図3B】いくつかの実施例による低雑音増幅器に用いることができるフィールド・プレートを含むGaN系HEMTの構造図。

【図3C】いくつかの実施例による低雑音増幅器に用いることができるフィールド・プレートを含むGaN系HEMTの構造図。

【図3D】いくつかの実施例による低雑音増幅器に用いることができるフィールド・プレ50

ートを含むGaN系HEMTの構造図。

【図4】いくつかの実施例に従って製造した低雑音増幅器の雑音指数を図示するグラフ。

【図5】いくつかの実施例に従って製造した低雑音増幅器の出力3次インターセプトを図示するグラフ。

【図6】いくつかの実施例に従ってパッケージ化したデバイスの図。

【発明を実施するための形態】

【0020】

以下に、本発明の実施例を、本発明の実施例が示されている添付図面を参照してさらに十分に説明する。しかし、本発明は、多くの様々な形態で実施してよいので、本明細書に説明する実施例だけに限定されると考えるべきではない。むしろ、この開示事項が完全かつ完璧になり、本発明の範囲を当業者に十分に伝達するように、これらの実施例が提供されている。全体を通して同じ番号は同じ要素を指す。

10

【0021】

「第1の」、「第2の」等の用語はここでは様々な要素を説明するために用いられるが、これらの要素はこれらの用語によって限定されるべきではない、ということは理解されよう。これらの用語は1つの要素を他の要素から区別するためだけに用いられる。例えば、本発明の範囲から逸脱することなしに、第1の要素は、第2の要素ということもでき、同様に、第2の要素は、第1の要素ということもできる。本明細書では、「及び／又は」という用語は、関連して列挙されたものの一つ以上の任意及び全ての組み合わせを含んでいる。

20

【0022】

本明細書に使用される専門用語は、特定の実施形態を説明するためのみのものであり、本発明を限定することを意図していない。本明細書では、単数形は、文脈により明示されない限りは、複数形も含むことを意図する。さらには、用語「含む」は、本明細書で使用される場合には、記載されている特徴、数、ステップ、動作、要素、及び／又は構成要素の存在を特定するが、他の特徴、数、ステップ、動作、要素、構成要素、及び／又はそのグループのうち一つ以上の存在又は付加を除外しない。

【0023】

別段の定義がない限り、本明細書で使用するすべての用語（技術用語及び科学用語を含む）は、本発明が属する当業者が一般的に理解するのと同じ意味を有する。本明細書で使用する用語は、本明細書及び関連技術の文脈におけるそれらの意味と整合する意味に解釈すべきで、本明細書で明確に定義されない限り、非現実的な又は過度に形式的な意味に解釈すべきでない。

30

【0024】

いくつかの実施例は、III族窒化物系高電子移動度トランジスタ（HEMT）を用いたモノリシック・マイクロ波集積回路（MMIC）として形成した2段低雑音増幅器（LNA）を提供する。III族窒化物系HEMTを組み込むことにより、いくつかの実施例による回路／デバイスは、2.3GHzから4.5GHzの周波数範囲で、3.0dB未満の雑音指数及び／又は25dBより大きな出力TOI（3次インターセプト）を達成できる。いくつかの実施例において、いくつかの実施例による回路／デバイスは、2.6GHzから3.95Hzの周波数範囲で、2.0dB未満の雑音指数及び／又は35dBより大きな出力TOI（3次インターセプト）を達成できる。さらに、いくつかの実施例において、いくつかの実施例による回路／デバイスは、3.0GHzから3.5GHzの周波数範囲で、2.0dB未満の雑音指数及び／又は35dBより大きな出力TOI（3次インターセプト）を達成できる。いくつかの実施例において、いくつかの実施例による回路／デバイスは、2.5GHzより高い周波数で、1.75dB未満の雑音指数を達成できる。さらに、いくつかの実施例において、いくつかの実施例による回路／デバイスは、2.5GHzから3.75GHzの周波数範囲で38dBより大きな出力TOI（3次インターセプト）を達成できる。

40

【0025】

50

III族窒化物とは、窒素と、周期律表のIII族の元素、通常は、アルミニウム(Al)、ガリウム(Ga)及び/又はインジウム(In)とで形成された半導体化合物をいう。また、この用語は、AlGaN及びAlInGaN等の三元及び四元化合物も指す。簡単化のため、III族窒化物系の構造を、以下、「GaN系」構造という。

【0026】

従来、GaNトランジスタは、一般的に、良好な雑音特性を有していないため、GaN系HEMTを、低雑音増幅器のトランジスタとして用いることは、良い選択であるとは考えられていなかった。例えば、従来、GaNは、高周波低雑音増幅器で用いられるGaaS及び/又はInP等の他の半導体材料に比べて雑音特性が劣っている。しかし、これらの材料を用いて形成したトランジスタは、GaN系トランジスタほどの高い入力電力耐性を有していない。従って、GaN系低雑音増幅器の雑音指数を、許容しうる大きさに抑えることができるならば、GaN系トランジスタを用いて低雑音増幅器を作製することが望ましい。

【0027】

いくつかの実施例において、GaN系HEMTを含む低雑音増幅器は、高い3次インターセプト(TOI)特性、高いP1dB特性、及び/又は高い入力電力耐性を同時に達成しながら、低い雑音指数を達成することができる。実際に、本発明の実施例による回路/デバイスは、より高いTOIを達成する、あるいは、他の周波数帯域に対応するよう調整できる。

【0028】

いくつかの実施例によるLNAにGaN系HEMTを用いることにより、他の材料技術で利用可能なものに比べて、より優れたTOI及び飽和電力をも提供しながら、良好な雑音指数特性を提供する。これはより大きなダイナミックレンジをもたらし、システム・インテグレーションを容易にするかもしれない。また、GaN系HEMTは、より良好な入力電力耐性も有しているため、入力保護回路を組み込む必要性がより低く、その結果、システム全体の性能を向上できる。GaN系HEMTは、より高い降伏電圧を有しており、通常は、他の材料技術を用いて形成したトランジスタより高い電圧バイアスがかけられるため、より高い電圧の電源を用いることができ、その結果、いくつかのシステムにおいては、システム化がより容易であり、システム全体の電力効率を向上することもできる。

【0029】

いくつかの実施例において、2段MMIC増幅器は、約1mm未満のゲート・ペリフェリを有する第一段トランジスタと、約1mmより大きなゲート・ペリフェリを有する第二段トランジスタとを含んでいる。特に、このMMIC増幅器は、フィールド・プレートを有するAlGaN/GaN系HEMTトランジスタを含む0.72mmの第一段と1.2mmの第二段とを含んでいる。通常、フィールド・プレートを用いるトランジスタ・デバイスは、フィールド・プレートの存在により、(ゲート・ソース間の)入力キャパシタンスが大きくなるため、低雑音増幅器としては良い選択といえず、増幅器の雑音指数が大きくなるかもしれない。しかし、トランジスタ内の一つ以上のフィールド・プレートは、増幅器内の他のパラサイト(parasites)を抑制することができ、その結果、増幅器の雑音指数を向上させることができることが見出された。

【0030】

いくつかの実施例によるGaN系MMICは、入力及び出力を、50オームのインピーダンスに一致させ、各段で、分離したDCバイアス入力を有してよい。

【0031】

図1は、いくつかの実施例によるデバイスのブロック図である。図1に示すように、モノリシック・マイクロ波集積回路(MMIC)100は、入力ネットワーク112と、第一段のGaN系HEMT Q1と、段間ネットワーク114と、第二段のGaN系HEMT Q2と、出力ネットワーク116とを含んでいる。

【0032】

図2Aは、いくつかの実施例に従って製造したGaN系HEMT低雑音増幅器100の

10

20

30

40

50

レイアウト図であり、図2Bは、いくつかの実施例に従って製造したGaN系HEMT低雑音増幅器100の回路図である。

【0033】

図2A及び図2Bにおいて、いくつかの実施例によるGaN系MMIC100は、AlN等の基板120、金属コアPCB、又は同様のものを含み、この上には、第一及び第二のGaN系トランジスタQ1、Q2が設けられる。第一のGaN系トランジスタQ1は、0.72mmのゲート・ペリフェリを有し、一方、第二のGaN系トランジスタQ2は、1.2mmのゲート・ペリフェリを有してよい。第一及び第二のGaN系トランジスタQ1、Q2は、共に、フィールド・プレートを有するAlGaN/GaN系HEMTトランジスタでよい。特に、第一のGaN系トランジスタQ1は、型式G28V3のトランジスタであり、第二のGaN系トランジスタQ2は、型式G28V3のトランジスタでよく、両方とも、本発明の出願人である、ノースカロライナ州ダーハム(Durham)のクリー(Cree)社製である。

【0034】

分離したDCバイアス・パッドVG1、VG2、VD1、VD2が、2つのトランジスタのために基板120上に設けられている。DC阻止キャパシタCG1、CD1、CG2、CD2は、DCバイアス・パッドVG1、VG2、VD1、VD2を、接地から分離するとともに、RFチョーク・インダクタLG1、LD1、LG2、LD2が、DC入力からのRF雑音を除去する。

【0035】

RF信号入力パッドRF_INは、増幅すべき入力RF信号を受ける。入力信号は、入力キャパシタCIN及び入力インダクタLINにより濾波され、第一トランジスタQ1のゲートに印加される。ドレインDCパッドVD1から、第一トランジスタQ1のドレインにドレイン・バイアスが印加される一方、ゲートDCパッドVG1から、第一トランジスタのゲートにゲート・バイアスが印加される。第一トランジスタQ1のソースは、ソース・インダクタLS1を介して、接地に結合される。段間ネットワーク114は、キャパシタを含むものであってよく、第一トランジスタQ1のドレインを、第二トランジスタQ2のゲートに接続する。

【0036】

ドレインDCパッドVD2から、第二トランジスタQ2のドレインにドレイン・バイアスが印加される一方、ゲートDCパッドVG2から、第二トランジスタのゲートにゲート・バイアスが印加される。第二トランジスタQ2のソースは、ソース・インダクタLS2を介して、接地に結合される。第二トランジスタQ2の出力は、出力インダクタLOUT及び出力キャパシタCOUTにより濾波され、出力端子RF_OUTに出力される。

【0037】

本発明の実施例に用いられてよいGaN系HEMT構造は、以下の文献に開示されており、各々の内容は、本明細書に全てが記載されているものとして参照により本明細書に援用される。

米国特許第6,849,882号公報、発明の名称「障壁/スペーサ層を有するIII族窒化物系高電子移動度トランジスタ(HEMT)」、2005年2月1日。

米国特許第7,230,284号、発明の名称「絶縁ゲートAlGaN/GaN·HEMT」、2007年6月12日。

米国公開第2007/0059873号公報、発明の名称「単一又は複数ゲートフィールド・プレートの製造」、2007年3月15日。

米国特許第7,550,783号公報、発明の名称「ソースに接続されたフィールド・プレートを有するワイド・バンドギャップHEMT」、2009年6月23日。

米国公開第2006/0202272号公報、発明の名称「ゲート-ソース・フィールド・プレートを有するワイド・バンドギャップ・トランジスタ」、2006年9月14日。

米国特許第7,501,669号公報、発明の名称「フィールド・プレートを有するワ

10

20

30

40

50

イド・バンドギャップ・トランジスタ・デバイス」、2009年3月10日。

米国特許第7,126,426号公報、発明の名称「フィールド・プレートを有するワイド・バンドギャップ電界効果トランジスタを含むカスケード増幅器の構造」、2006年10月24日。

米国特許第7,573,078号公報、発明の名称「複数のフィールド・プレートを有するワイド・バンドギャップ・トランジスタ」、2009年8月11日。

米国特許第6,316,793号公報、発明の名称「半絶縁炭化珪素基板上の窒化物系トランジスタ」、2001年11月13日。

米国特許第6,586,781号公報、発明の名称「トラッピング(trapping)の少ないIII族窒化物系FET及びHEMTとその製造方法」、2003年7月1日。10

米国特許第6,548,333号公報、発明の名称「窒化ガリウム系キャップ・セグメント上にゲート・コンタクトを有する窒化アルミニウム・ガリウム/窒化ガリウムの高電子移動度トランジスタ」、2003年4月15日。

米国公開第2002/0167023号公報、発明の名称「障壁/スペーサ層を有するIII族窒化物系高電子移動度トランジスタ(HEMT)」、2002年11月14日。

米国公開第2003/00020092号公報、発明の名称「絶縁ゲートAlGaN/GaN・HEMT」、2003年1月30日。

【0038】

図3A乃至3Dは、いくつかの実施例による低雑音増幅器に用いることができるフィールド・プレートを含むIII族窒化物系HEMT構造を図示している。20

【0039】

図3Aにおいて、HEMT10は、炭化珪素、サファイア、スピネル、酸化亜鉛、珪素、窒化ガリウム、窒化アルミニウム、若しくは任意の他の材料、又はIII族窒化物材料の成長を促進する材料の組合せから作製することができる基板12を含んでいる。HEMT10の基板12と次の層との間の格子不整合を抑制するために、基板12上に核形成層14を形成することができる。核形成層14は、概ね1000オングストロームの厚さでよいが、その他の厚さでも可能である。核形成層14は、好適な材料として $A_{1-z}G_{z}$ ₁-_zN(0_z1)等の多くの様々な材料を含むことができ、有機金属化学蒸着法(MOCVD)、水素化物気相エピタキシー法(HVPE)、分子線エピタキシー法(MBE)等の既知の半導体成長技術を用いて基板12上に形成することができる。30

【0040】

基板12は、好適な基板として炭化珪素の4Hポリタイプ等の多くの様々な材料から作製することができるが、3C、6H及び15Rポリタイプを含むその他の炭化珪素ポリタイプを用いることもできる。炭化珪素は、サファイアに比べて、III族窒化物により近い結晶格子整合を有しており、結果として、より高品質のIII族窒化物膜を形成できる。また、炭化珪素は、極めて高い熱伝導率を有するため、炭化珪素上のIII族窒化物デバイスの全出力電力は、基板の(サファイア上に形成したいくつかのデバイスでの場合に見られるような)熱散逸の制約を受けない。また、炭化珪素基板が利用できることにより、デバイスの分離と寄生キャパシタンスの抑制の能力が提供され、市販デバイスが実現可能となる。好適なSiC基板は、ノースカロライナ州ダーハム(Durham)のクリー(Cree)社から市販されている。40

【0041】

核形成層14の形成は、基板12に用いる材料に依存する。例えば、様々な基板に核形成層14を形成する方法は、米国特許第5,290,393号公報及び第5,686,738号公報に開示されており、各々は、本明細書に全てが記載されているものとして参照により本明細書に援用される。炭化珪素基板上に核形成層を形成する方法は、米国特許第5,393,993号公報、第5,523,589号公報及び第5,739,554号公報に開示されており、各々は、本明細書に全てが記載されているものとして参照により本明細書に援用される。

【0042】

さらに、HEMT 10は、核形成層14上に形成された高抵抗バッファ層16を含んでいる。バッファ層16は、ドープされたあるいはドープされていないIII族窒化物材料の層を含むことができ、好適なバッファ層16としては、 $Al_xGa_yIn_{1-x-y}N$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x+y \leq 1$)等のIII族窒化物から作製される。また、バッファ層16としては、概ね2ミクロン(μm)の厚さで、バッファ層の一部に、Fe等の遷移元素を多量に添加したGaN等の他の材料を用いることもできる。

【0043】

バッファ層16上には、障壁層18が形成され、障壁層18と核形成層14との間にバッファ層16がサンドイッチされる。バッファ層16と同様に、障壁層18は、ドープされたあるいはドープされていないIII族窒化物材料の層を含むことができる。障壁層は、 $Al_xGa_{1-x}N$ からなる一つ以上の層から作製することができ、ここで、xは、0から1の範囲であり、障壁層18が傾斜層となるように、xは深さの関数とすることができる。2次元電子ガス(2DEG)チャネル層26が、バッファ層16と障壁層18との間のヘテロ界面に誘発され、バッファ層16、2DEGチャネル層26及び障壁層18は、一般的に、HEMTの活性領域を形成する。

【0044】

バッファ層16及び障壁層18は、核形成層14を成長させるのに用いるものと同一の方法を用いて作製することができる。デバイス間の電気的分離は、メサ・エッチ又はHEMTの活性領域外へのイオン注入により実現することができる。

【0045】

金属のソース電極20及びドレイン電極22は、障壁層18と接触して形成され、ゲート24は、ソース電極20とドレイン電極22との間の障壁層18の上に形成される。ゲート24が適当なレベルにバイアスされた際に、電流が、バッファ層16と障壁層18との間の2DEGチャネル層26を通り、ソース電極20とドレイン電極22との間に流れることができる。ソース電極20及びドレイン電極22の形成方法については、上記特許公報と公開公報において詳細に説明されている。

【0046】

ソース電極20及びドレイン電極22は、チタン、アルミニウム、金又はニッケルの合金を含む様々な材料で作製することができるが、それに限定されない。また、ゲート24は、金、ニッケル、プラチナ、チタン、クロム、チタン及びタングステンの合金、又は珪化プラチナを含む様々な材料で作製することができるが、それに限定されない。ゲート24は、多くの様々な長さ(L_g)を有することができ、その好適なゲート長さは、0.1ミクロン(μm)から2.0ミクロン(μm)の範囲であるが、その他のゲート長さを用いることもできる。いくつかの実施例において、ゲート長さ(L_g)は、概ね0.5ミクロン(μm)でよい。

【0047】

第一の非導電性スペーサ層28が、ゲート24、ならびに、ゲート24とソース電極20及びドレイン電極22との間の障壁層18の表面の少なくとも一部を覆うように形成される。図3Aに示すように、スペーサ層28は、ゲート24とソース電極20及びドレイン電極22との間の障壁層18の全部を覆う。スペーサ層28は、誘電体層、又は複数の誘電体層の組合せを含むことができる。SiN、SiO₂、Si、Ge、MgOx、MgNx、ZnO、SiNx、SiOx、又はそれらの合金若しくは層構造等の様々な誘電体材料を用いることができる。スペーサ層は、多くの様々な厚さにでき、その厚さの好適な範囲は、概ね0.03ミクロン(μm)から0.5ミクロン(μm)である。

【0048】

第一のフィールド・プレート32が、ゲート24を覆うスペーサ層28上に形成され、第一のフィールド・プレートは、スペーサ層28上で、ドレイン電極22の方向に、長さ L_{fd} だけ伸びており、また、ソース電極20の方向に、長さ L_{fs} だけ伸びている。スペーサ層28は、第一のフィールド・プレート32と、障壁層18及びゲート24との間の絶縁を提供するように配置されており、そのため、スペーサ層28は、第一のフィール

10

20

30

40

50

ド・プレート32の下の、ゲート24及び障壁層18を覆うだけでよい。しかし、製造を容易するために、通常、スペーサ層は、障壁層18全体を覆う。長さ L_{fd} は、0.1ミクロン(μm)から5ミクロン(μm)の好適な範囲にある様々な長さにできる。同様に、長さ L_{fs} は、0.1ミクロン(μm)から2ミクロン(μm)の好適な範囲にある様々な長さにできる。他の実施例において、フィールド・プレートは、連続していなくてもよく、必要に応じて、孔や途切れを有することができる。

【0049】

フィールド・プレート32は、多くの様々な導電性材料を含んでいてもよく、その好適な材料としては、標準的なメタライゼーション方法を用いて沈着した金属がある。本発明による一実施例において、フィールド・プレート32は、以下に説明するように、それが電気的に接続されるものと同一の金属を含んでいる。10

【0050】

第一のフィールド・プレート32は、ソース電極20又はゲート24のいずれかに電気的に接続することができる。例えば、第一のフィールド・プレート32は、HEMT10の活性領域外を通りソース電極20に接続された導電性の経路(不図示)を介して、ソース電極20に電気的に接続することができる。

【0051】

図3Bは、図3AのHEMT10に類似のものではあるが、第一のフィールド・プレート32の少なくとも一部を覆って形成された第二の非導電性スペーサ層42を含むHEMT40を示し、この第二のスペーサ層42は、図示したように、第一のフィールド・プレートと、第一のスペーサ層28の露出した表面とを覆う。第二のスペーサ層42は、第一のスペーサ層28と同一の材料又は同一の材料層で形成することができ、合計で0.05ミクロン(μm)から2ミクロン(μm)の範囲の厚さを有することができる。20

【0052】

さらに、第二のフィールド・プレート44は、第二のスペーサ層42上に沈着することができる。本発明による様々な第二のフィールド・プレートにより、様々な範囲を覆うことができ、図示するように、第二のフィールド・プレート44はゲート24に重なり合っている。本発明による他の第二のフィールド・プレートは、ゲート24の端と、第二のフィールド・プレートの開始端との間に空隙を有することができる。第二のフィールド・プレート44の他の部分は、ゲート24の端から、ドレイン・コンタクト22に向けて、長さ L_{fd2} だけ伸びており、この長さは、0.2ミクロン(μm)から5ミクロン(μm)の範囲にできる。第二のスペーサ層42が、第一のフィールド・プレート32とスペーサ層28の全体より狭い範囲を覆う実施例では、第二のスペーサ層42は、第一のフィールド・プレート32を十分に覆うことにより、第一のフィールド・プレート32と第二のフィールド・プレート44との間の電気的分離を確保する必要がある。30

【0053】

第二のフィールド・プレート44は、ソース電極20又はゲート24に接続され、また、多くの様々な接続構造を用いることができるが、その詳細は、上記米国特許第2006/0202272号公報に説明されている。

【0054】

第二のフィールド・プレート44を沈着し、それとソース電極20とを接続後、窒化シリコン等の誘電体パッシベーション層(不図示)により、活性構造を覆うことができる。誘電体パッシベーション層を形成する方法は、上記特許公報及び公開公報に詳細に説明されている。また、図3AのHEMT10は、スペーサ層及びフィールド・プレートの形成後に、誘電体パッシベーション層により覆うこともできる。

【0055】

図3Cは、本発明によるHEMT60の別の実施例を示すものであり、HEMT10に類似の多くの特徴を有しており、類似の特徴に関しては同一の参照番号を用いている。HEMT60は、基板12、核形成層14、バッファ層16、障壁層18、ソース電極20、ドレイン電極22、ゲート24、及び2DEGチャネル層26を含んでいる。上述した4050

様に、ゲート24は、0.1ミクロン(μm)から5ミクロン(μm)の範囲の幅L_gを有している。

【0056】

しかし、HEMT60は、ゲート24を覆わずに、その代わり、ゲート24と、ソース・コンタクト20及びドレイン・コンタクト22との間の障壁層18を覆うスペーサ層62を含んでいる。他の実施例において、スペーサ層は、上述したように、障壁層18の全表面より狭い範囲を覆うことができる。この覆う範囲は、第一のフィールド・プレート64と障壁層18との間の電気的分離を確保するのに十分なものである必要がある。第一のフィールド・プレート64は、ゲート24と一緒に形成され、スペーサ層62上で、ドレイン・コンタクト22の方向に、0.2ミクロン(μm)から5ミクロン(μm)の範囲にある長さL_{f_d}だけ伸びており、また、ソース・コンタクト20の方向に、0.1ミクロン(μm)から2ミクロン(μm)の範囲にある長さL_{f_s}だけ伸びている。HEMT60では、第一のフィールド・プレートは、ゲート24と一緒に形成されることにより、ゲート24に電気的に接続される。フィールド・プレート64は、その全体がゲートと一緒に化できるか、あるいは、ゲート24とフィールド・プレート64との間に効果的に電流を流すために十分な導電性の経路が利用可能となっている限り、コンタクトのソース側とドレイン側のいずれか、あるいは両方の一体化した結合に孔の破れを有してよい。

10

【0057】

HEMT60には、デバイス・メタライゼーション前に、第一のスペーサ層62を形成することができ、その場合、スペーサ層は、Al、Ga又はInの合金等の様々なIII族元素を有するIII族窒化物材料等のエピタキシャル材料を含むことができ、スペーサ層の好適な材料としては、Al_xGa_{1-x}N(0<x<1)がある。障壁層18のエピタキシャル成長後に、それと同一のエピタキシャル成長法を用いて、第一のスペーサ層62を成長させることができる。次に、第一のスペーサ層62をエッチング処理し、ゲート24、ソース電極20及びドレイン電極22のための開口を形成する。メタライゼーションの間に、障壁層18と電気的にコンタクトするようにゲート24が形成され、第一のフィールド・プレート64が、ゲートと一緒に形成され、スペーサ層62の上を伸びる。ソース電極20及びドレイン電極22は、この同じメタライゼーション・ステップで形成される。

20

【0058】

他の実施例において、活性領域上に金属として先ず最初にゲート24を形成し、ゲート24と、ソース・コンタクト20及びドレイン・コンタクト22との間の活性領域上に誘電体材料でスペーサ層を形成することができる。次に、フィールド・プレート64をゲート24と一緒に形成することができる。フィールド・プレート64を、ソース電極20とゲート電極22の両方に伸ばすことにより、HEMT60は、図3AのHEMT10と同じ動作上の利点を得ることができる。

30

【0059】

図3Dは、図3Cに示したHEMT60と類似のHEMT70の別の実施例を示し、HEMT70は、基板12、核形成層14、バッファ層16、障壁層18、ソース電極20、ドレイン電極22、ゲート24、2DEGチャネル層26、第一のスペーサ層62、及び第一のフィールド・プレート64を有している。しかし、HEMT70は、第二の誘電体スペーサ層72と第二のフィールド・プレート74も有しており、第二のスペーサ層は、第一のフィールド・プレート64を十分に覆い、第一のフィールド・プレート64と第二のフィールド・プレート74との間の電気的分離を提供する。図示したように、スペーサ層は、第一のフィールド・プレート64と、第一のスペーサ層62の露出表面とを覆う。HEMTの活性領域外を通る上述した導電性の経路を含む様々な方法を用いて、第二のフィールド・プレート74を、ソース・コンタクト20又はゲートに電気的に接続することができる。

40

【0060】

また、HEMT40及び70は、第二のフィールド・プレート74と第二のスペーサ層72を覆う追加のスペーサ層とフィールド・プレートのペアを含んでいる。図3Dは、H

50

E M T 7 0 上に、第三のスペーサ層 7 6 (点線で示す)と第三のフィールド・プレート 7 8 (点線で示す)とを含む追加のペアを示し、スペーサ層 7 6 は、第二のフィールド・プレート 7 4 を十分に覆い、第二のフィールド・プレート 7 4 と第三のフィールド・プレート 7 8 との間の電気的分離を提供する。また、第三のフィールド・プレート 7 8 (及び、後に形成されるどのフィールド・プレート)も、ソース電極又はゲートに電気的に接続することができる。

【 0 0 6 1 】

いくつかの実施例において、トップ・フィールド・プレートは、ソース電極に接続され、一方、その下の中間フィールド・プレートは、ソース電極又はゲートに接続することができる。例えば、本発明によるトランジスタは、3つのフィールド・プレートを有し、トップ・フィールド・プレートは、ソース電極に接続し、下のフィールド・プレートは、ソース電極又はゲートのいずれかに接続される。10

【 0 0 6 2 】

複数のフィールド・プレートを配置することにより、デバイス内のピークの電界強度をさらに減少させることができ、その結果、降伏電圧が増加し、トラッピングも減らせる。これにより、ゲートに接続したフィールド・プレートにより悪影響が及ぶ可能性があった利得と安定性を向上することができる。ここで示すような配置は、ソースに接続したフィールド・プレートの遮蔽効果により、ゲート・ドレイン間キャパシタンス $C_{g d}$ を減少させ、入力と出力の間の分離を高めることができる。20

【 0 0 6 3 】

図4は、いくつかの実施例に従って製造した低雑音増幅器の雑音指数を図示したグラフである。図4は、いくつかの実施例によるGaN系低雑音増幅器が、2.6GHzから3.95GHzの広い周波数範囲で、2.0dB未満の低い雑音指数を有することを図示している。

【 0 0 6 4 】

図5は、いくつかの実施例に従って製造した低雑音増幅器の出力3次インターセプト(TOI)を図示したグラフである。3次インターセプトとは、デバイスの線形性を示す尺度である。一般的に、TOIが高いほど、デバイスの線形動作の範囲は広くなる。図5は、いくつかの実施例によるGaN系MMICが、2.6GHzから3.95GHzの広い周波数範囲で、37.5dBmより大きなTOIを有することを図示している。30

【 0 0 6 5 】

GaN系でないトランジスタを用いた従来の低雑音増幅器は、許容しがたいほどの、高い雑音指数、及び/又は低い3次インターセプト(TOI)を有するかもしれない。それに対し、いくつかの実施例によるMMICは、高いTOI(例えば、37.5dBmより大きな)特性と合わせて、低い雑音指数(例えば、2.0dB未満)を達成できる。

【 0 0 6 6 】

いくつかの実施例において、いくつかの実施例によるMMICは、2.6GHzから3.95GHzの範囲の周波数で、2.0dB未満の雑音指数を有してよい。他の実施例において、いくつかの実施例によるMMICは、2.6GHzから3.95GHzの範囲の周波数で、2.5dB未満の雑音指数を有してよい。さらに、他の実施例において、いくつかの実施例によるMMICは、2.6GHzから3.95GHzの範囲の周波数で、3.0dB未満の雑音指数を有してよい。40

【 0 0 6 7 】

いくつかの実施例によるデバイスのTOIは、GaN系トランジスタを用いて製造した比較対象となるデバイスのTOIより、10dBmから15dBmほど大きい。従って、いくつかの実施例において、いくつかの実施例によるMMICは、2.6GHzから3.95GHzの範囲の周波数で、少なくとも37.5dBmの3次インターセプトを有してよい。他の実施例において、いくつかの実施例によるMMICは、2.6GHzから3.95GHzの範囲の周波数で、少なくとも30dBmの3次インターセプトを有してよい。さらに他の実施例において、いくつかの実施例によるMMICは、2.6GHzから50

3 . 9 5 G H z の範囲の周波数で、少なくとも 2 5 d B m の 3 次インターセプトを有してよい。

【 0 0 6 8 】

本発明の他の実施例は、他のヘテロ・エピタキシャル・チャネル及び／又は窒化アルミニウム障壁等の障壁層、窒化インジウム・ガリウム・チャネル、又は上記特許公報及び公開公報に示す構造等の他のエピタキシ／デバイス構造等を用いた G a N 系ワイド・バンドギャップ・トランジスタを含んでいるが、それに限定されない。

【 0 0 6 9 】

G a N 系フィールド・プレートを有する H E M T に加えて、あるいは、それに代えて、いくつかの実施例は、フィールド・プレートを有しない G a N 系 H E M T 、又は G a N 系 M E S F E T (フィールド・プレートを有するもの、若しくは有しないもの) を能動デバイスとして用いてよいが、それに限定されない。 10

【 0 0 7 0 】

いくつかの実施例は、1 0 M H z から 6 G H z の動作周波数範囲を有し、2 5 ワット連続波 (C W) より大きな飽和出力電力と少なくとも 1 2 d B の電力利得を有する低雑音増幅器を提供する。この増幅器は、少なくとも 4 0 % のドレイン効率を有する。この増幅器は、2 . 6 G H z から 3 . 9 5 G H z の範囲の周波数で、2 5 d B m より大きな 3 次インターセプトを有してよい。さらに、この増幅器は、2 . 6 G H z から 3 . 9 5 G H z の範囲の周波数で、3 . 0 d B 未満の雑音指数を有してよい。 20

【 0 0 7 1 】

いくつかの実施例による回路／デバイスの応用には、任意の S バンド R F モジュール又は受信機が含まれる。 G a N 系 H E M T の L N A を用いる主なシステムは、派生的応用 (例えば、 3 G 、 4 G 、 Wi F i 、 Wi M a x 、デジタル放送受信機) を含むセルラー通信の基地局や、レーダ応用の受信機及びモジュールである。いくつかの実施例によるデバイスのダイナミック・レンジの改良により、これらのシステムの性能を著しく向上させることができる。 20

【 0 0 7 2 】

いくつかの実施例による L N A は、2 . 5 G H z から 4 G H z のバンドの R F 信号の低雑音増幅を、高い線形性、高い入力電力耐性、及び／又は高電圧システムへの組込み性と共に必要とするような、例えば、通信、レーダ、その他の R F システムの受信機のフロント・エンドに用いると有利である。 30

【 0 0 7 3 】

図面と明細書において、本発明の典型的な実施例を開示し、そこでは特有の用語を用いたが、それらは一般的な説明のためのみに用いたものであり、本発明の限定を目的としたものではなく、本発明の範囲は、請求項に記述されている。

【 符号の説明 】

【 0 0 7 4 】

1 0 、 4 0 、 6 0 、 7 0 H E M T

1 2 、 1 2 0 基板

1 4 核形成層

1 6 バッファ層

1 8 障壁層

2 0 ソース電極

2 2 ドレイン電極

2 4 ゲート

2 6 2 D E G チャネル層

2 8 、 4 2 、 6 2 、 7 2 、 7 6 スペーサ層

3 2 、 4 4 、 6 4 、 7 4 、 7 8 フィールド・プレート

1 0 0 モノリシック・マイクロ波集積回路

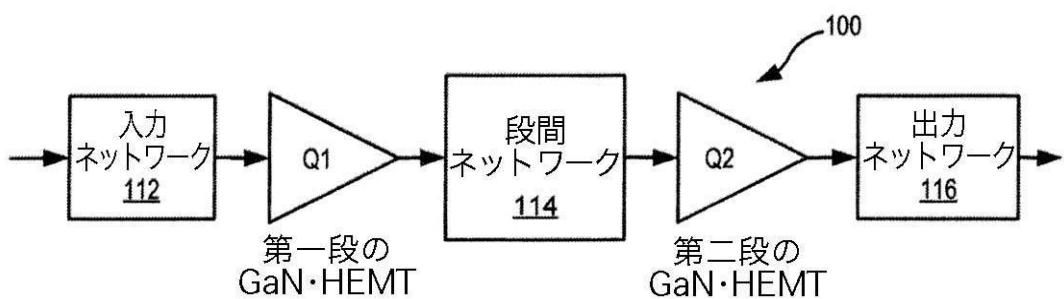
1 1 2 入力ネットワーク

40

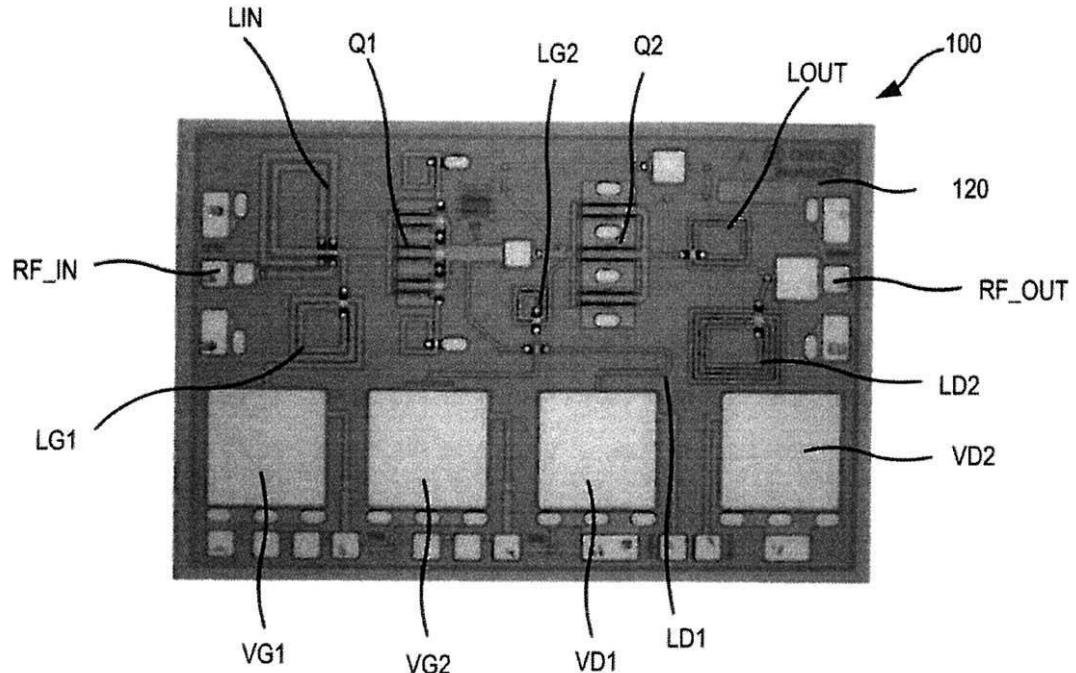
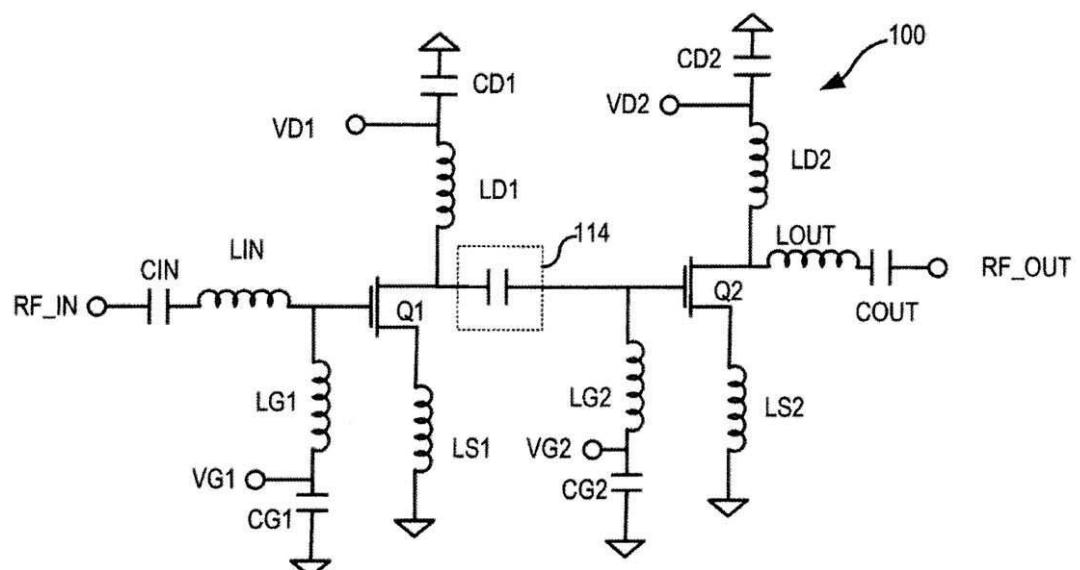
50

1 1 4 段間ネットワーク
1 1 6 出力ネットワーク

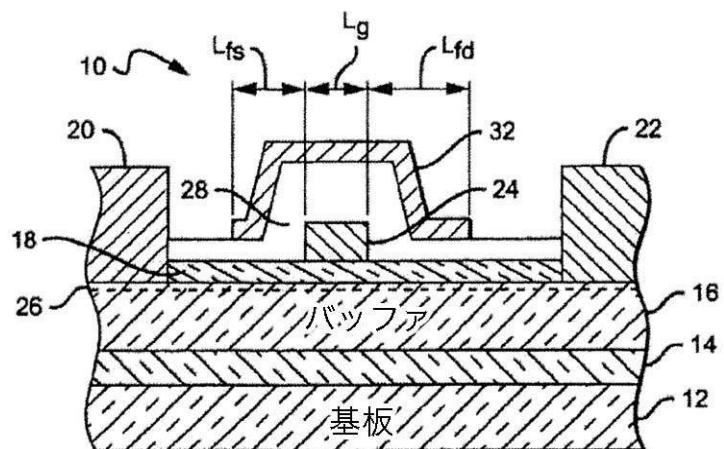
【図1】



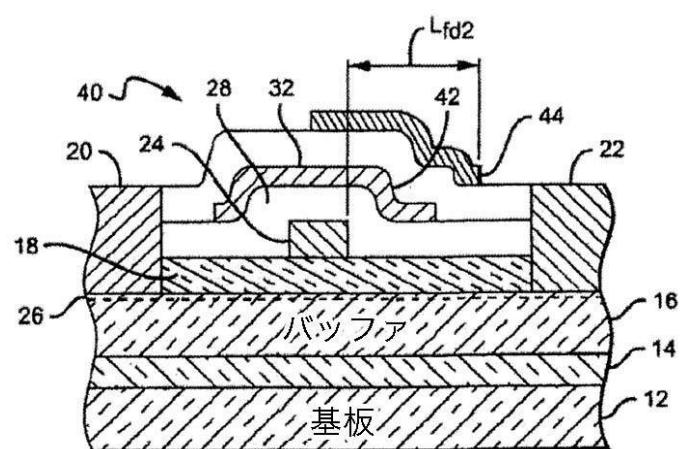
【図2】

**A****B**

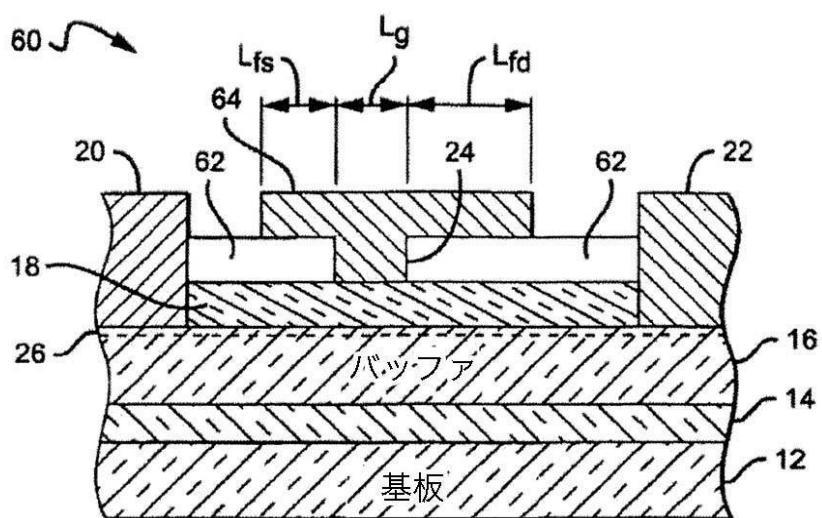
【図3A】



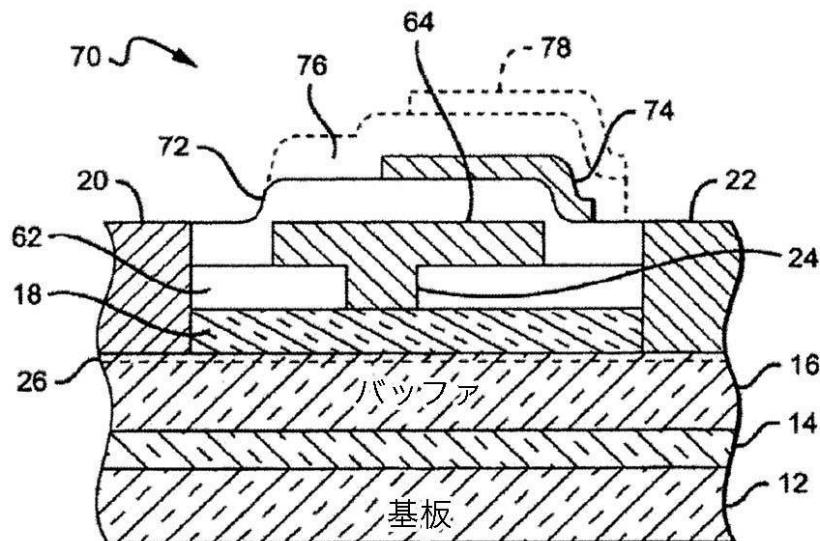
【図3B】



【図3C】

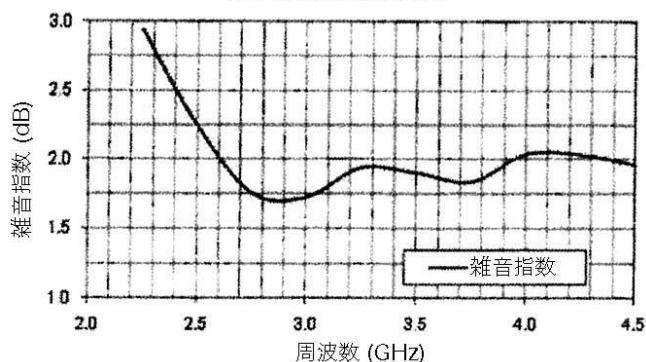


【図3D】



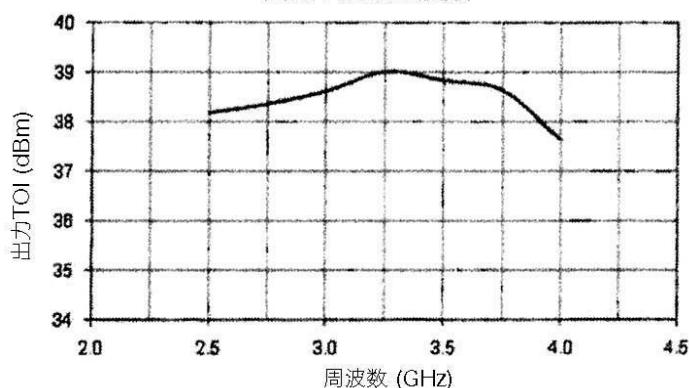
【図4】

雑音指数対周波数

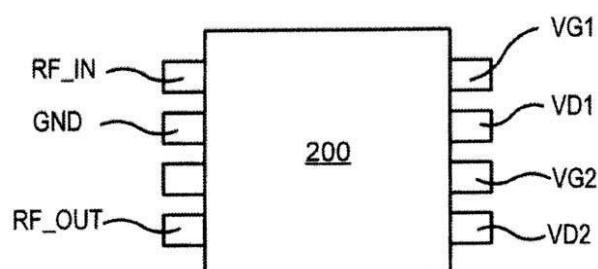


【図5】

出力TOI対周波数



【図6】



フロントページの続き

(51)Int.Cl.	F I	
H 01 L 29/06 (2006.01)	H 01 L 27/04	F
H 01 L 21/822 (2006.01)	H 03 F 3/68	Z
H 01 L 27/04 (2006.01)	H 03 F 3/60	
H 03 F 3/68 (2006.01)		
H 03 F 3/60 (2006.01)		

(56)参考文献 特開2010-057025(JP, A)
国際公開第2009/035767(WO, A1)
特表2009-514267(JP, A)
特開2006-114795(JP, A)
特表2008-533717(JP, A)
特開2003-297924(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 03 F	1 / 2 6
H 01 L	2 1 / 3 3 8
H 01 L	2 1 / 8 2 2
H 01 L	2 7 / 0 4
H 01 L	2 7 / 0 9 5
H 01 L	2 9 / 0 6
H 01 L	2 9 / 7 7 8
H 01 L	2 9 / 8 1 2
H 03 F	3 / 6 0
H 03 F	3 / 6 8