

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 25/065 (2006.01)

H01L 25/07 (2006.01)



[12] 发明专利说明书

专利号 ZL 02121343.7

[45] 授权公告日 2008年1月23日

[11] 授权公告号 CN 100364091C

[22] 申请日 2002.6.14 [21] 申请号 02121343.7

[30] 优先权

[32] 2001.6.14 [33] JP [31] 180891/2001

[73] 专利权人 新光电气工业株式会社

地址 日本长野

[72] 发明人 真篠直宽 东光敏

[56] 参考文献

JP2000-246475A 2000.9.12

US5874770A 1999.2.23

US5065228A 1991.11.12

US5527741A 1996.6.18

审查员 刘红

[74] 专利代理机构 北京市中咨律师事务所

代理人 于静 李峥

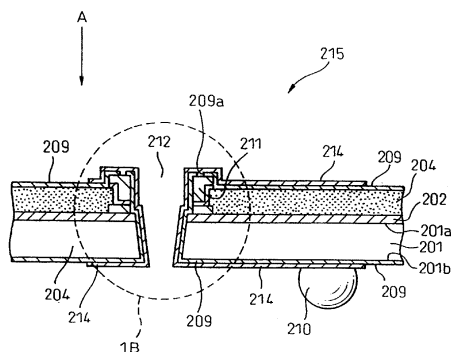
权利要求书4页 说明书18页 附图17页

[54] 发明名称

半导体器件及其生产方法

[57] 摘要

一种半导体器件，使主电极垫片能与互连图案可靠地电连接，无需除已有主电极垫片之外再单独提供通路孔使用的电极垫片，该半导体器件具有硅基片(半导体基片)、在该硅基片的一个表面上形成的电子元件形成层、与该电子元件形成层电连接的电极垫片、穿过该电极垫片和硅基片的通孔、在该电极垫片上的SiO₂膜中沿通孔开口边缘形成的通路孔、以及互连图案，该互连图案把电极垫片经由通孔和通路孔电引导到硅基片的另一表面。



1. 一种半导体器件，包含：

半导体基片；

在所述半导体基片一个表面上形成的电子元件；

在所述一个表面上形成的并与所述电子元件电连接的电极垫片；

穿过所述电极垫片和所述半导体基片的通孔；

在至少是所述半导体基片的另一表面上、所述通孔的内壁以及所述电极垫片上形成的绝缘膜；

在所述电极垫片上的所述绝缘膜中，沿所述通孔的开口边缘形成的通路孔；以及

互连图案，通过所述通孔和所述通路孔把所述电极垫片电引导到所述半导体基片的另一表面。

2. 如权利要求 1 中提出的半导体器件，其中所述通路孔是环形的。

3. 如权利要求 1 中提出的半导体器件，其中所述通路孔是弧形的。

4. 如权利要求 3 中提出的半导体器件，其中提供多个所述通路孔。

5. 如权利要求 1 中提出的半导体器件，其中所述通路孔是点形的，并提供多个所述通路孔。

6. 如权利要求 1 中提出的半导体器件，其中所述通孔在穿过所述电极垫片部分的直径大于在穿过所述半导体基片部分的直径。

7. 如权利要求 1 中提出的半导体器件，其中所述电极垫片含有第一金属的底电极垫片和在所述底电极垫片上形成的含有第二金属的顶电极垫片，该第二金属的熔点比所述第一金属的熔点

高。

8. 如权利要求 7 中提出的半导体器件,其中所述第一金属是铝,所述第二金属是铜。

9. 如权利要求 1 中提出的半导体器件,其中所述互连图案还把所述电极垫片电引导到所述半导体基片的一个表面。

10. 一个半导体模块,包含多个如权利要求 9 中提出的半导体器件,它们叠加在一起,并通过外部连接端子使每个底半导体器件和顶半导体器件的相对表面的互连图案电连接。

11. 如权利要求 1 中提出的半导体器件,其中所述通孔以导体填充,该导体与所述互连图案电连接。

12. 一个半导体模块,包含多个如权利要求 11 中提出的半导体器件,它们叠加在一起,并通过外部连接端子使每个底半导体器件和顶半导体器件的相应通孔中填充的导体电连接。

13. 一种生产半导体器件的方法,包含如下步骤:

在半导体基片的一个表面上形成电子元件;

在该半导体基片的所述一个表面上形成与所述电子元件电连接的电极垫片;

形成穿过所述电极垫片和所述半导体基片的通孔;

在至少是所述半导体基片的另一表面、所述通孔的内壁和所述电极垫片上形成绝缘膜;

在绝缘膜上形成图案,从而沿所述通孔的开口边缘形成通路孔,以暴露部分所述电极垫片;

在所述绝缘膜上和所述通路孔中形成导体膜; 以及

对所述导体膜形成图案以形成互连图案,该互连图案把所述电极垫片经由所述通孔和所述通路孔引导到所述半导体基片的另一表面。

14. 如权利要求 13 中提出的生产半导体器件的方法,其中所述形成通孔的步骤包括如下步骤:

通过形成图案在所述电极垫片中形成第一开口以及

通过所述第一开口发射激光束，从而在包括所述电子元件的半导体基片中形成第二开口，该激光束的直径小于所述第一开口的直径，

所述通孔由所述第一开口和所述第二开口确定。

15. 如权利要求 14 中提出的生产半导体器件的方法，其中在形成第一开口的步骤和形成第二开口的步骤之间包括一个研磨该半导体基片另一表面的步骤，以减小半导体基片的厚度。

16. 如权利要求 13 中提出的生产半导体器件的方法，其中形成通路孔的步骤是以激光束在所述绝缘膜上开口来实现的。

17. 如权利要求 16 中提出的生产半导体器件的方法，其中在所述绝缘膜上发射环形激光束，从而形成环形通路孔。

18. 如权利要求 16 或权利要求 17 中提出的生产半导体器件的方法，其中所述形成电极垫片的步骤包括形成包含第一金属的底电极垫片和形成包含第二金属的顶电极垫片的步骤，该第二金属的熔点高于所述底电极垫片上的所述第一金属的熔点。

19. 如权利要求 18 中提出的生产半导体器件的方法，使用铝作为所述第一金属，使用铜作为所述第二金属。

20. 如权利要求 13 中提出的生产半导体器件的方法，其中通过形成所述互连图案的步骤形成所述互连图案，从而也把所述电极垫片电引导到所述半导体基片的所述一个表面。

21. 一种生产半导体模块的方法，包含如下步骤：

准备多个由权利要求 20 中提出的方法生产的半导体器件，以及

通过外部连接端子电连接所述半导体器件的互连图案，从而把所述半导体器件叠加成多层。

22. 如权利要求 13 中提出的生产半导体器件的方法，包括形成所述导体膜后以导体填充所述通孔的步骤，该导体与所述导体

膜电连接。

23. 一种生产半导体模块的方法，包含如下步骤：

准备多个由权利要求 20 中提出的方法生产的半导体器件，以及

通过外部连接端子电连接从所述多个半导体器件相应通孔的开口暴露出来的导体，从而把所述半导体器件叠加成多层。

半导体器件及其生产方法

技术领域

本发明涉及半导体器件及其生产方法，更具体地说，涉及一种对减小半导体器件尺寸有用的技术。

背景技术

在过去，要装在主板上的半导体器件包含一个半导体芯片安装在称作“插入板(interposer)”的接线板上。这个插入板一直被认为是使半导体芯片和主板二者的电极端子位置对齐所必须的。

然而，如果使用插入板，半导体器件的厚度便因那个插入板的厚度而增大，所以最好是尽可能不使用这种插入板，从而满足近来对减小电子设备尺寸的需求。

所以，近年来，一直在努力开发不需要插入板的半导体器件。图 12A 中显示了相关技术中这种半导体器件的截面图。

相关技术的半导体器件 101 主要包含硅基片 102 而没有插入板。硅基片 102 的一个表面 102a 在其上形成一个电子元件形成层 103，它包括晶体管或其他元件。这与通路孔电极垫片 110 电连接。绝缘膜 104 防止通路孔电极垫片 110 或主电极垫片 105 与硅基片 102 之间发生电连接。

半导体元件形成层 103 和通路孔电极垫片 110 在其上面叠加了一个 SiO₂ 膜 106 和互连图案 107。SiO₂ 膜 106 有一个在其中开放的通路孔 106a。互连图案 107 和通路孔电极垫片 110 通过这一开口实现电连接。

通路孔电极垫片 110 具有与其集成的主电极垫片 105。再有，主电极垫片 105 和在它下面的硅基片 102 有一个在它们当中开放的通孔 102C。

通孔 102C 是这类半导体器件的一个特征性特性，所提供的通孔 102C

把互连图案 107 引导到硅基片 102 的另一表面 102b。被引导到另一表面 102b 的互连图案 107 具有焊料块 (solder bump) 108, 其作用是作为与母板 (未画出) 端子位置对齐的外部连接端子。

图 12B 是从图 12A 的箭头 A 的方向看去的半导体器件 101 的平面图。为解释方便, 略去了互连图案 107。

通路孔 106a 是一个宽直径的圆圈, 在它的底部暴露出通路孔电极垫片 110。

半导体器件 101 是通过嵌入一个不同于现有半导体器件 (LSI 等) 109 的新结构制成的, 如图 12C 中的截面所示。如将使用图 12C 解释的那样, 还在现有半导体器件 109 之处提供主电极垫片 105。这个地方原来是焊接导线、接线柱等的地方, 是信号输入和输出以及供电的地方。

另一方面, 通路孔电极垫片 110 (图 12B) 是新的结构之一, 在现有半导体器件 109 中没有提供。通路孔电极垫片 110 是新提供的, 通过在上面提供一个宽直径通路孔 106a 从而增大了与互连图案 107 的接触面积 (图 12A), 并且由于应力作用防止与互连图案脱离, 也由于同样作用防止产生电接触不良。

以这种方式, 在相关技术的半导体器件中, 除了原先存在的主垫片 105 外, 新提供了一个通路孔垫片 110 作为与互连图案 107 电连接的部件, 而且, 为保证可靠的电连接, 在通路孔电极垫片 110 上方打开了一个宽直径圆形通路孔 106a。

然而, 如果新提供了这个通路孔电极垫片 110, 半导体器件 101 的平面尺寸变得增大许多。这与减小半导体器件尺寸的趋势背道而驰。

再有, 除了现有的主电极垫片 105 以外再提供通路孔电极垫片 110, 需要改变现有半导体器件的设计, 从而给半导体器件制造商 (半导体制造商) 施加了大的负担。

发明内容

本发明的一个目的是提供一种半导体器件和生产这种半导体器件的方

法，使能在电极垫片和互连图案之间有可靠的电连接，而无需除现有的主电极垫片外再提供通路孔使用的电极垫片。

为实现这一目的，根据本发明的第一方面，提供了一种半导体器件，包含半导体基片；在该半导体基片的一个表面上形成的电子元件；在那个表面上形成的与该元件电连接的电极垫片；穿过该电极垫片和半导体基片的通孔；至少是在半导体基片的另一表面上、在通孔的内壁上以及在电极垫片上形成的绝缘膜；在电极垫片上的绝缘膜中沿着通孔开口边缘提供的通路孔；以及把电极垫片经由通孔和通路孔电引导到半导体基片另一表面的互连图案。

优选地，通路孔是环形。

另一种作法，优选通路孔为弧形并提供多个通路孔。

另一种作法，优选通路孔为点形并提供多个通路孔。

优选地，通孔的穿过电极垫片部分的直径大于穿过半导体基片部分的直径。

优选地，电极垫片有含有第一金属的底电极垫片和含有第二金属并在底电极垫片上形成的顶电极垫片，该第二金属与第一金属相比有较高的熔点。更优选地是，这第一金属是铝，这第二金属是铜。

优选地，互连图案还把电极垫片电引导到半导体基片的一个表面。有可能把多个这些半导体器件叠加在一起，并通过外部连接端子把每个底半导体器件和顶半导体器件的相对表面的互连图案电连接。

在一个实施例中，这些通孔填充与互连图案电连接的导体。有可能把多个这些半导体器件叠加在一起，并通过外部连接端子把每个底半导体器件和顶半导体器件的相应通孔中填充的导体电连接。

根据本发明的第二方面，提供了一种生产半导体器件的方法，包含如下步骤：在半导体基片的一个表面上形成电子元件；形成与该半导体基片一个表面上的元件电连接的电极垫片；形成穿过该电极垫片和半导体基片的通孔；在至少是该半导体基片的另一表面、通孔的内壁和电极垫片上形成绝缘膜；在绝缘膜上形成图案，从而沿着通孔开口边缘形成通路孔以暴

露部分电极垫片；在绝缘膜上和通路孔内形成导体膜；以及对导体膜形成图案以形成互连图案，该互连图案把电极垫片经由通孔和通路孔电引导到半导体基片的另一表面。

优选地，形成通孔的步骤包括如下步骤：通过形成图案在电极垫片中形成第一开口；再用直径小于第一开口直径的激光束穿过第一开口进行发射，从而在包括元件的半导体基片中形成第二开口，通孔由第一开口和第二开口确定。

更优选地，在形成第一开口的步骤和形成第二开口的步骤之间包括一个研磨半导体基片另一表面的步骤，借以减小半导体基片的厚度。

优选地，形成通路孔的步骤是利用激光束使绝缘膜开口来实现的。

更优选地，环形通路孔是在绝缘膜上发射环形激光束而形成的。

更优选的是，形成电极垫片的步骤包括形成含有第一金属的底电极垫片和形成含有第二金属的顶电极垫片的步骤，该第二金属的熔点高于底电极垫片上的第一金属的熔点。优选的是，使用铝作为第一金属，铜作为第二金属。

在一个实施例中，借助形成互连图案的步骤，形成了互连图案，从而使电极垫片也被电引导到半导体基片的一侧。有可能提供步骤准备多个这种半导体器件，并通过外部连接端子把半导体器件的互连图案电连接起来，从而使这些半导体器件叠加成多层。

在一个实施例中，该方法包括一个步骤，以在形成导体膜步骤之后用一个与该导体膜电连接的导体填充通孔。有可能提供步骤准备多个这种半导体器件，并通过外部连接端子把从这多个半导体器件相应通孔的开口暴露出来的导体电连接起来，从而使这些半导体器件叠加成多层。

附图说明

由下文中参考附图给出的对最佳实施例的描述，本发明的这些和其他目的和特点将变得更加清楚，其中：

图 1A、1B 和 1C 是根据本发明一个最佳实施例的半导体器件的截面

图，其中图 1B 是图 1A 中圆圈 1B 中的部分的放大图，图 1C 是图 1B 中圆圈 1C 中的部分的放大图；

图 2A、2B、2C 和 2D 是根据本发明实施例的通路孔的各种形状的平面图；

图 3 是图 1 所示根据本发明的一个实施例的半导体器件的平面图，是从图 1A 的 A 侧看到的；

图 4 是根据本发明的一个实施例，通过叠加多个半导体器件所得到的一个半导体模块的截面图，由该半导体模块可得到三维安装结构；

图 5A 至 5Q 是根据本发明的一个实施例在各个生产步骤半导体器件的截面图，这里图 5P 是图 5Q 中圆圈 5P 中的部分的放大图；

图 6 用于解释根据本发明的一个实施例生产半导体器件的方法中用激光束穿孔的过程；

图 7A 和 7B 是截面图，显示根据本发明的一个实施例用激光束形成通路孔时由顶电极垫片对底电极垫片的保护，这里图 7B 显示图 7A 中的圆圈 7B 中的部分的放大图；

图 8 是根据本发明的一个实施例准备多个半导体器件供叠加用的准备状态的截面图；

图 9 是根据本发明的一个实施例，在图 5K 的步骤和图 5L 的步骤之间进行的形成保护膜的步骤的截面图；

图 10 是根据本发明的一个实施例，以导体填充通孔的情况的放大截面图；

图 11 是由叠加多个半导体器件得到的半导体模块的截面图，这些半导体器件如图 10 所示那样以导体填充其通孔，由该半导体模块可形成三维安装结构；以及

图 12A 和 12B 是相关技术的半导体器件的截面图和平面图，而图 12C 是传统上存在的半导体器件的截面图。

具体实施方式

下面将参考附图详细描述本发明的最佳实施例。

根据本发明的一个半导体器件具有半导体基片和在该半导体基片的一个表面上形成的电子元件。在该半导体基片的那个表面上形成与这个元件电连接的一个电极垫片。该电极垫片和半导体基片有一个通孔穿过它们。在那个通孔的内壁上形成绝缘膜。这一绝缘膜进一步形成于该半导体基片的另一表面上和电极垫片上。

在该绝缘膜中，在电极垫片上形成的部分具有一个通路孔。在该半导体器件中提供一个互连图案把电极垫片经由这通路孔和通孔电引导到半导体基片的另一表面。

特别是在本发明中，由于在通孔的开口边缘周围的绝缘膜中提供了通路孔，使得通路孔的开口区域是固定的，从而实现了互连图案和电极垫片之间可靠的电连接。由于这一点，在本发明中，在过去用于固定通过开口区域的通路孔电极垫片变为不必要了。从而使半导体器件的平面尺寸小于过去的平面尺寸。

再有，通孔的穿过电极垫片部分（以后称作“第一开口”）的直径最好做成大于穿过半导体基片部分（以后称作“第二开口”）的直径。

根据这一结构，与通孔的直径不论其位置总为常数时情况相比，有可能延长第一开口和第二开口的近开口端之间的距离，从而能保证在通孔的侧壁在电极垫片和半导体基片之间有足够的绝缘。

再有，互连图案可以把电极垫片电引导到半导体基片的一个表面。

在这种情况下，通过沿垂直方向准备多个这样的半导体器件，并以外部连接端子使每个底半导体器件和顶半导体器件相对表面的互连图案实现电连接，从而得到一个三维安装结构。由于每个半导体器件的平面尺寸比过去要小，所以与过去相比，这一三维安装结构减小了横向的扩展。

当以这种方式叠加这些装置时，有可能以与互连图案电连接的导体填充通孔。在这种情况下，从通孔暴露出来的位置处的导体实现互连图案的功能，所以不再需要形成那些互连图案，于是能容易地叠加顶、底半导体器件。

另一方面，根据本发明的一种生产半导体器件的方法包含如下步骤：

- (a) 在半导体基片的一个表面上形成电子元件；
- (b) 在半导体基片的一个表面上形成与该元件电连接的电极垫片；
- (c) 形成穿过该电极垫片和半导体基片的通孔；
- (d) 在至少是该半导体基片的另一表面、通孔的内壁和电极垫片上形成绝缘膜；
- (e) 在绝缘膜上形成图案，从而沿着通孔的开口边缘形成通路孔，以暴露部分电极垫片；
- (f) 在绝缘膜上和通路孔内形成导体膜；以及
- (g) 对导体膜形成图案以形成互连图案，该互连图案把电极垫片经由通孔和通路孔电引导到半导体基片的另一表面。

通路孔是由这些步骤中的步骤(e)沿着绝缘膜中通孔的开口边缘在电极垫片上形成的。如前文解释的那样，由于这一通路孔的形成，在本发明中不需要使用通路孔电极垫片。

再有，步骤(c)（形成通孔的步骤）可以进一步包括如下步骤：

- (c1) 通过形成图案在电极垫片中形成第一开口；
- (c2) 用直径小于第一开口直径的激光束穿过第一开口进行发射，从而在包括电子元件的半导体基片中形成第二开口。

请注意，当使用这些步骤时，通孔由第一开口和第二开口确定。

根据步骤(c1)和(c2)，由于是在形成第一开口之后以其直径小于第一开口直径的激光束穿过第一开口进行发射，所以能防止该激光束接触第一开口和蒸发电极垫片材料，于是，半导体基片和电极垫片由于被蒸发的材料使其电连接的危险性减小了。

再有，根据上述步骤，得到这样一种结构，在其中第一开口的直径大于第二开口的直径。如已解释的那样，这一结构的优点是足以保证在电极垫片和半导体基片之间在其通孔的侧壁处的绝缘性。

再有，在步骤(c1)和(c2)之间可以包括一个研磨半导体基片另一表面的步骤，以减小半导体基片的厚度。

根据这一点,由于在形成第二开口之前半导体基片的厚度被减小,便有可能以短时间发射激光束来形成第二开口,从而减小了由于激光束的发射引起的对半导体基片的热损伤。再有,由于激光束的工作深度变浅,所以减小了由激光束造成的材料蒸发量,从而减小了蒸发以及在通孔中沉积的材料量。由于这一点,有可能清洁地形成通孔。

再有,步骤(e)(在绝缘膜中形成通路孔的步骤)可以用激光束在绝缘膜上开口来实现。

特别是,当形成环形通路孔时,最好是在绝缘膜上发射环形激光束。这样做的理由是,当发射环形激光束时,使激光束的转动轴在通孔处对位,便足以完成激光源和绝缘膜的定位,由此得到的好处是与对每个点定位并一次对一点发射激光束的情况相比缩短了过程的时间。

再有,本发明不限于发射环形激光束。当用激光束形成通路孔时,步骤(b)(形成电极垫片的步骤)可以包括如下步骤:

(b1)形成包含第一金属的底电极垫片,以及

(b2)形成包含第二金属的顶电极垫片,该第二金属的熔点高于底电极垫片上的第一金属的熔点。

根据这些步骤,该电极垫片成为底电极垫片和顶电极垫片的双层结构。再有,底电极垫片受到熔点较高的顶电极垫片的保护。

当用激光束在绝缘膜中形成通路孔时,激光束得要穿过该绝缘膜,但是,如上文解释的那样,由于高熔点的顶电极垫片所给予的保护,从而使穿过绝缘膜的激光束免于也穿过电极垫片。

图1A、1B和1C是根据本发明一个最佳实施例的半导体器件的截面图。图1B是图1A的圆圈1B中的区域的放大图,而图1C是图1B的圆圈1C中的区域的放大图。

如图中所示,半导体器件215具有硅基片201(半导体基片)。这一硅基片201的一个表面201a形成半导体元件形成层202,在其中构建晶体管或其他电子元件。再有,半导体元件形成层202有一个电

极垫片 211 在其上面。尽管没有画出，电极垫片 211 是与半导体元件形成层 202 中的元件电连接的。电极垫片 211 和硅基片 201 有元件形成层 202 插在它们之间。参考数字 204 指出一个钝化层，用于保护半导体元件形成层 202。该层包含例如 SiO_2 。

参考数字 212 指出一个穿过电极垫片 211 和硅基片 201 的通孔。在它的内壁上形成 SiO_2 膜 209（绝缘膜）。还在硅基片 201 的另一表面 201b 上和电极垫片 211 上形成 SiO_2 膜 209。

在电极垫片 211 上的 SiO_2 膜 209 具有通路孔 209a，这是本发明的特征性特性。电极垫片 211 和 SiO_2 膜上的互连图案 214 通过这一通路孔 209a 实现电连接。

图 2A 至 2D 是图 1A 至 1C 所示半导体器件的平面图，是从图 1A 的箭头 A 方向看到的（从硅基片 201 的一个表面 201a 看到的），显示出通路孔 209a 的各种实例。请注意，在这些图中，为便于观察通过 209a，略去了互连图案 214。

通路孔 209a 由互连图案 214 电引导出底电极垫片 211，从而自然地形成于电极垫片 211 上。向电极垫片 211 提供的是已存在的半导体器件。就是说，在本发明中互连图案 214 电连接于已存在的电极垫片 211。没有象相关技术中那样提供和连接单独的通路孔电极垫片。

如图 2A 中所示，所提供的通路孔 209a 是沿着通孔 212 开口边缘的环形通路孔，从而保证有足够的开口区域用于可靠地电连接互连图案 214，所以不需要像过去那样单独提供通路孔电极垫片。

这样，在本发明中，由于不需要通路孔电极垫片，使半导体器件 215 的平面尺寸能做得比过去少了那个通路孔电极垫片的量。

请注意，如图 2A 中所示，电极垫片 211 的平面形状基本上是正方形，每个侧边的长度例如 $100\ \mu\text{m}$ 。然而，电极垫片 211 的平面形状和大小不限于这些。电极垫片 211 的平面形状和尺寸可以自由地设定。环形通路孔 209a 的宽度是例如 5 至 $10\ \mu\text{m}$ 左右，但本发明不限于此。

代替图 2A 的环形通路孔 209a, 甚至有可能由图 2B 至 2D 所示通路孔 209a 来得到同样的好处。

图 2B 是提供沿通孔 212 开口边缘的弧形通路孔 209a 的举例。弧形通路孔 209a 不需要是单一孔。有可能提供多个孔, 如图 2C 中所示。

图 2D 是提供沿通孔 212 开口边缘的多个点形通路孔 209a 的举例。

通路孔 209a 的形状不限于上述那些。重要的是沿着通孔 212 的开口边缘提供通路孔 209a。利用按这种方式提供的通路孔 209a, 能得到本发明的上述好处。

再参考图 1B。通孔 212 由第一开口 208 和第二开口 201C 确定的。其中, 第一开口 208 是通孔电极垫片 211 的那部分, 而第二开口 201C 是穿过硅基片 201 的那部分。

在本发明中, 第一开口 208 的直径 R_1 被做成大于第二开口 201C 的直径 R_2 。具体地说, R_1 约为 50 至 70 μm , 而 R_2 被做成小于 R_1 , 或者约 25 至 50 μm 。重要的是, $R_1 > R_2$ 。本发明不限于上述数据。

根据这一结构, 与直径 R_1 和 R_2 相同的情况相比, 有可能延长第一开口 208 和第二开口 201C 的近开口端 208a 和 201d 之间的距离 $D1$ (图 1C)。所以, 有可能保证在电极垫片 211 和硅基片 201 之间在通孔 212 的侧壁处有足够的绝缘。请注意, 当绝缘性不是一个特别的问题时, 直径 R_1 和 R_2 也可做成相同的。

在图示的例子中, 第二开口 201C 形成削尖的形状, 但如下文解释的那样, 这是由于用激光束形成第二开口 201C 的结果。该形状不限于削尖的一种。例如, 即使形成直立形第二开口 201C, 也能得到本发明的那些好处。

再有, 在图示的例子中, 通孔 212 是空的, 但如图 10 中所示, 还可能以一个与互连图案 214 电连接的导体 217 填充通孔 212。作为这种情况中的导体 217, 它是例如铜。

另一方面, 如果注意到图 1A 中所示互连图案, 它是在 SiO_2 膜 209 上形成并穿过通孔 212 延伸到硅基片 201 的另一表面 201b。互连图案

214 的作用是经由通路孔 209a 和通孔 212 把电极垫片 211 与另一表面 201b 电连接。

以这种方式引导出的互连图案 214 的预定位置具有焊料块 210 作为外部连接端子。然而，这些外部连接端子不限于焊料块 210。也可以使用柱状块或其他已知的外部连接端子。

在焊接块 210 紧靠在母板（未画出）端子垫片的状态下使焊料块 210 软熔（reflow），从而使半导体器件 215 电连接和机械连接到母板上。

半导体器件 215 可以按这种方式单独使用，或者如上文解释的那样叠加使用。

图 3 是半导体器件 215 的平面图，是从图 1A 的 A 侧看到的。

在表面 201a 上形成的互连图案 214 具有端子部分 214a。所提供的端子部分 214a 把电极垫片 211 电引导到硅基片 201 的表面 201a。当垂直叠加多个半导体器件 215 时，正是由半导体器件 215 提供的焊料块 210 这一部分被焊接在一起。然而，当不需要叠加时，则不需要提供端子部分 214a。

以这种方式叠加的半导体器件 215 的截面图示于图 4。如图 4 中所示，每个顶半导体器件和底半导体器件 215 的相对表面的互连图案 214 通过焊料块 210 实现电连接。这种结构是由叠加多个半导体器件得到的三维安装结构。每个半导体器件 215 的平面尺寸小于相关技术中的情况，所以在这一三维结构中，与相关技术相比有可能保护减小横向扩展。这对近年来追求的使半导体组件具有更高的密度和更小的尺寸是有贡献的。

请注意，当如图 10 所示以导体 217 填充通孔 212 时，从通孔 212 的开口 212a 暴露出来的导体部分 217a 能用于代替端子部分 214a，于是端子部分 214a 和互连图案 214 在具有焊料块 210 处的部分便不需要了，而且半导体器件 215 能容易地被叠加。图 11 中给出以这种方式叠加的情况中半导体器件 215 的截面图。

下面将参考图 5A 至 5Q 解释上述半导体器件 215 的生产方法。图 5A 至 5Q 是在不同生产步骤中半导体器件的截面图。

首先，如图 5A 中所示，准备一个硅基片 201（半导体基片）。这一硅基片 201 是为得到大量半导体器件所使用的基片（晶片）。

接下来，如图 5B 中所示，在硅基片 201 的一个表面 201a 上形成一个晶体管或其他电子元件。在该图中，参考数字 202 显示一个半导体元件形成层，在那里形成半导体元件。

接下来，如图 5C 中所示，在电子元件形成层 202 上形成一个含有铝（第一金属）的膜（未画出），这个膜被形成图案，以构成底电极垫片 203。底电极垫片 203 的厚度约 $1\mu\text{m}$ 。请注意，不用铝而用铜构成底电极垫片 203 也是可能的。

由于底电极垫片 203 和硅基片 201 有半导体元件形成层 202 插入它们之间，所以底电极垫片 203 位于硅基片 201 之上但不与硅基片 201 接触。再有，所形成的底电极垫片 203 与半导体元件形成层 202 中的一个互连层电连接，尽管图中没有具体显示出来。

接下来，如图 5D 中所示，底电极垫片 203 和半导体元件形成层 202 在它们上面形成含有 SiO_2 等的钝化层 204。然后对这一钝化层 204 形成图案，以形成开口 204a，在那里暴露出底电极垫片 203。

请注意，能从半导体制造商那里得到处于图 5D 中所示状态的产品。如图 5D 中所示，所形成的带有底电极垫片 203 或半导体元件形成层 202 及钝化层 204 等的半导体基片 201 是通常由半导体制造商生产的通用基片。底电极垫片 203 原本是用作导线连接或焊接外部连接端子（凸块等）的电极垫片（在相关技术举例中的主电极垫片 110）。

接下来，如图 5E 中所示，在钝化层 204 以及底电极垫片 203 的被暴露表面上形成含有 Cr （铬）的馈电层 205a。馈电层 205a 是由例如溅射形成的。

接下来，如图 5F 中所示，在馈电层 205a 上涂敷第一光致抗蚀剂 206。然后第一光致抗蚀剂 206 被适当地曝光和显影，形成第一抗蚀剂

开口 206a, 与钝化层 204 的开口 204a 重叠。

接下来, 如图 5G 中所示, 将暴露在第一抗蚀剂开口 206a 中的馈电层 205a 浸入电镀溶液 (未画出) 中, 在这种状态下向馈电层 205a 供给电流, 从而形成电镀的铜层 205b。

接下来, 如图 5H 中所示, 去掉第一光致抗蚀剂 206, 然后有选择地蚀刻先前在第一光致抗蚀剂 206 下形成的馈电层 205a 以便去掉它。利用到此为止的各步骤, 完成了含有馈电层 205a 和电镀铜层 205b 的顶电极垫片 205。顶电极垫片 205 的厚度约为 1 至 25 μm 。

请注意, 顶电极垫片 205 主要含有铜 (第二金属), 它熔点高于构成底电极垫片 203 的铝 (第一金属)。

再有, 在本实施例中, 底电极垫片 203 和顶电极垫片 205 形成电极垫片 211。

接下来, 如图 5I 中所示, 在钝化层 204 上和电极垫片 211 的暴露表面上形成第二光致抗蚀剂 207。再有, 光致抗蚀剂 207 被曝光和显影, 形成暴露电极垫片 211 的第二开口 207a。

接下来, 如图 5J 中所示, 光致抗蚀剂 207 用作蚀刻掩模以使电极垫片 211 形成图案并在电极垫片 211 中形成第一开口 208。在这种情况下中的蚀刻是例如化学蚀刻或等离子体蚀刻。请注意, 第一开口的直径 R_1 约 50 至 70 μm , 但应根据电极垫片 211 的直径适当地设置。

接下来, 如图 5K 中所示, 硅基片 201 的另一表面 201b 被研磨以把硅基片 201 的厚度减至大约 50 至 150 μm 。通过这一步骤, 得到的好处是其后完成的半导体器件变薄了, 但当半导体器件不必做得薄时, 这一步骤可以略去。

接下来, 如图 5L 中所示, 其直径小于第一开口 208 的直径 R_1 的激光束穿过第一开口 208 发射。作为激光的一个例子, 有 UV 激光、YAG 激光、或激元 (excimer) 激光。被激光束撞击的部分蒸发, 而在硅基片 201 中形成第二开口 201C。这个第二开口 201C 的直径 R_2 约为 25 至 50 μm 。再有, 通孔 212 由第一开口 208 和第二开口 201C

确定。

在形成第一开口 208 之后, 用其直径小于直径 R_1 的激光束进行射击, 从而使激光束免于接触第一开口 208 和蒸发电极垫片 211 的材料 (铝或铜), 从而使蒸发的材料沉积在通孔 212 的侧壁和使硅基片 201 与电极垫片 211 电连接的危险性减小。

此外, 得到了一个结构, 其中第一开口 208 的直径 R_1 大于第二开口 201C 的直径 R_2 。如上文解释的那样, 这一结构的好处是能足以保证在通孔 212 的侧壁处电极垫片 211 和硅基片 201 之间的绝缘。

再有, 由于在形成第二开口 201C 之前在图 5K 的步骤减小了硅基片 201 的厚度, 因此有可能以短时间激光束射击形成第二开口 201C, 于是能减小由于激光束造成的对硅基片 201 的热损伤。

再有, 由于激光束的工作深度变浅, 使被激光束蒸发的硅量减小, 于是减小了被蒸发和在通孔 212 中沉积的硅量。由于这一点, 有可能清洁地形成通孔 212。

请注意, 当热损伤或硅在通孔 212 中的沉积不是一个问题时, 图 5K 的步骤 (减小硅基片 201 厚度的步骤) 可以略去。

再有, 尽管图中所示第二开口 201C 是削尖的, 这是因为由聚焦透镜 (未画出) 把激光束聚焦到一点而不是使用平行光激光束造成的。第二开口 201C 并不一定要是削尖形状的。例如, 即使第二开口 201C 形成直立形状, 也能得到本发明的优点。

再有, 如图 5L 中所示, 可以从硅基片 201 的另一表面 201b 发射激光束而不是穿过第一开口 208 发射激光束, 由此来形成第二开口 201C。即使当这样做时, 也同样可能防止被激光蒸发的硅沉积在电极垫片 211 上。

还有, 可在图 5K 和图 5L 的步骤之间进行图 9 中所示步骤。在这一步骤中, 在钝化层 204 上, 在电极垫片 211 上, 在第一开口 208 的侧壁上, 以及在从第一开口 208 暴露出来的半导体元件形成层 202 上, 形成 SiO_2 膜或其他保护膜 216。在进行图 5L 的激光处理时, 如果由

于激光束而发生碎屑或毛刺，则把它们清除掉（等离子体清除或化学清除）。如果如上述那样形成了保护膜 216，则可防止在清除时造成电极垫片 211 或钝化层 204 受损伤。

在形成通孔 212 之后，进行图 5M 中所示步骤。在这一步骤中，至少在半导体基片 201 的另一表面 201b 上，在通孔 212 的内壁上，以及在电极垫片 211 上，形成 SiO_2 膜 209（绝缘膜）。 SiO_2 膜 209 是通过例如化学汽相淀积（CVD）形成的。

请注意，如图所示，为在半导体基片 201 的两个主表面上形成 SiO_2 膜 209，例如，首先可以只在半导体基片 201 的表面 201a 上和通孔 212 的侧壁上形成 SiO_2 膜 209，然后在另一表面 201b 上形成 SiO_2 膜 209。

接下来，如图 5N 中所示，对 SiO_2 膜 209 形成图案，从而沿着通孔 212 的开口边缘形成通路孔 209a 暴露部分电极垫片 211。通路孔 209a 的形状如在已经解释过的图 2A 至 2D 中所示。

作为形成图 2A 至 2D 中所示任何一个通路孔 209a 的方法，例如，可在 SiO_2 膜 209 上形成具有与那个形状对应的开口的抗蚀剂（未画出），并通过这一开口有选择地蚀刻 SiO_2 膜。在那时使用的蚀刻技术是例如化学蚀刻或等离子体蚀刻。

作为另一种方法，可以在应该形成通路孔 209a 的位置向 SiO_2 膜发射激光束，使那部分蒸发，从而形成图 2A 至 2D 的任何一个中所示通路孔 209a。

具体地说，为形成如图 2A 中所示环形通路孔 209a，用激光束穿孔是适当的。如图 6 中所示，这种“穿孔”方法是从一个激光源发射激光束并围绕它的轴线转动激光束，从而使该激光束在 SiO_2 膜 209 上画出一个环形。

根据这一点，当按环形射击激光束时，只要把转动轴与通孔 212 对齐，便能完成激光源和 SiO_2 膜 209 的定位，所以与每点定位并逐点射击激光束的情况相比，其好处是缩短了过程的时间。

请注意，射击激光束的方法不限于穿孔。例如，还可能放置一个遮光掩模（未画出）阻止激光束，其上有一个形状与通路孔 209a 对应的窗口，由激光束穿过该窗口来打开通路孔 209a。

这里，如先前在图 1B 中所示，由于电极垫片 211 被做成双层结构，有底电极垫片 203 和顶电极垫片 205，所以具有下述好处，不论射击激光束的方法如何。

通路孔 209a 是互连图案 213 与电极垫片 211 电连接的地方，所以，为了保证可靠的连接，它必须穿过整个通路。所以，当形成通路孔 209a 从而穿过整个通路时，射击激光束的功率和时间至少要让激光束穿过 SiO₂ 膜 209。在那时，如图 7A 和 7B 中所示，顶电极垫片 205 的部分 205C 也最终被激光束蒸发。然而，底电极垫片 203 受到顶电极垫片 205 的保护，所以激光束将不会穿过底电极垫片 203 和到达硅基片 201。特别是，主要由铜做成的顶电极垫片 205 甚至比主要由铝做成的底电极垫片 203 的熔点高，所以底电极垫片 203 能被有效地保护。

再有，即使当底电极垫片 203 由铜构成时，也可能通过增大顶电极垫片 205 的厚度来保护底电极垫片 203 免受激光束。就是说，即使当底电极垫片 203 和顶电极垫片 205 为相同材料时，通过形成厚的顶电极垫片 205 和把电极垫片 211 做成这种双层结构，能保护底电极垫片 203 免受激光束。

当然，如果调节激光束功率和射击时间，从而使底电极垫片 205 不被穿透，则形成顶电极垫片 205 的步骤（图 5E 至 5H 的步骤）便没有必要。类似地，当以蚀刻形成通路孔 209a 时，形成顶电极垫片 203 的步骤是不必要的。

在形成通路孔 209a 之后，进行图 5O 中所示步骤。在这一步骤中，在 SiO₂ 膜 209 上和通路孔 209a 中形成导体膜 213。导体膜 213 的厚度约 1 至 20 μm。

如图 5P 中所示，导体膜 213 包含由溅射形成的 C_r（铬）膜 213a、也由溅射在它上面形成的铜膜 213b 以及使用 C_r（铬）膜 213a 和铜膜

213b 作为馈电层形成的电镀铜膜 213c。然而，导体膜 213 的结构不限于这样。例如，也可能由溅射形成铝膜并用这铝膜作为导体膜 213。另一种作法是，可能由溅射形成 C_r (铬) 膜，然后由无电涂敷或电镀在 C_r (铬) 膜上形成 C_u (铜)、 N_i (镍)、 A_u (金) 或其他膜，用作导体膜 213。

请注意，在图示的例子中，通孔 212 是中空的，但本发明不限于此。例如，也可能如图 10 的放大截面图所示，通过应用厚电镀铜膜 213c，以含铜导体 217 填充通孔 212 的内部。

填充方法不限于上述方法。例如，也可能形成导体膜 213 使其厚度达到约 1 至 20 μm ，然后形成一个抗镀层 (plating resist layer)，该层有一个开口只暴露通孔 212 的侧壁，并以电解铜镀敷该侧壁，从而以铜填充通孔 212。在这一方法中，导体膜 213 没有变厚，所以有可能在其后的步骤中对导体层 213 精细地形成图案。请注意，不管用什么方法，导体 217 应与导体膜 213 电连接。

接下来，将解释不填充导体 217 的情况，但即使当填充导体 217 的时候也可使用同样的步骤。

在形成导体膜 213 之后，如图 5Q 中所示，对导体膜 213 形成图案，以形成互连图案 214。互连图案 214 是在硅基片 201 的两个主要表面 201a 和 201b 上形成的。这两个主要表面 201a 和 201b 上的互连图案 214 通过通孔 212 电连接。

接下来，如图 1A 中所示，对硅基片 201 的另一表面 201b 上的互连图案 214 的预定位置提供焊料块 210 用作外部连接端子，然后该基片被切块，从而完成如图 1A 所示的半导体器件。

所完成的半导体器件 215 可以单独安装在母板 (未画出) 上，或者可以叠加。

当把它们叠加时，如在图 3 中解释的那样，在互连图案 214 处提供端子部分 214a。如图 8 中所示，准备了多个已完成的半导体器件 215。

接下来，如图 4 中所示，在焊料块 210 紧靠在底半导体器件 215

的端子部分 214a 的状态下使焊料块 210 软熔。在软熔之后，焊料块 210 的温度下降，从而完成含有大量叠加的半导体器件 215 的有三维安装结构的半导体模块。

再有，当以导体 217 填充通孔 212 时，如图 11 中所示，从通孔 212 的开口 212a 暴露出来的部分导体 217a 起到上述端子部分 214a 的作用，于是端子部分 214a 和提供焊料块 210 的位置处的互连图案都不必要了。

概括本发明的效果，如前文解释的那样，在绝缘膜中沿着通孔的开口边缘提供通路孔，以保证通路孔有足够的开口区域和可靠地实现互连图案与电极垫片的电连接。由于这一点，在本发明中，在过去为保证通过开口区域而使用的通路孔电极垫片变为不必要，从而能使半导体芯片的平面尺寸比过去少。

再有，通孔能做成在穿过电极垫片部分的直径大于在穿过半导体基片的部分的直径。如果这样做了，则能在通孔的侧壁足以保证电极垫片和半导体基片之间的绝缘。

尽管为了演示的目的已参考选出的特定实施例描述了本发明，但应该清楚，本领域技术人员能对其做出大量修改而不脱离本发明的基本概念的和范围。

这里公开的内容涉及日本专利申请 2001-180891 号（2001 年 6 月 14 日提交）中包含的内容，它所公开的内容在这里明确地全部纳入作为参考。

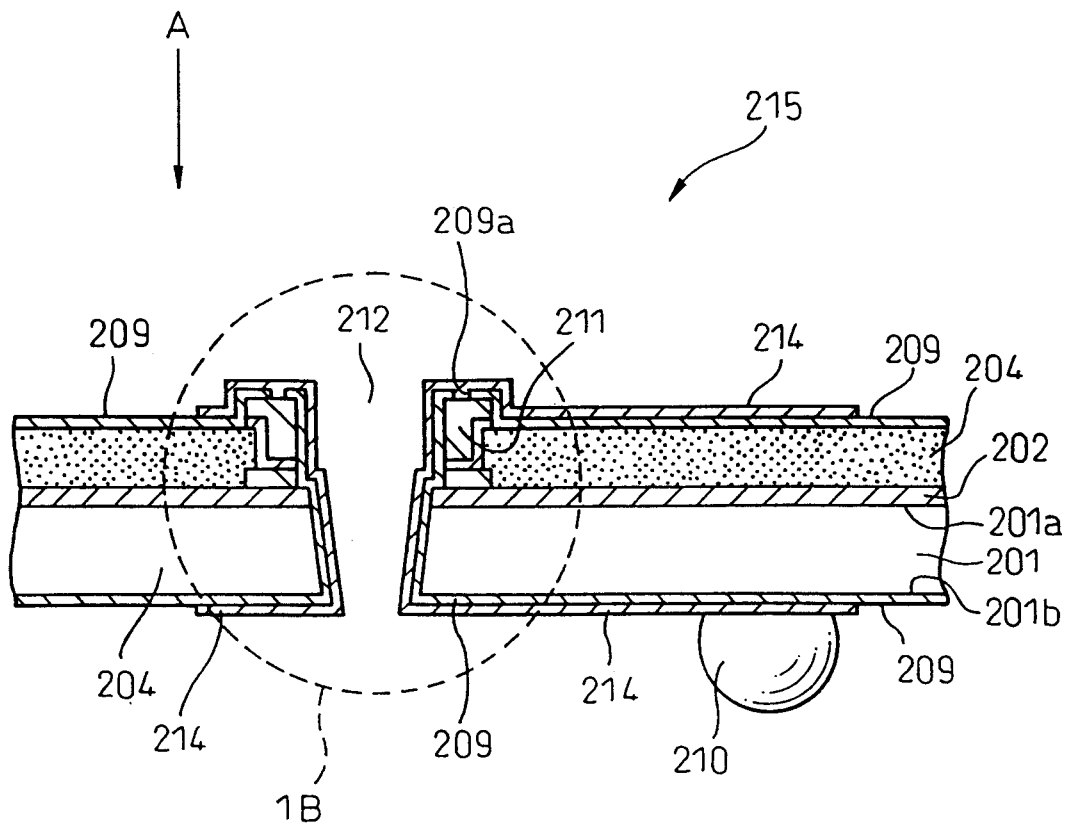


图 1A

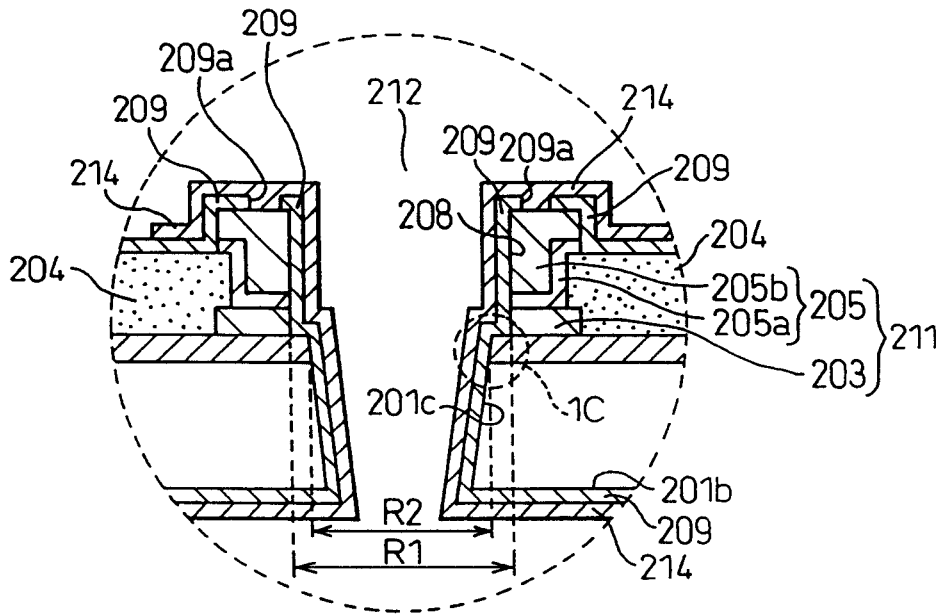


图 1B

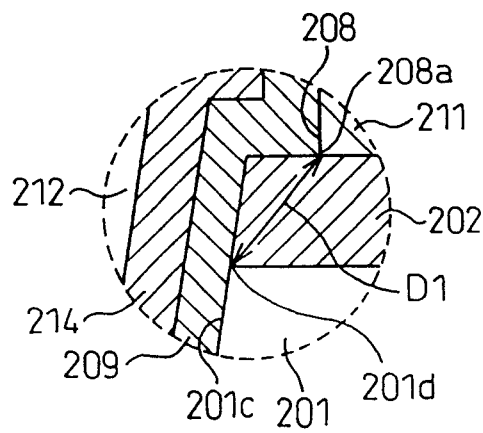


图 1C

图 2A

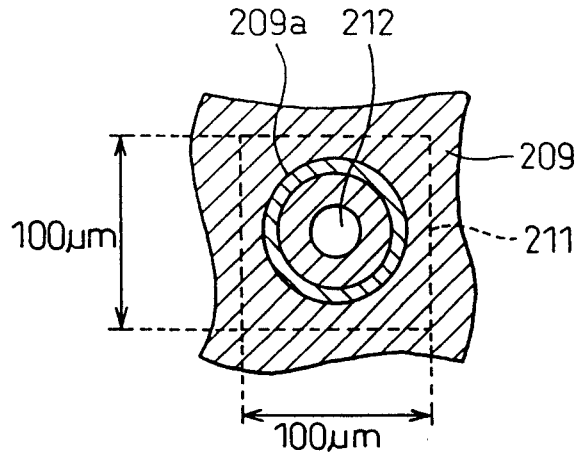


图 2B

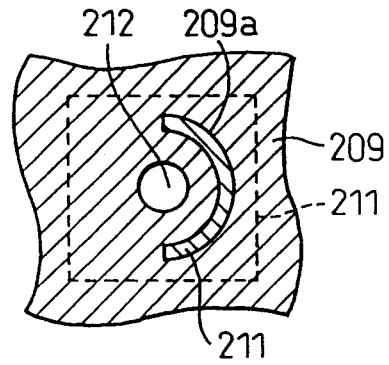


图 2C

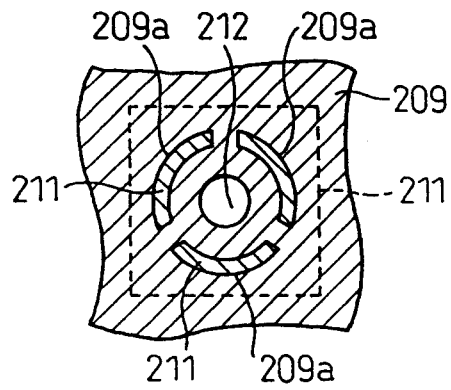
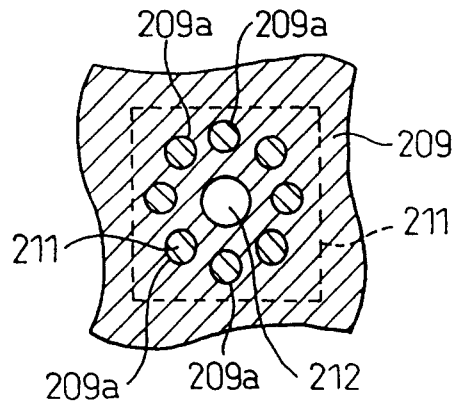


图 2D



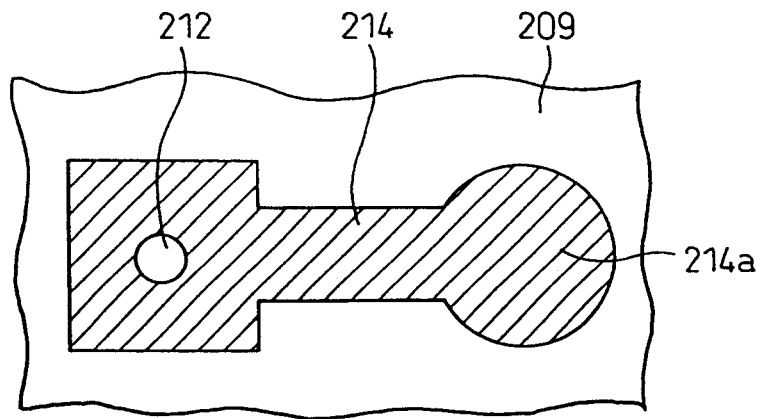


图 3

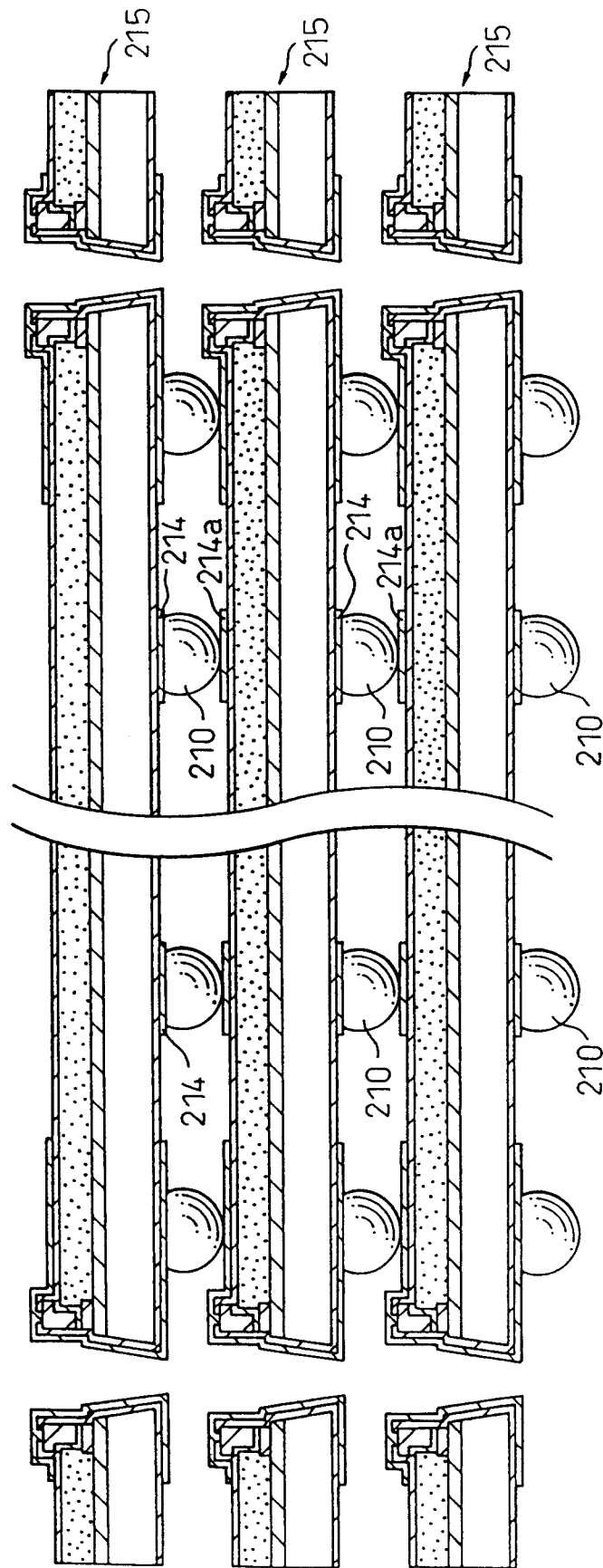


图 4

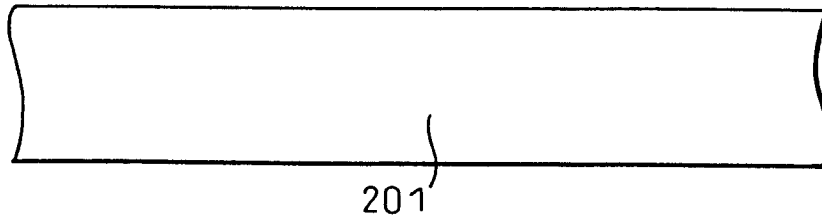


图 5A

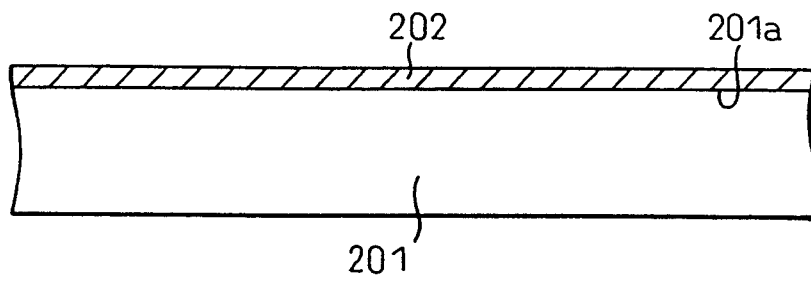


图 5B

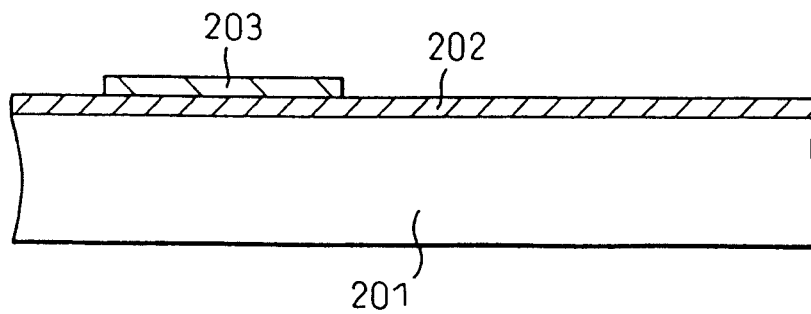


图 5C

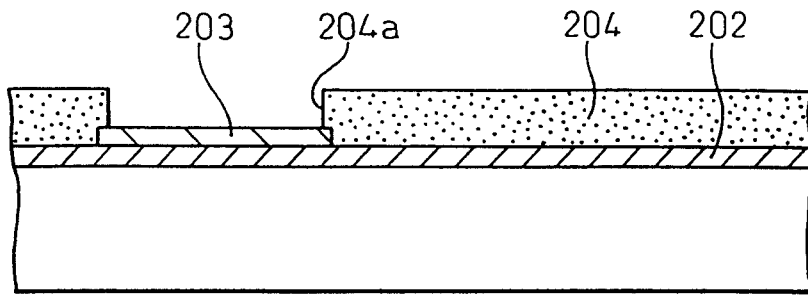


图 5D

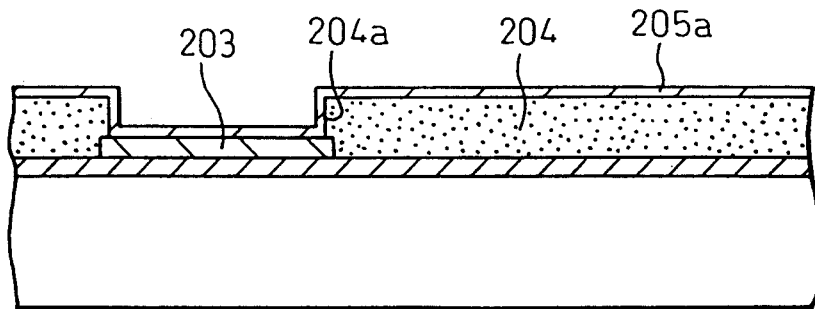


图 5E

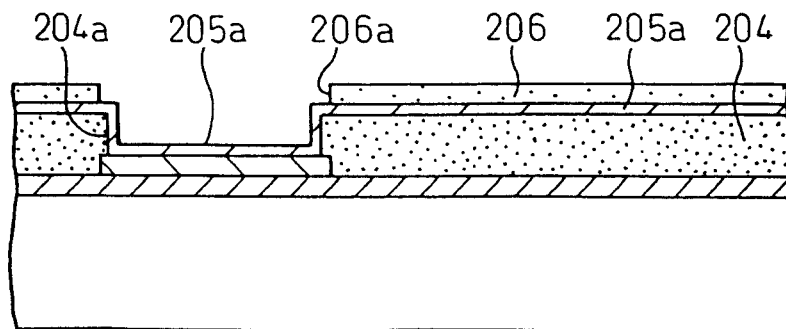


图 5F

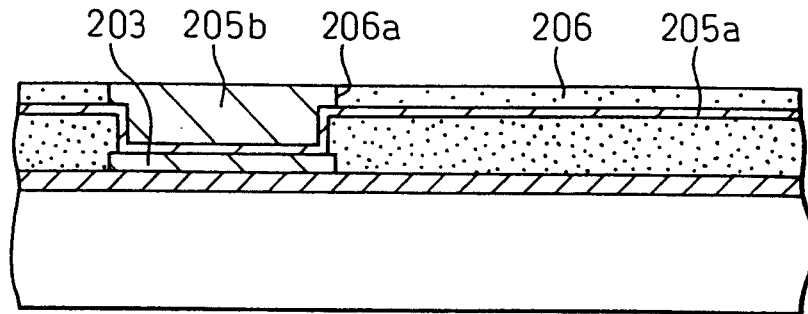


图 5G

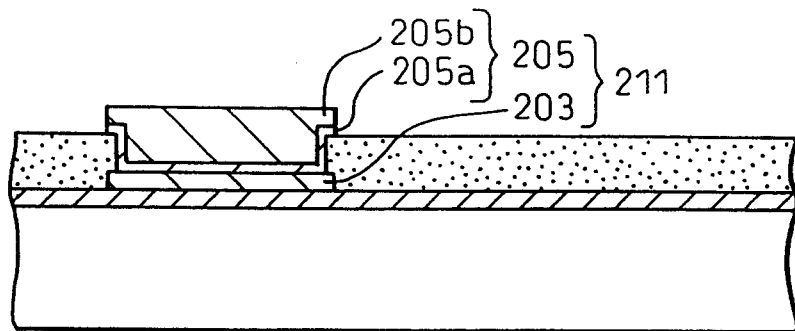


图 5H

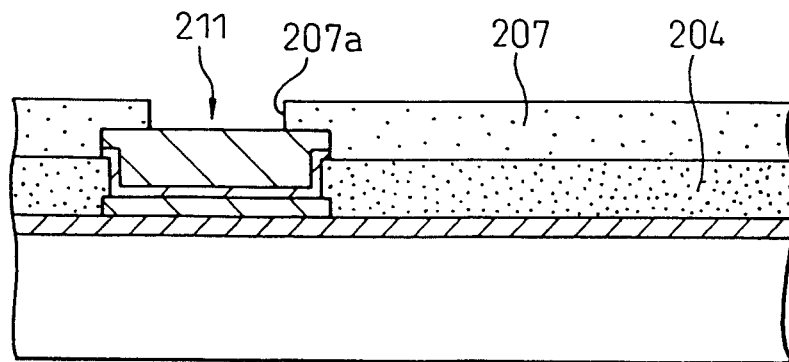


图 5I

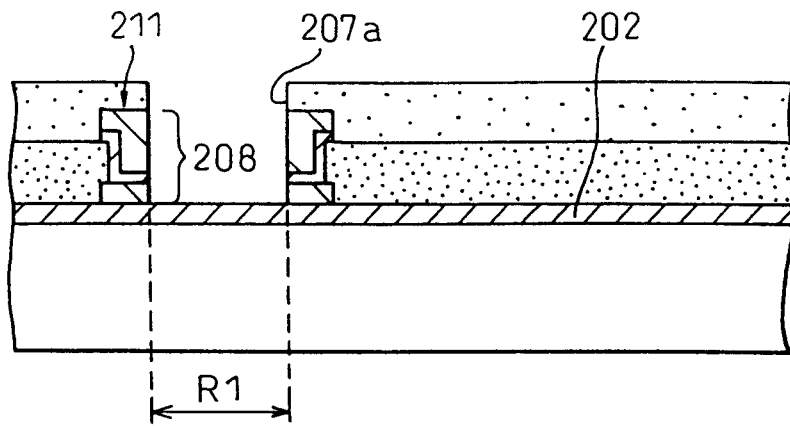


图 5J

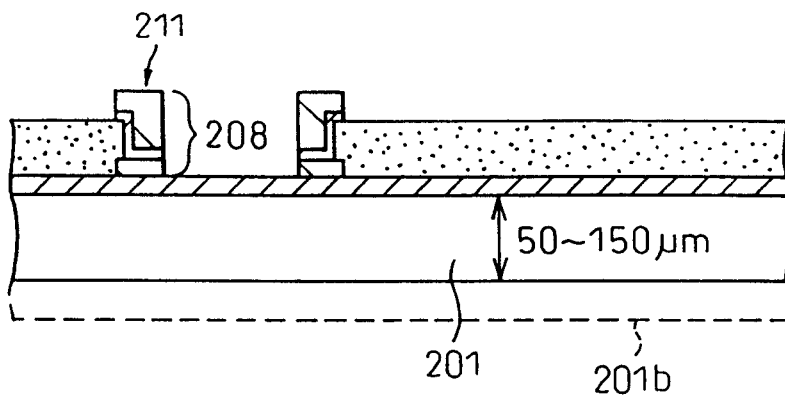


图 5K

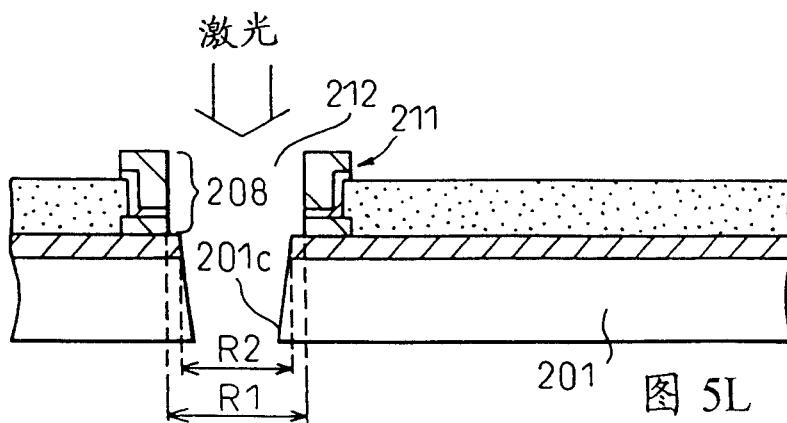


图 5L

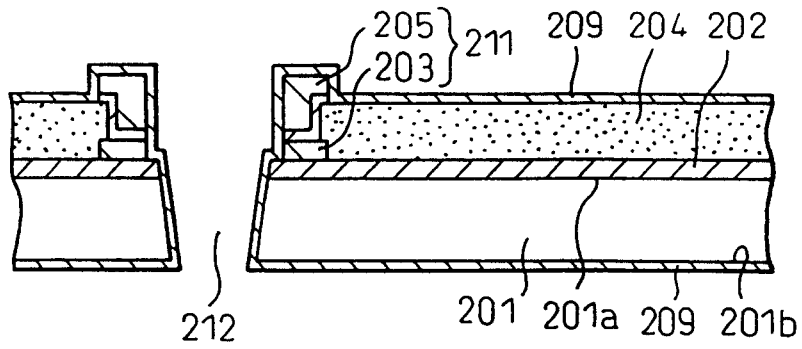


图 5M

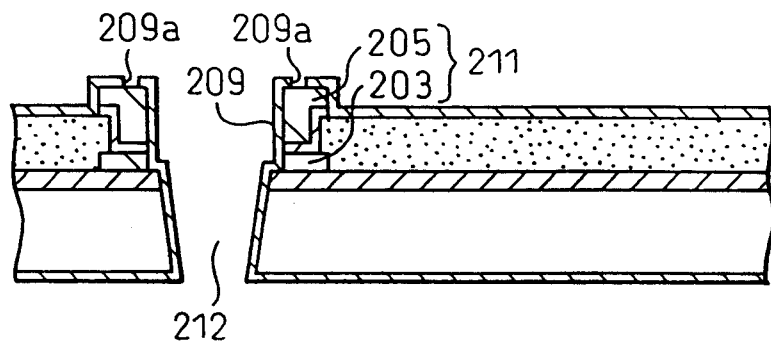


图 5N

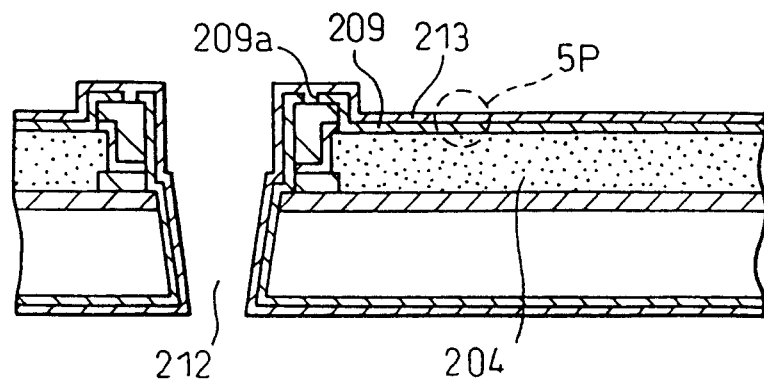


图 5O

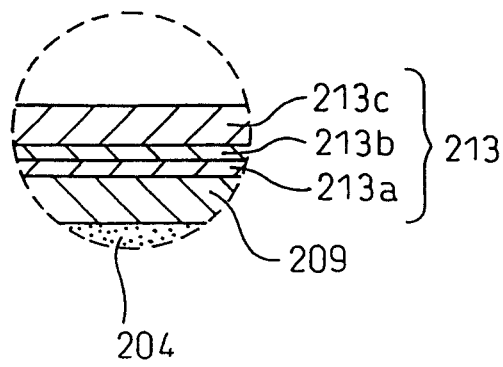


图 5P

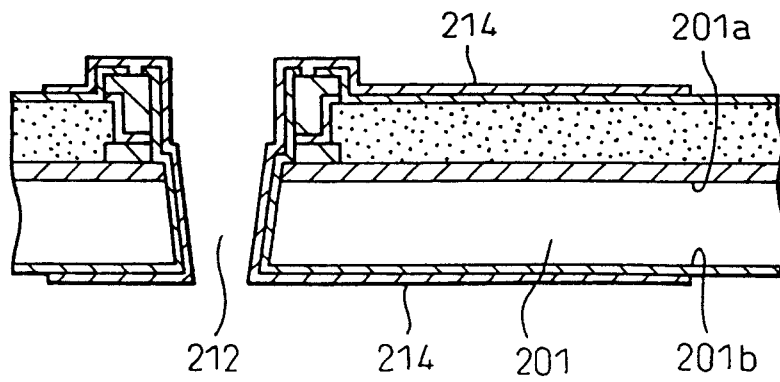


图 5Q

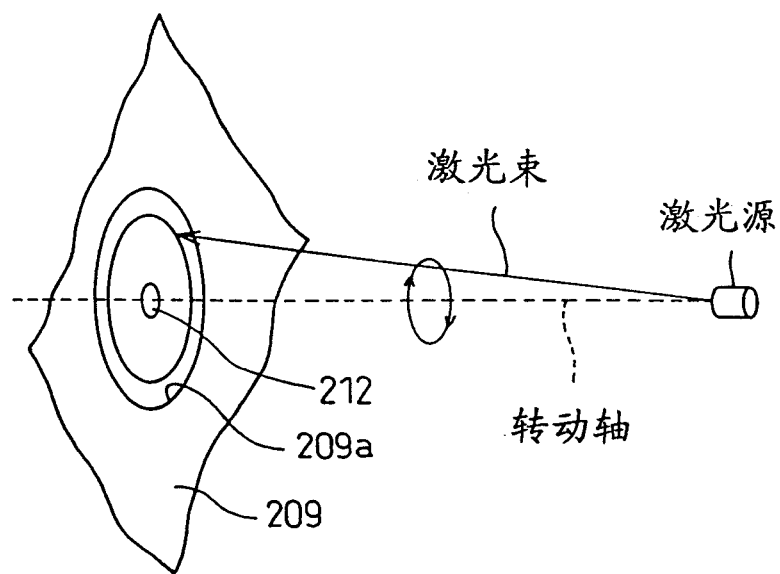


图 6

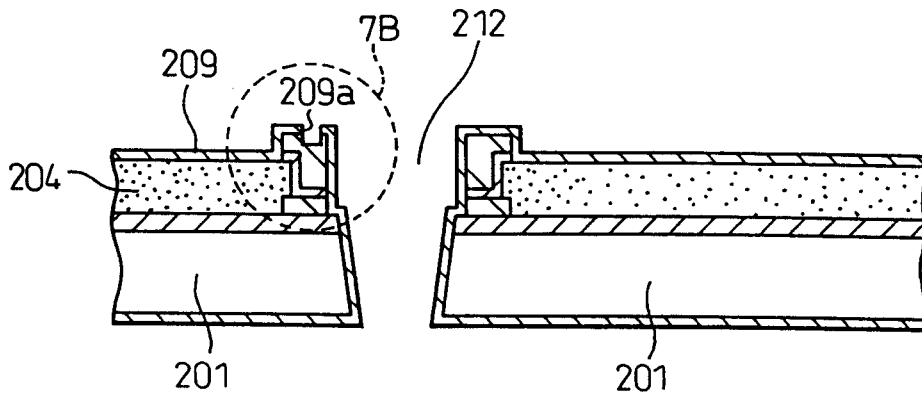


图 7A

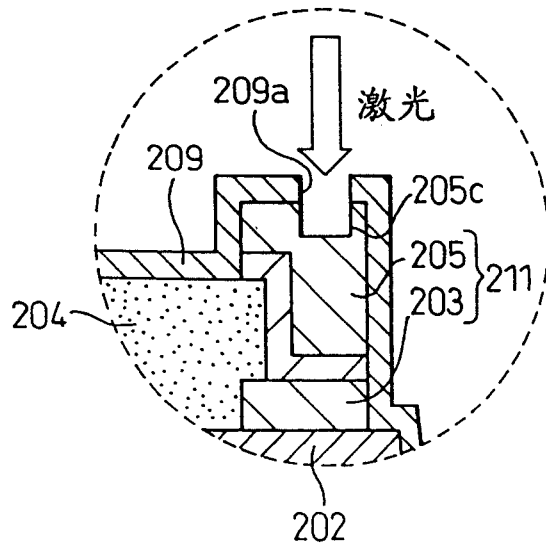
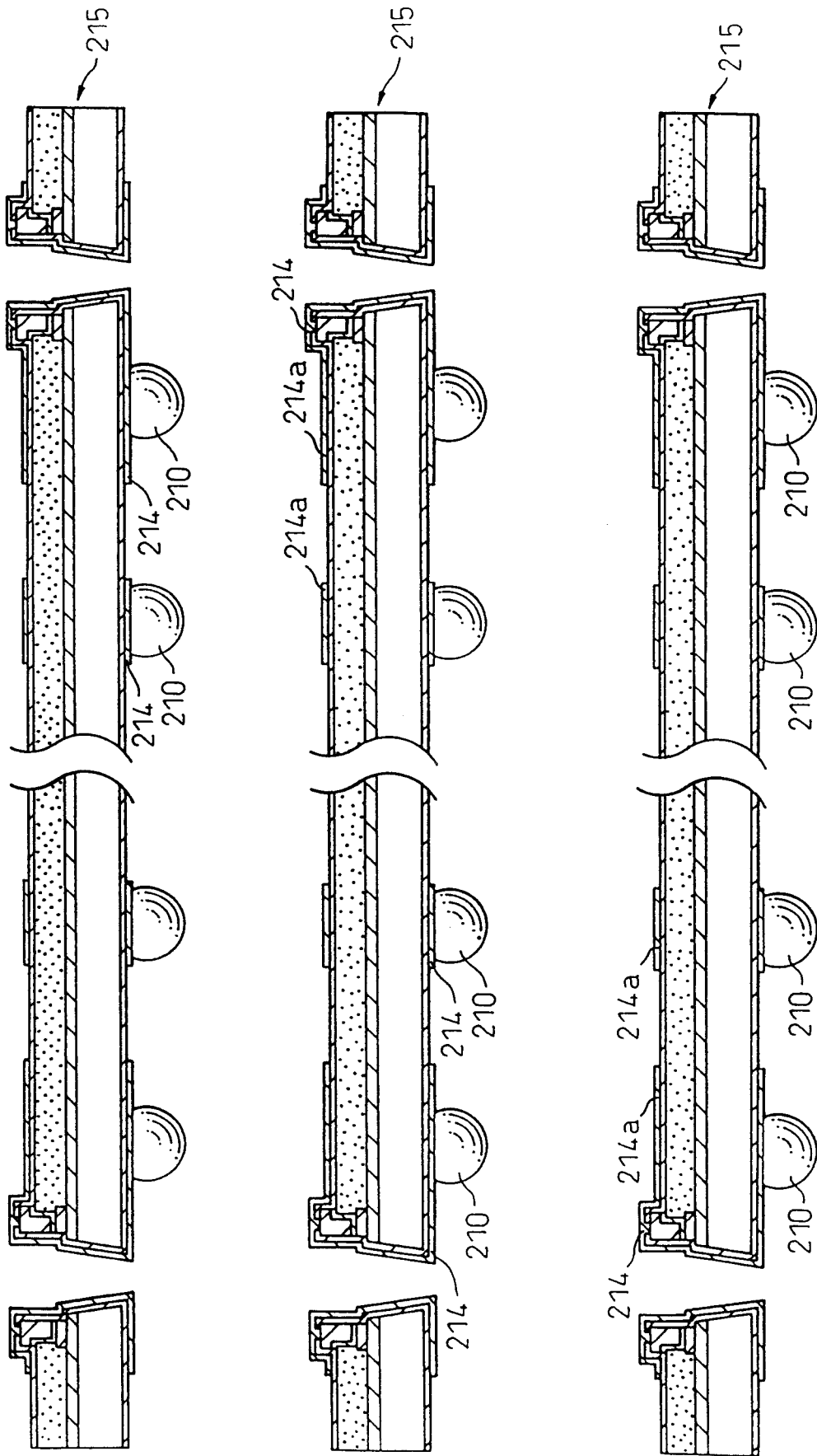


图 7B

图 8



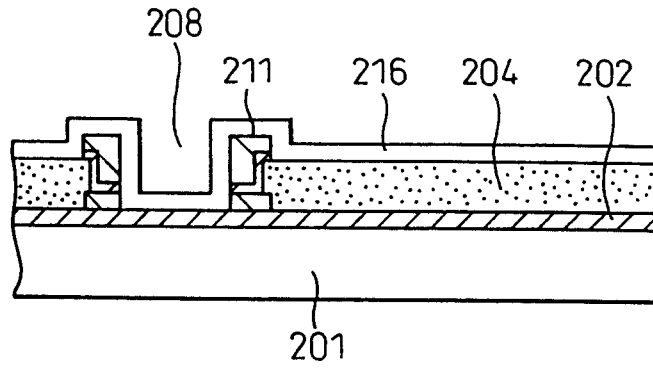


图 9

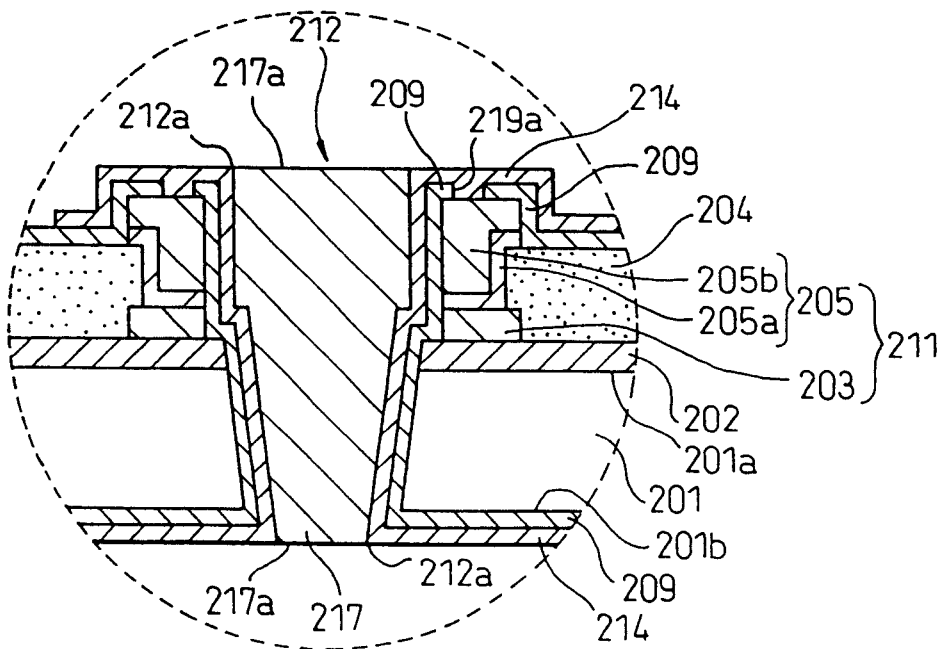


图 10

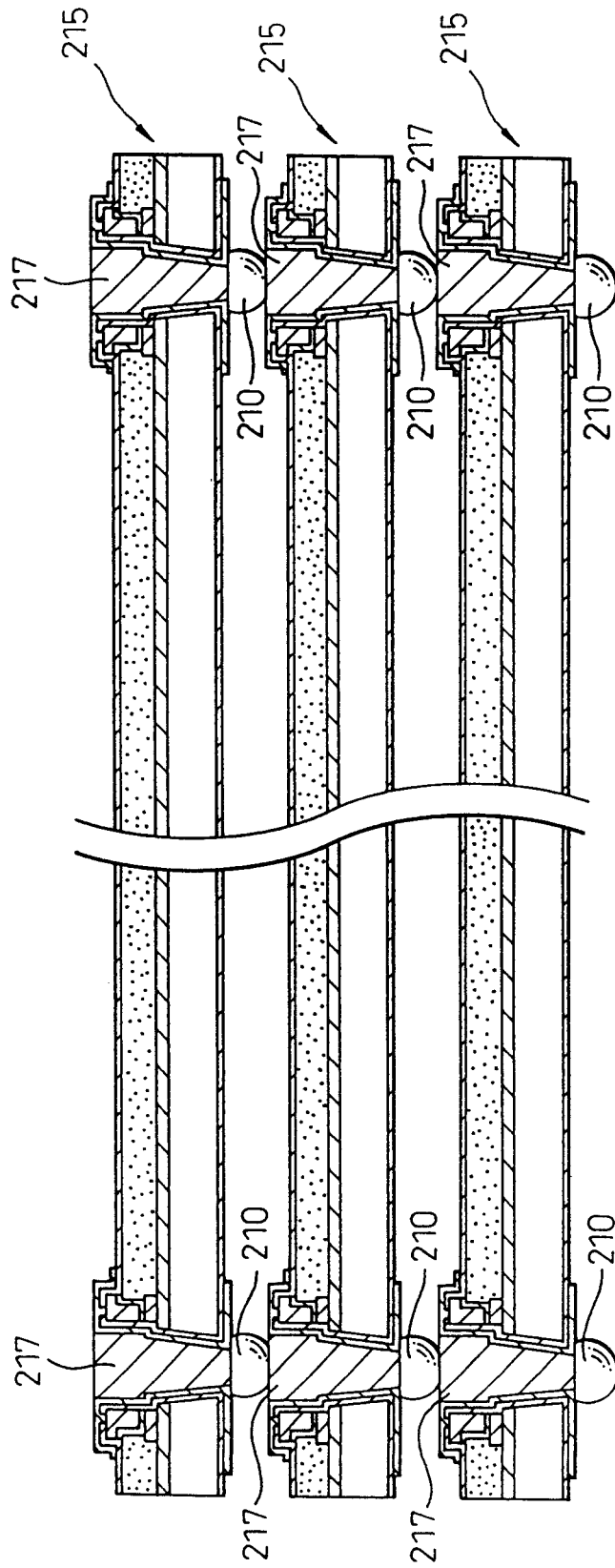
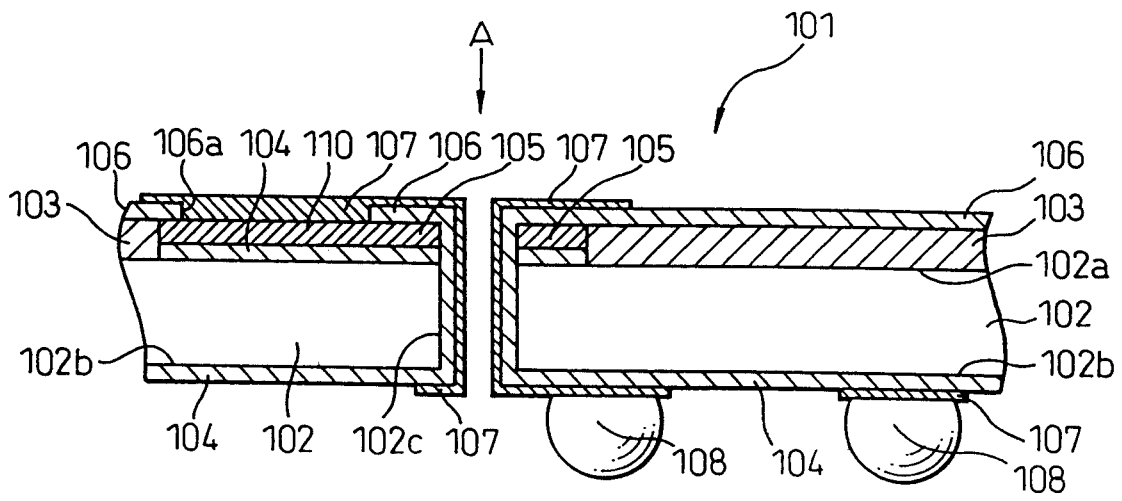
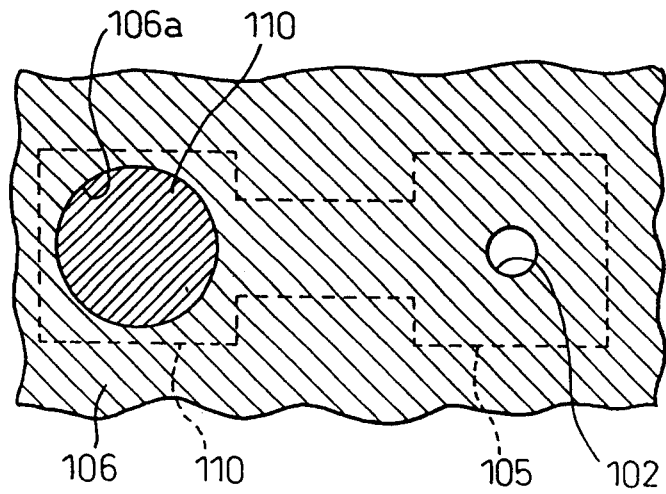


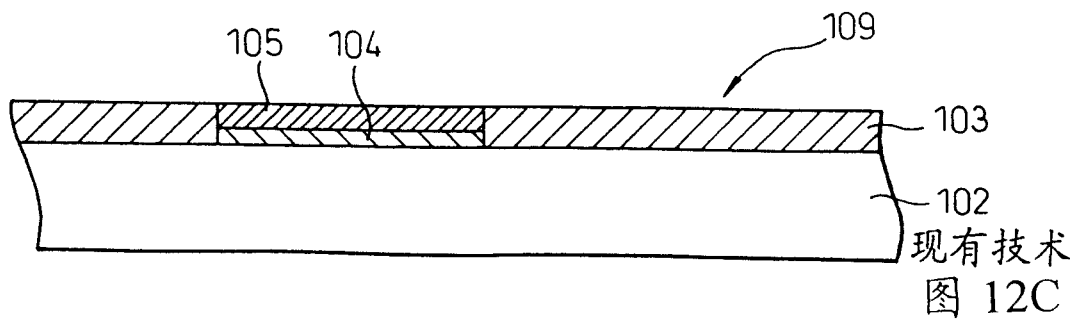
图 11



现有技术
图 12A



现有技术
图 12B



现有技术
图 12C