【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成18年1月19日(2006.1.19)

【公表番号】特表2001-527232(P2001-527232A)
【公表日】平成13年12月25日(2001.12.25)
【出願番号】特願2000-525796(P2000-525796)
【国際特許分類】
Ｇ０５Ｂ　19/042　(2006.01)
Ｇ０５Ｂ　9/03　(2006.01)
【ＦＩ】
Ｇ０５Ｂ　19/042
Ｇ０５Ｂ　9/03

【手続補正書】
【提出日】平成17年11月15日(2005.11.15)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】　プロセス制御タスクを実行する一次プロセス・コントローラと、故障時に前記一次プロセス・コントローラに置き換わるよう動作するバックアップ・プロセス・コントローラとの間のデータの一貫性を維持するためのシステムであって、前記一次プロセス・コントローラが期間Ｔを有する基本制御サイクルの期間に前記プロセス制御タスクを周期的に実行するシステムにおいて、
前記一次プロセス・コントローラの主メモリにおける変更されたデータを検出するよう動作する追跡回路と、
前記変更されたデータを一次的に蓄積するためのデータ・バッファと、
前記一次プロセス・コントローラの各基本制御サイクルの期間に少なくとも一回、前記データ・バッファの前記変更されたデータを前記バックアップ・プロセス・コントローラのバックアップ・メモリへ、前記変更されたデータの転送が前記プロセス制御タスクの実行と干渉しないように転送するためのデータ転送回路と、
を具備するシステム。
【請求項２】　請求項１に記載のシステムであって、前記データ・バッファが、変更されたデータの前記転送が前記基本制御サイクル内に完了するよう充分小さい、システム。
【請求項３】　請求項１または２に記載のシステムであって、前記追跡回路が前記一次プロセス・コントローラの前記主メモリにおける書込み操作を検出する、システム。
【請求項４】　請求項１ないし３の何れかに記載のシステムであって、前記追跡回路が前記一次プロセス・コントローラにおける前記主メモリの選択された共有アドレス・スペースにおける書き込み操作を検出する、システム。
【請求項５】　請求項１ないし４の何れかに記載のシステムであって、前記データ・バッファが満杯のときは常に、前記データ転送回路が前記データ・バッファにおける前記変更されたデータを転送する、システム。
【請求項６】　請求項１ないし５の何れかに記載のシステムであって、前記主メモリの選択された共有アドレス・スペースの全部が前記バックアップ・メモリへ転送されてしまうまで、前記選択された共有アドレス・スペースの複数のサブエリアを前記主メモリから前記バックアップ・メモリへ転送することにより、前記データ転送回路が、前記主メモ

リの選択された共有アドレス・スペースと前記バックアップ・メモリとの間のデータの一貫性を動作の初期段階の期間に確立する、システム。

【請求項７】　請求項１ないし６の何れかに記載のシステムであって、前記追跡回路が、前記バックアップ・メモリへ以前に転送された前記選択された共有アドレス・スペースのサブエリアにおいてのみ、変更されたデータを前記動作の初期段階の期間に検出する、システム。

【請求項８】　請求項１ないし７の何れかに記載のシステムであって、選択されたプロセスを制御する少なくとも１つの冗長コントローラを備えたプロセス設備え、該冗長コントローラが、

期間Ｔを有する基本制御サイクルの期間にプロセス制御タスクを周期的に実行するよう動作する一次プロセス・コントローラと、

プロセス・データを蓄積するための、前記一次プロセス・コントローラに関連付けられた主メモリと、

故障時に前記一次プロセス・コントローラに置き換わるよう動作するバックアップ・プロセス・コントローラと、

プロセス・データを蓄積するための、前記バックアップ・プロセス・コントローラに関連付けられたバックアップ・メモリと、

前記主メモリにおけるプロセス・データと前記バックアップ・メモリにおけるプロセス・データとの間の一貫性を維持するためのメモリ・コヒーレンシ回路であって、（１）前記主メモリにおける変更されたデータを検出するよう動作する追跡回路と、（２）前記変更されたプロセス・データを一次的に蓄積するためのデータ・バッファと、（３）前記データ・バッファにおける前記変更されたプロセス・データを前記バックアップ・メモリへ、前記変更されたプロセス・データの転送が前記プロセス制御タスクの実行と干渉しないように、各基本制御サイクルの期間に少なくとも１回、転送するためのデータ転送回路とを備えるメモリ・コヒーレンシ回路と、

を具備する、

システム。

【請求項９】　プロセス制御タスクを実行する一次プロセス・コントローラと、故障時に前記一次プロセス・コントローラに置き換わるよう動作するバックアップ・プロセス・コントローラとの間のデータの一貫性を維持するための方法であって、前記一次プロセス・コントローラが期間Ｔを有する基本制御サイクルの期間に前記プロセス制御タスクを周期的に実行するものである方法において、

前記一次プロセス・コントローラの主メモリにおける変更されたデータを検出するステップと、

前記変更されたデータをデータ・バッファに一次的に蓄積するステップと、

前記一次プロセス・コントローラの各基本制御サイクルの期間に少なくとも一回、前記データ・バッファの前記変更されたデータを前記バックアップ・プロセス・コントローラのバックアップ・メモリへ、前記変更されたデータの転送が前記プロセス制御タスクの実行と干渉しないように転送するステップと、

を具備する方法。

【請求項１０】　請求項９に記載の方法であって、前記データ・バッファが、変更されたデータの転送を前記基本制御サイクル内に完了するよう充分小さい、方法。

【請求項１１】　請求項９または１０に記載の方法であって、変更されたデータを検出する前記ステップが、前記一次プロセス・コントローラの前記主メモリにおける書込み操作を検出するサブステップを含む、方法。

【請求項１２】　請求項９ないし１１の何れかに記載の方法であって、変更されたデータを検出する前記ステップが、前記一次プロセス・コントローラの前記主メモリにおける選択された共有アドレス・スペースでの書込み操作を検出するサブステップを含む、方法。

【請求項１３】　請求項９ないし１２の何れかに記載の方法であって、変更されたデ

ータを転送する前記ステップが、前記データ・バッファが満杯のときには常に実行される、方法。

【請求項１４】 請求項９ないし１３の何れかに記載の方法であって、前記主メモリの選択された共有アドレス・スペースの全部がバックアップ・メモリへ転送されてしまうまで、前記選択された共有アドレス・スペースの複数のサブエリアを前記主メモリから前記バックアップ・メモリへ転送することにより、前記主メモリの前記選択された共有アドレス・スペースと前記バックアップ・メモリとの間のデータの一貫性を動作の初期段階の期間に確立するステップを更に備える、方法。

【請求項１５】 請求項９ないし１３の何れかに記載の方法であって、前記バックアップ・メモリへ以前に転送された選択された共有アドレス・スペースのサブエリアのみにおいて、動作の初期段階の期間に、変更されたデータを検出するステップを更に備える、方法。