(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04L 12/28

(45) 공고일자 1999년12월01일
(11) 등록번호 10-0233219
(24) 등록일자 1999년09월10일

(21) 출원번호 10-1995-0049100
(22) 출원일자 1995년12월13일
(65) 공개번호 특1996-0027712
(43) 공개일자 1996년07월22일
(30) 우선권주장 355,366 1994년12월13일 미국(US)

(73) 특허권자 에이티 앤드 티 코포레이션 엘리 웨이스
미국 뉴욕 10013-2412 뉴욕 애비뉴 오브 디 아메리카즈 32에이티 앤드 티 코포레이션 알 비 레비
미국 뉴욕 10013-2412 뉴욕 애비뉴 오브 디 아메리카즈 32
(72) 발명자 리사 이. 잭슨
미국 일리노이 60532 리슬 트레일 드라이브 3A 힐 11774
윌리암 브르데트 윌슨
미국 펜실베니아 18104 앨랜타운 웨스트 그린리프 스트리트 1918
(74) 대리인 이병호

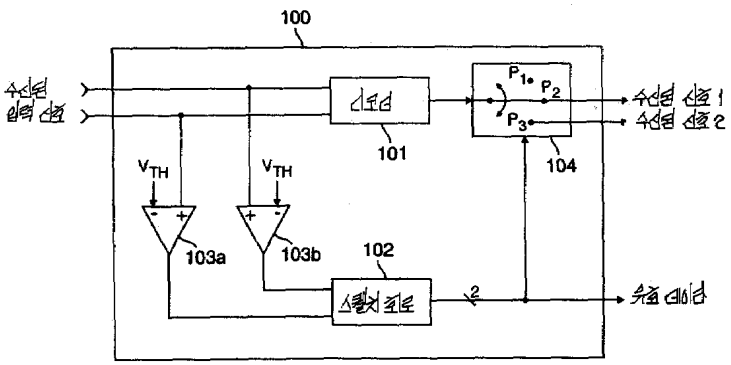
심사관 : 박종한

(54) 디지탈 데이타 수신기 및 다양한 물리적 프로토콜과 주파수를 가지는 전송된 신호들을 구분하기 위한 회로와 방법

요약

본 원에서 공개된 발명은 패킷에 기초한 근거리통신망과 같은 디지털 데이타 수신기 및 디지털 버스트 모드 통신시스템에서 전달되어지며 다양한 물리계층의 프로토콜과 주파수를 가지는 데이타 패킷 및 신호를 구분하기 위한 회로와 그 방법에 관한 것이다. 스퀄치회로에 수신된 입력 신호의 전이가 다양하게 선정된 시간에서 전이로부터 하나 이상의 신호를 보내는 카운터를 동작하게 한다. 입력 신호에서 다음 전이가 나타날 때 신호의 존재여부는 입력 신호가 특정하게 지정된 시간간격과 관련된 주파수보다 크거나 작은지를 나타내준다. 특정한 주파수의 요구를 만족시키는 특정한 전이수가 입력될 때, 입력 신호가 특정한 주파수로 입력되는 가의 여부가 결정된다.

대표도



명세서

[발명의 명칭]

디지탈 데이타 수신기 및 다양한 물리적 프로토콜과 주파수를 가지는 전송된 신호들을 구분하기 위한 회로와 방법

[도면의 간단한 설명]

제1도는 데이타 패킷 응용을 위한 디지털 데이타 수신기의 구성도.

제2도는 제1도에서 보여지는 스퀄치(squelch)회로의 일 실시예를 나타내는 회로도.

제3도는 제2도에서 보여지는 두 개의 카운터의 일 실시예를 나타내는 회로도.

제4도는 제3도에서 보여지는 카운터의 시간함수를 나타내는 타이밍도.

제5도는 제1,2,3도에서 보여지는 일 실시예의 동작되는 방법을 보여주는 흐름도.

* 도면의 주요부분에 대한 부호의 설명

101 : 디코더 102 : 스퀄치 회로

200a : 카운터 A 200b : 카운터

206 : 지연부 208a,208b : 카운터

210a,210b : 디코더 300 : M-비트카운터

301 : 1/ 2M 디코더

[발명의 상세한 설명]

[발명의 기술분야]

본 발명은 일반적으로 통신 시스템상에서의 신호전달에 관한 것으로, 특히 디지털 데이타 수신기 및 디지털 버스트 모드 통신시스템상에서 전달되는 다양한 물리 계층 프로토콜과 주파수를 갖는 데이타 패킷과 신호간을 구분하기 위한 회로 및 방법에 관한 것이다.

[발명의 배경]

통신시스템과 네트워크는 일반적으로 다수의 처리 시스템 노드(node)를 포함하고 있다. 노드들은 데이타 패킷의 전달 또는 전송을 통해 서로간에 통신한다.

버스트 모드 통신시스템은, 예를들면 일반적으로 네트워크의 노드를 사이에 통신을 위해 디지털 데이타 패킷을 사용한다. 데이타 패킷들은 한 노드가 시스템의 다른 노드에 전송하는 데이타 버스트들이다. 각 수신 노드는 특정 데이타 패킷이 어드레스되는 가의 여부를 판정하기 위하여 데이타 패킷을 분석한다.

통신시스템은 물리적인 거리변수에 의해 분류될 수 있다. 물리적인 거리는 특정한 노드들이 어떻게 분포되는가, 즉 서로간에 얼마나 멀리 떨어져있는지에 따라 통신 시스템들을 구분하며, 이러한 통신시스템에서는 예를들면 한 빌딩내에서와 같이 서로 상대적으로 밀접하게 노드들이 배열된다.

이러한 형태의 통신 시스템은 일반적으로 근거리 통신망(LAN)으로 알려져 있다. 소정의 한 특정 노드는 그 자체가 개별적 원격 통신 시스템일 수 있음에 유념해야 한다. LAN의 노드들 사이의 데이타 패킷 전송율은 일반적으로 종래의 분포된 시스템의 노드들 사이의 전송율과 비교할 때 상대적으로 높다.

“스타(star)” 및 “토큰 링(token ring)”은 2개의 대표적인 LAN 행태이며, 이외에도 2개의 다양한 조합이 이루어질 수 있다. LAN에서는 일반적으로 다수의 레벨들, 즉 계층구조가 있다: 여기에는 고속의 백본(back-bone) 및, “리피터”와 멀티플렉서를 통해 상기 백본에 결합된 저속의 로컬 네트워크가 있다. 이러한 구성은 “버스트 모드 통신을 위한 디지털 캐리어 검출 회로 및 방법”으로 명칭된 미국특허 제5,199,049호에 보다 상세히 개시되어 있으며, 이것은 본 발명의 양수인에게 공동으로 소유되어 있는 것으로, 본원에서 참조된다. 다양한 노드들은 일반적으로 백본을 통해서나 리피터내에서 서로간에 통신한다.

스타 LAN 구성내의 리피터는, 예를들면 일반적으로 통신의 각 방향에 대하여 트위스트 와이어쌍이나 대응하는 송수신 인터페이스와 같은 저속의 매체를 통해 다르 노드들과 통신한다. 인터페이스 및 리피터들은 일반적으로 수신기를 포함한다. 수신기는 변조된 신호와 데이타 패킷을 수신하여 이를 유용한 데이타 정보 또는 인텔리전스(intelligence)로 전환시킨다.

그러나, 종래의 통신 시스템에서, 특히 수신기는 동일한 매체를 통해 전송되는 상이한 물리 계층 프로토콜로 전송된 데이타 패킷들 사이, 즉 더 일반적으로는 매체를 통해 전송되는 실제의 데이타 패킷들 및 예컨대 마찬가지로 전송되는 잼 신호들 같은 다른 인텔리전트 신호들 사이를 구분할 수 없다는 어려운 문제점이 있었다. 상이한 물리계층 프로토콜은 특히 통신 시스템 및 노드들 사이에서 교환되는 정보의 상대적인 타이밍과 포맷을 위한 규격이다.

[발명의 개요]

본원에는 패킷에 기초한 LAN과 같은 디지털 버스트 모드 통신 시스템상에 전송되는 다양한 물리 계층 프로토콜들 및 주파수들의 데이타 패킷들 및 신호들 사이를 구분하기 위한 회로 및 방법이 개시된다. 특히, 본 발명의 원리에 따라 다수의 주파수 중의 어느 한 주파수로 전송된 입력 신호들 사이를 구분하기 위한 디지털 데이타 수신기는 수신, 발생 및 판정 수단을 포함한다. 수신 수단은 입력 신호를 수신하기 위해 동작한다. 발생 수단은 다수의 타이밍신호를 발생시키기 위해 동작하며, 여기서 타이밍 신호들 각각은 입력 신호에서 제1극성 전이 이후에 특정한 소정 시각에서 발생된다. 판정 수단은 입력 신호에서 제2극성 전이가 타이밍 신호들 사이의 특정한 시간 간격 동안 일어나는가의 여부를 판정하도록 동작한다.

본 발명의 원리에 따른 한 방법은 두 개의 주파수들중 하나로 수신된 입력신호의 처리 경로를 제어하는 것이다. 이 방법은 다수의 타이밍 신호들을 발생시키는 단계로서, 상기 타이밍 신호들중 각각의 한 신호는 입력 신호에서 제1극성 전이 후에 특정 소정 시각에 발생되는, 상기 발생 단계 및 입력 신호에서의 제2극성 전이가 타이밍 신호들 사이의 특정 시간 간격동안 발생하는 가의 여부를 판정하는 단계로서, 상기 특정 시간 간격은 2개의 주파수들중 하나에 대응하는, 상기 판정 단계를 포함하는 것이 바람직하다.

본 발명의 원리에 따른 한 회로는 수신된 입력 신호의 처리 경로를 선택적으로 지시 또는 제어하는 것에 관한 것이다. 입력 신호는 다수의 주파수들 중의 하나와 동일한 전송 주파수를 갖는 것이 바람직하다. 이 회로는 발생 및 판정 수단을 포함한다. 발생 수단은 다수의 타이밍 신호를 발생시키도록 동작하며, 여기서 타이밍 신호들중 각각의 한 신호는 입력 신호에서 제1극성 전이가 일어난 이후에 특정한 소정 시각에 발생된다. 판정 수단은 입력 신호에서 제2극성 전이가 타이밍 신호들 사이의 특정한 시간 간격동안 일어

나는 가의 여부를 판정하도록 동작한다.

[발명의 양호한 실시예]

지금부터는 도면을 참조로 보다 상세히 본 발명에 대해 설명하겠다.

제1도는 예컨대 종래의 처리 시스템에 기초한 통신 시스템에서 이용되는 데이타 패킷 에플리케이션을 위한 디지털 데이타 수신기의 일례를 예시한다. 본 발명의 원리가 실질적으로 고속 백본(backbone) 또는 버스트 모드 위성 통신 시스템의 2가지 예로서 통신하기 위한 종래의 리피터에 의해 이용되는 디지털 수신기 같은 소정의 디지털 수신 에플리케이션에 적용될 수 있음이 이해된다. 예시된 수신기(100)는 디코더(101), 스퀄치 회로(102), 한쌍의 슬라이서(103a,103b) 및 3개의 위치 스위치(104)를 포함한다.

디코더(101)는 나선형 쌍으로부터 수신된 차동 신호 같은 수신된 입력 신호를 일정한 진폭을 갖는 디지털 데이타 신호들로 전환시킨다. 원한다면, 수신기(100)는 또한 데이타를 리타임(re-time) 할 수 있다. 디코더(101)는 미국특허 제4,818,929호에 예시된 바와같은 리타이밍 기능이 없는 차동비교기인 것이 바람직하며, 상기 특허는 본 발명의 양수인에게 양수되어 있고 본원에서 참조된다.

스퀄치 회로(102)는 각기 슬라이싱 전압 Vth을 갖는 한쌍의 슬라이서(103a,103b)에 의해 구동된다. 슬라이서(103a,103b), 즉 진폭 게이트들은 2개의 진폭 제한 레벨값들, 즉 임계값들 내에 있는 입력 신호 부분들만 통과시키도록 동작한다. 슬라이싱 전압 Vth는 차동 입력 신호가 초과되어야만 하는 최소 진폭을 설정하여 스퀄치 회로(102)에 공급되도록 동작한다. 또한, 각 슬라이서(103a,103b)는 차동 입력 신호들을 2개의 한쪽이 절단된 출력 신호들로 전환시키는 것이 바람직하다. 더 상세히 도시된 바와같이, 차동 입력 신호들이 슬라이싱 한계를 넘지 않는다면, 슬라이서(103a,103b)의 출력값들은 “로우(LOW)”이다. 이것은 슬라이서(103a,103b)가 응답하지 않는 입력 신호 진폭들에서의 “사구간(dead zone)”을 생성하여 수신기(100)의 잡음 면역성을 제공하게 된다.

예시된 실시예의 다른 양태에서는, 입력 신호들이 차동 신호로 설명되었지만, 비차동 입력 신호들이 마찬가지로 이용될 수 있다. 그러나, 보다 분명하게 스퀄치 회로(102)는 입력 신호들에서의 양의 진행 에지와 음의 진행 에지의 검출에 의존하며, 소정의 수단이 제공되어 비차동 입력 신호들을 공급받아 양과 음의 에지 신호들을 발생하는 것이 바람직하다.

스퀄치 회로(102)는 유효 데이타 신호가 수신기(100)에 의해 수신되었는가의 여부를 판정하도록 동작한다. 스퀄치 회로(102)에 의해 판정된 바와같이, 하나 이상의 유효 데이타 신호들에 대한 소정의 기준이 충족된다면, 3개의 위치 스위치(104)는 제1위치(P1)로부터 제2나 제3의 위치(P2 또는 P3 각각)중의 하나를 닫는다. 이로서 디코더(101)로부터 디코드되어 수신된 신호들이 수신기(100)를 통과하여, 예를들어 컴퓨터 처리 시스템이나 네트워크와 같은 소정의 다른 디바이스에 보내지도록 할 수 있다. 소정의 기준은 입력 신호에서의 최소의 전이수와, 최소 주파수 보다 높고 및/또는 최대 주파수 보다 낮은 입력 신호의 주파수들 또는 이들의 조합을 제한없이 포함하고 있다. 한 바람직한 실시예에서, P1은 개방 회로를 나타내며, P2와 P3는 데이타 복구 상태를 나타내는데, P2 또는 P3로 닫힌 스위치(104)는 특정한 주파수, 즉 예를들면 100 또는 10 megabit/second로 각각 전송된 데이타 패킷의 수신을 표시한다. 소정수의 데이타 패킷 전송율이 본 발명의 원리들에 따라 구분될 수 있고 위에서 주어진 바와같은 2개의 비율의 이용은 예시만을 목적으로 한 것이다.

다른 바람직한 실시예에서 P1은 개방 회로를 나타내며, P2는 데이타 복구 상태를 나타내지만, P3는 잼 신호 인식 상태를 나타낸다. 잼 신호는, 예를들면 수신기가 데이타 패킷을 수신하는지를 나타내기 위해 사용되어질 수 있으나, 여러 가지 불명확한 이유 때문에 패킷이 훼손되어 잼 신호로 대체된다. 잼 신호는 수신기(100)에 예를들면 네트워크의 상태 같은 적절한 정보를 전송하는 것과 같은 처리 함수를 제어하기 위해 사용될 뿐만 아니라, 소정의 적절한 메시지나 정보를 전송하기 위해서도 이용될 수 있다. 이것은 종종 적절한 네트워크 동작을 보장하기 위해 필요하다.

3개의 위치 스위치를 조작하기 위해 스퀄치 회로(102)에 필요한 전이는 또한 위에서 주어진 주파수 제한을 충족시켜야만 한다. 이것은 입력 신호에서 제1극성 전이가 일어날 때 스퀄치 회로(102)내에서 카운터를 트리거시킴으로서 이루어질 수 있으며 이것에 대해서 제2도와 제3도에서 보다 자세히 설명될 것이다. 이러한 카운터는 트리거된 후 소정의 시각에 각 특정 상태마다 하나의 출력 신호를 보내며, 각 소정의 시각은 소정의 주파수 기간 내에 한 주기의 1/2 정도이다. 소정의 주파수에 대응하는 카운터로부터의 특정한 신호가 반대 그성전이가 일어날 때 보내지면, 이때 입력 신호의 주파수는 소정의 주파수보다 낮다. 반대 극성 전이가 일어날 때 신호가 보내지지 않는다면, 입력 신호의 주파수는 위와는 반대로 소정의 주파수보다 크다. 두 개 또는 그 이상의 극성 전이 교호가 일어나면, 즉 두 예시상태들중 하나의 원하는 주파수 특성이 수시되면, 수신된 신호는 이전에 정의된 바와같이 두 개 또는 그 이상의 유효 데이타 패킷들중의 하나 또는 잼 신호인 것이 바람직하다. 이워들 사용하여 유효 신호로 보이는 노이즈 버스트의 발생을 허용할 수 있다.

디코더(101)의 출력은 스위치(104)를 통과한다. 만약, 다른 유효 데이타 패킷 신호가 수신되는 동안에 상술된 주파수 요건들을 충족시키지 않는 전이가 일어난다면, 두 개 또는 그 이상의 노드들이 동시에 전송될 때, 통신 시스템상에서 데이타 패킷이 충돌하는 동안, 수신된 데이타 신호들은 클리어될 수도 있다. 다른 실시예에서, 수신된 데이타 신호들은 데이타 패킷 전송의 종료시 다른 회로에 의하여 클리어될 수 있다.

제2도는 제1도에 도시된 스퀄치 회로(102)의 한 바람직한 실시예를 예시한다. 이러한 실시예에 따르면, 입력 신호는 치소와 최대 주파수의 한계에 대해 검색된다. 또한, 최소의 교호 전이수에 대하여 검색된다. 이러한 기준을 만족시키면, 입력 신호를 유효한 것으로 수용하기 위한 상술한 주파수 제한이 만족된다. 이러한 실시예에서는 2가지 예시적이며 실질적인 동일한 카운터(200a,200b)를 포함한다. 카운터(200a,200b)는 각각의 입력들 A-IN과 B-IN의 전이에 의해 스퀄치 회로(102) 트리거된다. 카운터들(200a,200b)은 차동 입력 신호의 반대 극성 전이에 응답하여 수신기(100)에 트리거된다.

카운터(200a,200b)의 출력들 EARLY, WINDOW1, WINDOW2, LATE는 카운터(200a,200b)의 출력중의 하나가 보

내질 때, 입력 신호(인에이블된 카운터로 트리거된 전이에 대해 반대 극성을 갖는다)에서 다음 전이의 표시에 관한 것이다. 예를들면 EARLY 신호가 보내질 때 다음 전이가 일어난다면, 그 전이가 너무 빨리 일어나서 입력 신호의 주파수가 너무 높다는 것을 나타낸다. LATE 신호가 보내져서 다음 전이가 일어난다면, 그 전이가 너무 늦게 일어나서 입력 신호의 주파수가 너무 낮다는 것을 나타낸다. 그러나, WINDOW1이나 WINDOW2 신호가 보내져서 다음 전이가 일어난다면, 입력 신호의 주파수는 두 개의 바람직한 범위들중 하나에 있게 된다.

EARLY, WINDOW1, WINDOW2, LATE 타이밍 신호들의 발생은 동시에나 혹은 순차적일 수 있다는 것은 주목해야 한다. 또한, 타이밍 신호들이 동시에 발생되는 경우에, 신호들의 타이밍 간격을 나타내는 각각의 신호는 순차적으로 중단된다. 또한, 타이밍 신호들이 순차적으로 발생된다면, 하나의 타이밍 신호의 종료와 동시에 또는 거의 동시에 다음 타이밍 신호의 발생이 뒤따르는 것이 바람직하다.

제3도는 카운터(200)로 도시된 제2도의 카운터(200a,200b)중 하나의 바람직한 일 실시에를 예시한다. 카운터(200)의 시간 함수는 제4도에 도시된다. 카운터(200)는 M-비트 카운터(300)의 카운트 함수로서 4개의 출력 신호들, 즉 EARLY, WINDOW1, WINDOW2, LATE를 생성한다. M-비트 카운터(300)의 출력은 $1/2^{M}$ 디코더(301)를 구동시킨다. EARLY 신호는 M-비트 카운터(300)가 입력 신호에 의해 트리거 된 이후에 플립플롭(303)을 설정하는 입력 IN에 보내진다. 제1소정의 시각이 지난 후에, 디코더(301)의 출력이 선택되고 M-비트 카운터(300)의 클록 주파수가 결정됨에 따라 WINDOW1 신호가 보내지도록 하여 EARLY 신호가 클리어되도록 한다. M-비트 카운터(300)의 트리거링 이후에 제2소정의 시각에서, 디코더(301)의 출력이 선택되고 M-비트 카운터(300)의 클록주파수가 결정됨에 따라, WINDOW2 신호가 보내어지고 WINDOW1 신호는 클리어된다. 그러나, M-비트 카운터(300)의 트리거링 이후에 다른 소정의 시각에서, 디코더(301)의 출력이 선택되고 M-비트 카운터의 클록 주파수가 결정됨에 따라, LATE 신호가 보내지고 WINDOW2 신호는 클리어된다. 디코더(301)의 출력들은 플립플롭(304)에 의해 래치된 펄스들이다. 모든 출력들, 즉 EARLY, WINDOW1, WINDOW2, LATE는 플립플롭(305)에 의해 래치된다. M-비트 카운터(300)의 리셋 입력으로의 펄스는, 새로운 입력을 위하여 M-비트 카운터(300)를 준비시키기 위해 플립플롭(304,305)과 M-비트 카운터(300)를 클리어시키는 플립플롭(303)을 클리어시킴으로써, M-비트 카운터(300)의 보내어진 출력들을 클리어시킨다.

WINDOW1과 WINDOW2 신호들의 사용은 단지 예시만을 목적으로 한 것으로서, 본 발명의 원리는 적절하게 배열된 로직과 적절한 실행을 통해 소정수의 "n" 윈도우들, 즉 WINDOWn에서도 가능하다. 각 윈도우의 그래뉼러티(granularity)는 카운터(300)로의 클록 주파수를 증가시키고 적절하게 배열된 디코더 로직을 부가함으로써 증가될 수 있다는 것을 주목해야 한다.

상술한 바와같이 소정의 시간 간격들은 디코더(301)의 출력의 선택 및 M-비트 카운터(300)로의 클록 주파수에 의해 결정된다. 클록 주파수는, 외부 클록 입력에 공급되는 주 시스템 클록(도시되지 않음) 같은 외부 소스로부터 유도될 수 있거나, 또는 바람직하게 인에이블된 소정의 발진주파수를 갖는 게이트형 링 발진기(306)로부터 유도될 수 있다.

WINDOW1 신호가 보내어지는 동안에 논의된 것과 같이 선정된 시간간격은 스퀄치 회로(102)가 수용할 수 있는 가장 높은 주파수 입력 신호에 대응하는 것이 바람직하다. LATE 신호가 보내어졌을 때 끝나는 다른 소정의 시간간격은 마찬가지로 스퀄치 회로(102)가 수용할 수 있는 가장 낮은 주파수 입력 신호에 대응한다. 제2도의 두 카운터(200a,200b)에 대하여 대응하는 소정의 시간간격은 실질적으로 동일한 것이 바람직함을 유념해야 한다.

제2도로 돌아가서, 카운터(200a,200b)의 출력은 입력 신호에서 가장 최근의 극성 전이에 따라 카운터(200a,200b)의 동작을 제어하는 다음 에지 검출기(201)로 보내진다. 다음에, 에지 검출기(201)는 카운터(200a,200b) 출력이 다음의 반대의 극성 전이의 시각을 측정하기 위해 사용되어지도록 선택하는 다수의 멀티플렉서들(202)을 포함한다. 카운터(200a)나 카운터(200b)중의 하나가 트리거되었을 때, 예를들어 카운터(200a)가 트리거되었을 때, 카운터의 출력은 반대극성 전이가 일어나는 경우, D-타입 플립플롭(203)에 의해 샘플된다. 멀티플렉서(204)는 카운터(200a)의 출력이 플립플롭(203)에 의해 샘플되어질 때 제어하기 위하여 적절한 반대 극성 전이를 입력 A-IN이나 B-IN으로부터 플립플롭(203)의 클록입력(위의 예를 계속하기 위하여 입력 B-IN으로부터)에 연결한다.

플립플롭(203)의 출력은 OR게이트(205)에 의해 함께 OR되고, 그 출력은 지연기(206)에 의해 지연되며, 플립플롭(203)은 클리어된다. 플립플롭(203)의 지연된 클리어링은, 이러한 예(200a)에서, 디멀티플렉서(207)을 통해 트리거된 카운터를 클리어시키는 OR게이트의 출력에 펄스에 발생시킨다. 반대 극성 전이가 WINDOW1이나 WINDOW2의 간격 동안에 트리거나 카운터로부터 일어난다면, 여기서 (200a)가 보내어지고, 연관된 N-비트 카운터(208a 또는 208b)는 각각 증가되며, 여기서는 N-비트 카운터(208a)이다. 그러나, EARLY나 LATE 신호가 보내어졌을 때, 전이가 일어난다면 카운터(208a,208b)는 OR게이트(209)에 의해 플립플롭(203)으로부터 샘플된 신호의 OR작용에 의해 클리어된다.

카운터(208a,208b)는, 상술한 바와같이, 각기 WINDOW1이나 WINDOW2와 연관된 주파수 기준을 만족시키는 입력 신호에서 연속적인 반대 극성 전이의 최소의 수를 카운트한다. 유효한 전이의 소정수가 나타날 때, 디코더(210a 또는 210b)중 하나의 적절한 출력의 선택에 의해 결정되고 연관된 플립플롭(211a 또는 211b)에 의해 래치되어, 스퀄치 회로(102)로부터의 각각의 유효한 출력 신호가 보내어진다. 출력 신호는, 예를들면 초당 100 이나 10 메가비트/데이타 패킷이나 잼 신호의 인식을 나타낸다.

카운터(200a 또는 200b)의 출력이 샘플되고 입력 전이가 샘플링을 트리거하도록 선택되게 하는 멀티플렉서(202,204)와 디멀티플렉서(207)의 구성은 D-타입플립플롭(212)에 의해 제어된다. OR게이트(205)로부터의 리셋 펄스가 디멀티플렉서를 통해 트리거된 카운터(200a 또는 200b)를 클리어시킨 후에 플립플롭(212)은 플립플롭(213)의 출력을 샘플한다. 플립플롭(213)은 대응하는 입력 A-IN이나 B-IN의 신호로부터 최근에 일어난 그성 전이를 기억하여, 플립플롭(212)이 리셋 펄스 이후에 클록되었을 때, 멀티플렉서(202,204)와 디멀티플렉서(207)가 재구성되도록 한다.

제5도는 제1도 내지 제3도에 도시된 실시예의 동작중 하나의 양호한 방법을 나타내는 흐름도이다. 이것은

예시된 실시예의 동작을 나타내며, 수신된 입력 신호는 100 또는 10 메가비트/초의 데이타 패킷이나 잼 신호 등이다. 예시된 실시예의 동작은 입출력 블록(501)에서 차동 입력 신호의 수신시 개시한다. 입력 신호는, 처리 블록(502)에서, 예를들면 제1도에서 슬라이서들(103a,103b)의 Vth와 같은 임계 전압과 비교되는 것이 바람직하다.이 비교에서 입력 신호가 임계값에 의해 설정된 제한 내에 있지 않다고 나타나면, 결정 블록(503)의 NO 브랜치에서, 입력신호가 유효하지 않은 것으로 결정하여, 입력신호가 재개시하는 것이 바람직하다.

제1도의 스퀄치 회로(102)로의 입력 A-IN은 수신된 차동입력 신호가 충분히 양일 때(Vth를 넘음, “HIGH”) 하이로 가며, 수신된 신호가 음(“LOW”)일 때 로우로 간다. 마찬가지로, 스퀄치 회로(102)로의 B-IN 입력 신호는, 수신된 차동입력 신호가 충분히 낮을 때(Vth 보다 낮음) 하이로 가며, 수신된 신호가 높을 때 로우로 간다. 따라서, A-IN과 B-IN 입력으로의 신호는 각기 하이와 로우인 수신된 입력 신호를 나타낸다. 차동입력 신호가 아이들(idle) 상태일 때는 A-IN과 B-IN은 로우(LOW) 상태이라는 것을 주목해야 한다.

입력 신호가 임계값의 한계치를 만족시킨다면, 결정 블록(503)의 YES 브랜치로 내려가
결정블록(504)에서, 입력 신호에서 제1극성 전이가 일어날 때를 판정하기 위해 입력 신호가 모니터된다. 제1극성 전이가 나타나면, 결정 블록(504)의 YES 브랜치로 내려가 처리 블록(505)에서, 적어도 하나의 타이밍신호가 발생된다. 상기에서 설명한 것과 같이, 타이밍 신호들의 발생은 동시에 또는 순차적으로 발생될 수 있다는 점을 주목해야 한다. 타이밍 신호들이 동시에 발생되는 경우에 각각의 신호는 순차적으로 끝난다. 이와 달리, 타이밍 신호들이 순차적으로 발생되면, 한 신호의 종결은 동시에 즉 거의 동시에 다음 타이밍 신호의 발생을 따르게 된다.

결정 블록(506)에서, 입력 신호는 입력 신호에서 제2극성 전이가 일어난 때를 판정하기 위하여 다시 모니터된다. 예를들면, 수신된 입력 신호가 하이일 때, 제2도의 카운터(200a)는 카운팅을 시작하며 이것의 출력 EARLY 신호를 보낸다. 소정의 시간 간격이 지난 후에, 카운터(200a)로부터의 WINDOW1 신호가 보내지며 EARLY 신호를 클리어시킨다. 예를들어, 100메가비트/초 고주파수 데이타 패킷의 전송이 수신되지 않는다면, 다른 소정의 시간 간격이 지난 이후에, 카운터(200a)로부터 WINDOW2 신호가 보내어지며 WINDOW1 신호는 클리어된다.

제2극성 전이가 일어나면, 결정 블록(506)의 YES 브랜치로 내려가 결정 블록(507)에서, 입력 신호가 100과 10 메가비트/초의 전송율과 같은 인식가능하고 유효한 주파수로 또는 예를들어 4.0MHz와 같은 잼 신호의 주파수로 전송되었는가에 대한 여부가 판정된다.

예를들면, 제2도에 도시된 실시예에 따르면, 입력 신호가 음으로 진행하면, 10메가비트의/초의 데이타 패킷이나 잼 신호와 같은 낮은 주파수의 신호가 수신됨을 나타내어, 리셋 펄스는 카운터(200a)에 가해서 카운터(200a)로부터의 WINDOW2 신호를 클리어시키며, 반면에 카운터(200b)는 카운팅을 시작한다. 카운터(200b)는 소정의 시각이 지날 때까지 그 EARLY 신호를 보내며, WINDOW1 신호가 보내어졌을 때 EARLY 신호를 클리어시킨다. 다른 지정된 시간 간격 이후에 카운터(200b)로부터의 WINDOW2 신호가 보내어져 WINDOW1 신호를 클리어시킨다. 입력 신호에서 양의 전이가 나타날 때, 카운터(200b)는 리셋되며, 카운터(200a)는 다시 카운팅을 시작한다. 카운팅(200b)로부터의 LATE 신호는 마찬가지로 보내어지지 않는다.

인식할 수 없고 유효치 않은 데이타 전송율이 확인되면, 결정 블록(507)의 NO 브랜치로 이동한다. 이때, 입력 신호는 유효치 않아서 위의 과정을 재개해야만 한다. 이와는 달리, 처리 블록(508)에서는 입력 신호가 전송되는 특정한 주파수가 식별된다.

카운터(200a,200b)로의 적어도 두 개의 리셋 펄스들은 “유효한” 입력 전이에 응답하기 때문에, 이들 모두는 WINDOW2 신호가 보내어졌을 때 나타나는 주파수 한계를 접하며, 저 주파수인 10메가비트/초 데이타 패킷이나 잼 신호가 수신된다. 이것은 두배로 증가되는 제2도의 카운터(208a,208b)로부터 기인한다. 디코더(210)의 적절한 출력이 선택되며, 두 개의 연관된 플립플롭(211a)나 (211b) 중의 하나가 설정된다. “n”개의 유효한 전이 이후에 다음 전이 “n+1”는 LATE 신호가 카운터(200b)로부터 보내어졌을 때 나타나며, 카운터(208b)를 플립플롭(211b)과 함께 클리어시킨다. 카운터(200b)로부터 LATE 신호가 보내어지는 동안에, 카운터(200b)의 제1리셋 입력 신호상에 제1전이가 아이들 상태로 끝나는 이상 유효하지 않다.

처리 블록(509)에서, 식별된 전송주파수는 제1도의 수신기(100)를 통해서와 같이 입력 신호의 전송경로를 선택적으로 제어하기 위해 사용되어진다. 제2도의 멀티플렉서(202,204)와 디멀티플렉서(207)의 선택신호는 리셋 펄스의 하강에지에 따라 그 상태를 전이시킨다는 것을 주목해야 한다. 상태를 전이시킬 때 발생하는 지연(delay)이 OR게이트(205)와 지연부(206)를 사용하여 플립플롭(203)을 클리어링 함으로써 발생된 펄스가, 멀티플렉서(202,204)와 디멀티플렉서(207)가 재구성되기전에, 끝나도록 해준다.

본 발명과 이의 효과가 본원에서 상세히 기재되었지만, 본 발명의 정신과 범주를 벗어나지 않는 범위 내에서 다양한 변경과 변형치 등은 가능하며 이러한 점도 본원은 포함하고 있다는 것이 이해될 것이다.

(57) 청구의 범위

청구항 1

다수의 주파수들로 전송된 다수의 입력 신호들 사이를 구분하기 위한 디지털 데이타 수신기에 있어서, 상기 디지털 데이타 수신기는, 상기 다수의 주파수들중 하나인 제1주파수로 전송된 입력 신호를 수신하는 수단과, 다수의 타이밍 신호들을 발생하는 수단으로서, 상기 타이밍 신호들중 각 신호가 상기 입력 신호에서의 제1극성 전이 후에 특정한 소정의 시각에 발생되는, 상기 발생 수단과, 상기 이력 신호에서의 제2극성의 전이가 상기 타이밍 신호들 사이의 특정시간 간격동안에 발생되는 가의 여부를 판정하는 수단 및, 상기 다수의 주파수들중 어느 한 주파수로 상기 입력 신호가 전송되는 가를 표시하는 수단을 포함하는 디지털 데이타 수신기.

청구항 2

제1항에 있어서, 상기 수신 수단은 상기 입력신호를 선택적으로 처리하는 슬라이싱 수단을 더 포함하는 디지털 데이타 수신기.

청구항 3

제1항에 있어서, 상기 표시 수단은 상기 수신기를 통해 상기 입력 신호를 지시하는 스위칭 수단을 선택적으로 제어하도록 동작하는 디지털 데이타 수신기.

청구항 4

제1항에 있어서, 상기 발생 수단은 다수의 카운터들을 포함하는 디지털 데이타 수신기.

청구항 5

제4항에 있어서, 상기 다수의 카운터들 각각은 무효의 전송 주파수를 표시하는 적어도 하나의 타이밍 신호를 생성하도록 선택적으로 동작하는 디지털 데이타 수신기.

청구항 6

제4항에 있어서, 상기 카운터들중 각 하나의 카운터는 클록에 응답하는 디지털 데이타 수신기.

청구항 7

제1항에 있어서, 상기 입력 신호를 상기 수신기를 통해 선택적으로 지시하는 수단으로서, 상기 선택적으로 지시하는 수단은 상기 입력 신호가 다수의 교호 극성 전이들을 포함하는 때에 동작가능하며, 상기 제1극성 전이 후의 전이 주파수가 상기 타이밍 신호들 사이의 특정한 유효 시간 간격에 대응하는 상기 지시 수단을 더 포함하는 디지털 데이타 수신기.

청구항 8

다수의 주파수들중 한 주파수로 수신된 입력 신호의 처리 경로를 제어하는 방법에 있어서, 상기 방법은, 다수의 타이밍 신호들을 발생하는 단계로서, 상기 타이밍 신호들중 각 신호는 상기 입력 신호에서의 제1극성 전이 후에 특정한 소정의 시간에 발생되는, 상기 발생 단계와, 상기 입력 신호에서의 제2극성의 전이가 상기 타이밍 신호들 사이의 특정시간 간격동안에 발생되는 가의 여부를 판정하는 단계로서, 상기 특정 시간 간격은 상기 다수의 주파수들중 하나에 대응하는, 상기 판정 단계 및, 상기 다수의 주파수들중 어느 주파수로 상기 입력 신호가 수신되는가를 표시하는 단계를 포함하는 입력 신호의 처리 경로를 제어하는 방법.

청구항 9

제8항에 있어서, 상기 발생 단계는 상기 입력 신호를 임계값과 비교하는 단계 다음에 수행되는 입력 신호의 처리 경로를 제어하는 방법.

청구항 10

제9항에 있어서, 상기 비교 단계에 응답하여 상기 입력 신호를 선택적으로 처리하는 단계를 더 포함하는 입력 신호의 처리 경로를 제어하는 방법.

청구항 11

제8항에 있어서, 다른 프로토콜들을 적절히 처리하기 위하여 상기 표시 단계에 응답하여 상기 입력 신호의 처리 경로를 선택적으로 제어하는 단계를 더 포함하는 입력 신호의 처리 경로를 제어하는 방법.

청구항 12

제8항에 있어서, 상기 발생 단계는 무효의 전송 주파수를 표시하는 적어도 하나의 다른 타이밍 신호를 생성하는 단계를 포함하는 입력 신호의 처리 경로를 제어하는 방법.

청구항 13

제8항에 있어서, 상기 입력 신호는 다수의 교호 극성 전이들을 포함하고, 상기 판정 단계는 다수의 교오 전이들의 주파수에 응답하여 상기 입력 신호의 처리 경로를 선택적으로 제어하는 단계를 포함하는 입력 신호의 처리 경로를 제어하는 방법.

청구항 14

수신된 입력 신호를 선택적으로 지시하는 회로로서, 상기 입력 신호는 다수의 주파수들중 하나와 동일한 전송 주파수를 가지며, 상기 회로는, 다수의 타이밍 신호들을 발생하는 수단으로서, 상기 타이밍 신호들중 각 하나가 상기 입력 신호에서의 제1극성 전이후에 특정한 소정의 시간에 발생되는, 상기 발생수단과, 상기 입력 신호에서의 제2극성의 전이가 상기 타이밍 신호들 사이의 특정 시간 간격동안에 발생되는 가의 여부를 판정하는 수단 및, 상기 다수의 주파수들중 어느 한 주파수로 상기 입력 신호가 수신되는 가를 표시하는 수단을 포함하는 수신된 입력 신호를 선택적으로 지시하는 회로.

청구항 15

제14항에 있어서, 상기 수신된 입력 신호를 임계값과 비교하는 비교 수단을 더 포함하는 수신된 입력 신호를 선택적으로 지시하는 회로.

청구항 16

제15항에 있어서, 상기 비교 수단에 응답하여 상기 입력 신호를 처리하는 수단을 더 포함하는 수신된 입력 신호를 선택적으로 지시하는 회로.

청구항 17

제14항에 있어서, 상기 표시 수단에 응답하여 상기 회로를 통해 상기 입력 신호를 지시하는 스위칭 수단을 더 포함하는 수시된 입력 신호를 선택적으로 지시하는 회로.

청구항 18

제14항에 있어서, 무효 전송 주파수를 표시하는 제1타이밍 신호를 생성하는 수단을 더 포함하는 수신된 입력신호를 선택적으로 지시하는 회로.

청구항 19

제14항에 있어서, 상기 발생 수단의 다수의 카운터들을 포함하는 수신된 입력 신호를 선택적으로 지시하는 회로.

청구항 20

제19항에 있어서, 상기 카운터들의 각 카운터는 클록에 응답하는 수신된 입력 신호르 선택적으로 지시하는 회로.

청구항 21

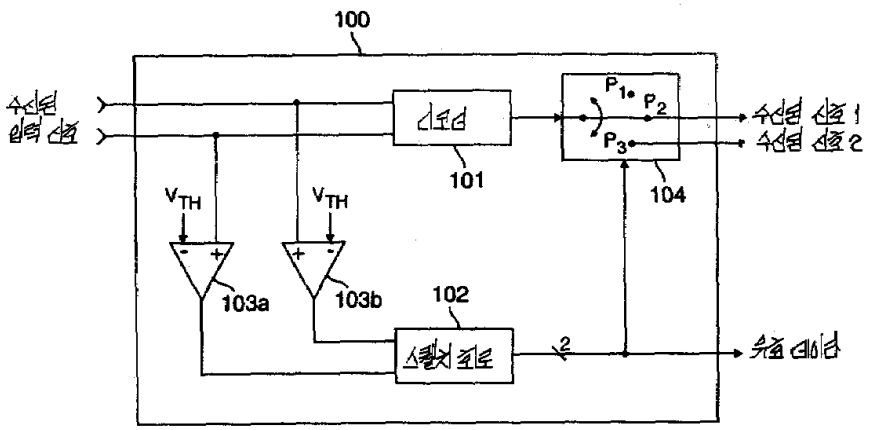
제14항에 있어서, 상기 판정 수단은 다수의 플립플롭들을 포함하는 수신된 입력 신호를 선택적으로 지시하는 회로.

청구항 22

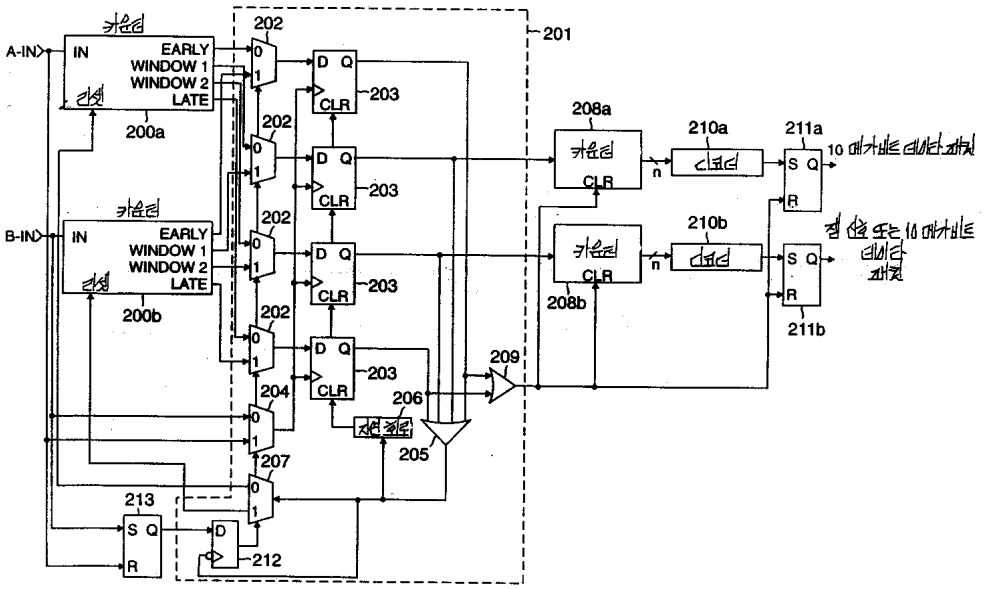
제14항에 있어서, 상기 입력 신호는 다수의 교호 극성 전이들을 포함하며, 상기 판정 수단은 교호 극성 전이들의 주파수에 응답하여 상기 입력 신호를 지시하는 수단을 포함하는 수신된 입력 신호를 선택적으로 지시하는 회로.

도면

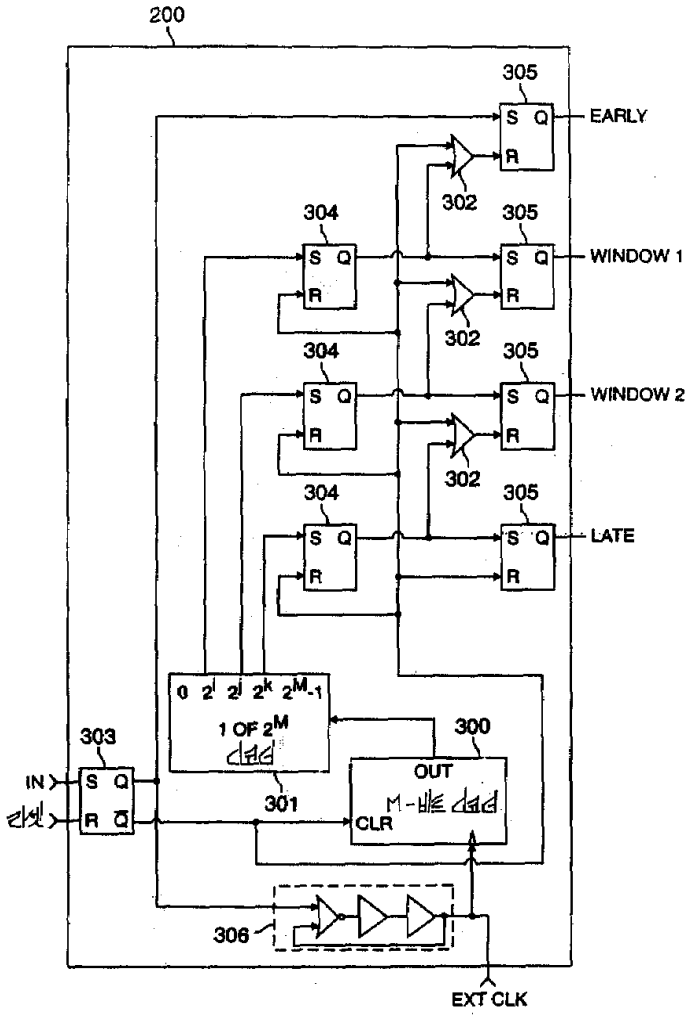
도면1



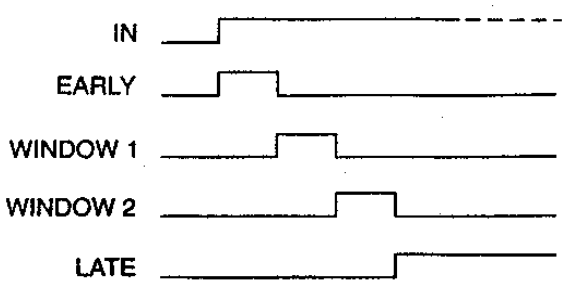
도면2


A-IN
B-IN
IN
EARLY
WINDOW 1
WINDOW 2
LATE
200a
200b
201
202
203
204
205
206
207
208a
208b
209
210a
210b
211a
211b
212
213
D Q
CLR
S Q
R

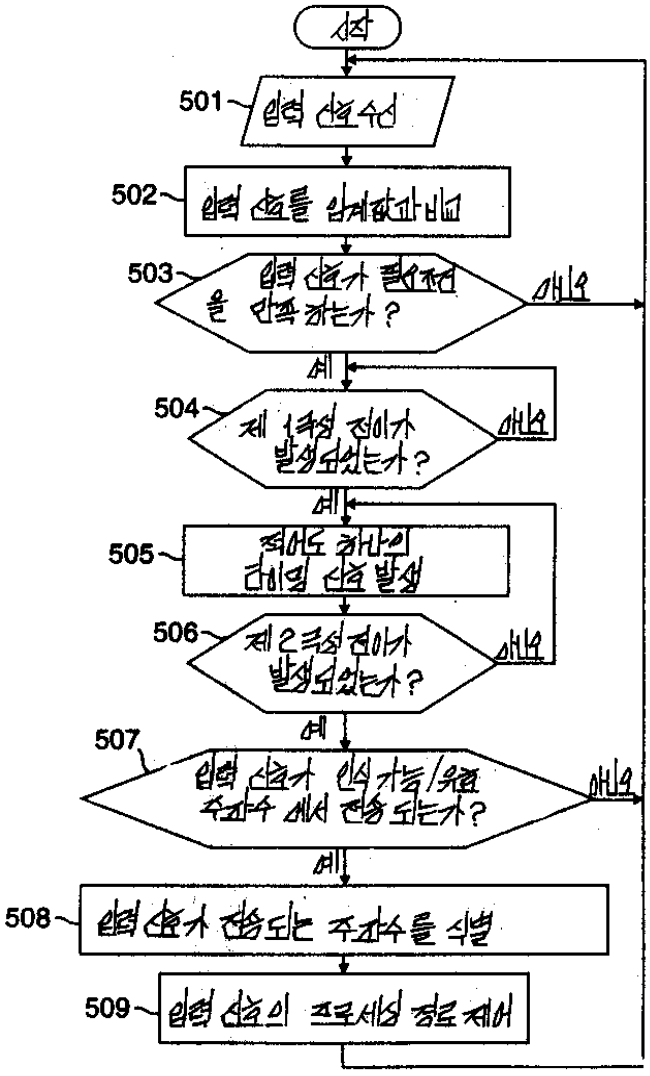
도면3


200
305
EARLY
WINDOW 1
WINDOW 2
LATE
302
304
303
IN
300
OUT
301
CLR
306
EXT CLK
S Q
R

도면4


IN
EARLY
WINDOW 1
WINDOW 2
LATE

도면5


시작
501
입력 신호수신
502
입력 신호를 임계값과 비교
503
입력 신호가 클럭조건을 만족하는가?
아니오
예
504
제 1극성 전이가 발생되었는가?
아니오
예
505
적어도 하나의 데이터 신호 발생
506
제 2극성 전이가 발생되었는가?
아니오
예
507
입력 신호가 인식 가능/유효 주파수 세서 전송 되는가?
아니오
예
508
입력 신호가 전송되는 주파수를 식별
509
입력 신호의 프로세싱 정보 제어