



(21)申請案號：102112402 (22)申請日：中華民國 102 (2013) 年 04 月 08 日

(51)Int. Cl. : **G01R31/26 (2014.01)** **G01R31/28 (2006.01)**

(30)優先權：2012/04/09 美國 61/621,954  
2013/03/15 美國 13/840,937

(71)申請人：川斯萊緹公司 (美國) TRANSLARITY, INC. (US)  
美國

(72)發明人：強森 摩根 T JOHNSON, MORGAN T. (US)

(74)代理人：陳長文

(56)參考文獻：

TW	201027095A	CN	1985180A
US	7385412B2	US	2012/0074976A1

審查人員：李泉河

申請專利範圍項數：41 項 圖式數：10 共 44 頁

## (54)名稱

用於測試之可耦接至微電子基板之相對表面的傳送器及相關聯系統及方法

TRANSLATORS COUPLEABLE TO OPPOSING SURFACES OF MICROELECTRONIC SUBSTRATES FOR TESTING, AND ASSOCIATED SYSTEMS AND METHODS

## (57)摘要

本發明揭示一種可耦接至微電子基板之相對表面以進行測試之傳送器，以及相關聯系統及方法。根據一項實施例之配置包括一微電子基板，該微電子基板具有一第一主要表面、背向該第一主要表面之一第二主要表面、以及延伸穿過該基板並可自該第一表面及該第二表面二者而電性接取之導電基板通孔。該配置進一步包括：一第一傳送器，該第一傳送器以可釋放方式連接至該基板並定位於自該第一表面向外延伸的第一區域中，該第一傳送器包括自該第一表面接取該等通孔之第一電信號路徑；以及一第二傳送器，該第二傳送器以可釋放方式與該第一傳送器同步連接至該基板，該第二傳送器定位於自該第二表面向外延伸之一第二區域中，該第二傳送器包括自該第二表面接取通孔之第二電信號路徑。

Translators coupleable to opposing surfaces of microelectronic substrates for testing, and associated systems and methods are disclosed. An arrangement in accordance with one embodiment includes a microelectronic substrate having a first major surface, a second major face facing opposite from the first major surface, and electrically conductive through-substrate vias extending through the substrate and electrically accessible from both the first and second surfaces. The arrangement further includes a first translator releasably connected to the substrate and positioned in a first region extending outwardly from the first surface, the first translator including first electrical signal paths that access the vias from the first surface, and a second translator releasably connected to the substrate simultaneously with the first translator, the second translator being positioned in a second region extending outwardly from the second surface, the second translator including second electrical signal paths that access the vias from the second surface.

指定代表圖：

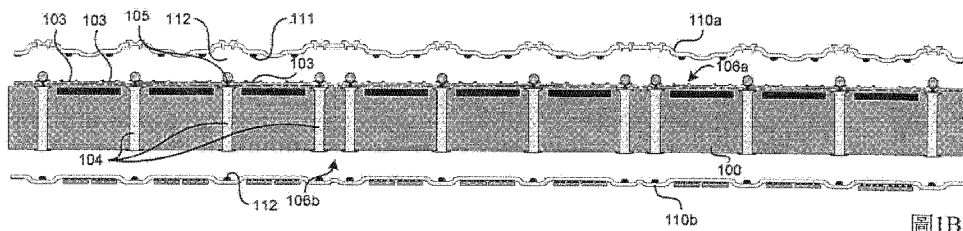


圖1B

符號簡單說明：

100 . . . 微電子基板/基板

103 . . . 晶粒襯墊

104 . . . 通孔/基板通孔

105 . . . 基板通孔襯墊

106a . . . 第一側、第一主要表面

106b . . . 第二側、第二主要表面

110a . . . 第一傳送器

110b . . . 第二傳送器

111 . . . 第一導體

112 . . . 第二導體

## 發明摘要

※申請案號：102112402

※申請日：102.4.8

※IPC 分類：

G01R 31/26 (2014.01)

G01R 31/28 (2006.01)

## 【發明名稱】

用於測試之可耦接至微電子基板之相對表面的傳送器及相關聯系統及方法

TRANSLATORS COUPLEABLE TO OPPOSING SURFACES OF MICROELECTRONIC SUBSTRATES FOR TESTING, AND ASSOCIATED SYSTEMS AND METHODS

## 【中文】

本發明揭示一種可耦接至微電子基板之相對表面以進行測試之傳送器，以及相關聯系統及方法。根據一項實施例之配置包括一微電子基板，該微電子基板具有一第一主要表面、背向該第一主要表面之一第二主要表面、以及延伸穿過該基板並可自該第一表面及該第二表面二者而電性接取之導電基板通孔。該配置進一步包括：一第一傳送器，該第一傳送器以可釋放方式連接至該基板並定位於自該第一表面向外延伸的第一區域中，該第一傳送器包括自該第一表面接取該等通孔之第一電信號路徑；以及一第二傳送器，該第二傳送器以可釋放方式與該第一傳送器同步連接至該基板，該第二傳送器定位於自該第二表面向外延伸之一第二區域中，該第二傳送器包括自該第二表面接取通孔之第二電信號路徑。

## 【英文】

Translators coupleable to opposing surfaces of microelectronic substrates for testing, and associated systems and methods are disclosed. An arrangement in accordance with one embodiment includes a microelectronic substrate having a first major surface, a second major face facing opposite from the first major surface, and electrically conductive through-substrate vias extending through the substrate and electrically accessible from both the first and second surfaces. The arrangement further includes a first translator releasably connected to the substrate and positioned in a first region extending outwardly from the first surface, the first translator including first electrical signal paths that access the vias from the first surface, and a second translator releasably connected to the substrate simultaneously with the first translator, the second translator being positioned in a second region extending outwardly from the second surface, the second translator including second electrical signal paths that access the vias from the second surface.

**【代表圖】**

**【本案指定代表圖】：**第（1B）圖。

**【本代表圖之符號簡單說明】：**

100	微電子基板/基板
103	晶粒襯墊
104	通孔/基板通孔
105	基板通孔襯墊
106a	第一側、第一主要表面
106b	第二側、第二主要表面
110a	第一傳送器
110b	第二傳送器
111	第一導體
112	第二導體

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

（無）

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

用於測試之可耦接至微電子基板之相對表面的傳送器及相關聯系統及方法

TRANSLATORS COUPLEABLE TO OPPOSING SURFACES OF  
MICROELECTRONIC SUBSTRATES FOR TESTING, AND  
ASSOCIATED SYSTEMS AND METHODS

## 相關申請案之交互參考

本申請案主張在 2012 年 4 月 9 日申請之美國臨時申請案第 61/621,954 號之優先權，並將該案以引用的方式併入本文中。若上述申請案及/或以引用的方式併入本文中之任何其他材料與本發明衝突，則以本發明為準。

## 【技術領域】

本發明大體上係關於用於測試之可耦接至微電子基板之相對表面的傳送器，以及相關聯之系統及方法。

## 【先前技術】

先進的微電子(例如，半導體)製造技術之進步已導致複雜電子儀器的成本顯著地降低。因此，現代環境中處處可見積體電路。

積體電路通常以批次來製造。個別批次通常含有多個半導體晶圓或其他基板，積體電路則形成於該等半導體晶圓或其他基板內及該等半導體晶圓或其他基板上。形成積體電路需要各種各樣的半導體製造步驟，包括(例如)沈積、遮蔽、圖案化、植入、蝕刻、平坦化及其他製程。

每一晶圓通常包括數百個個別晶粒，該等晶粒隨後經分離或經

單切化且經封裝以供使用。在該等晶粒經單切化之前，對完成的晶圓進行測試以判定晶圓上哪些晶粒能夠根據預定規格而運作。以此方式，未能依要求執行的積體電路不會進行封裝或以其他方式併入成品中。

通常在略呈圓形之半導體基板或晶圓上製造積體電路。另外，通常形成此類積體電路，使得安置於或接近積體電路最上層的導電區域可用以充當連接至安置於積體電路下層中或其上的各種電子元件之端子。在測試期間，此等導電區域通常與探針卡(probe card)接觸。

過去，晶圓上之未單切化的積體電路係一次測試一個積體電路。為了降低成本並改良投資報酬率，應減少每一晶圓在測試程序中花費的時間量。製造商已尋求各種方法及裝置來在同一時間測試兩個或兩個以上積體電路。以此方式，晶圓的產量可以增加。針對同時測試一個以上積體電路之典型要求為增加測試器上的測試器通道數目。在此類平行測試組態中，當兩個或兩個以上積體電路中之第一積體電路經判定為未能通過測試程式時，群組中之一個或一個以上剩餘的積體電路必須繼續進行測試，並完成測試序列，其後晶圓上另一群組之積體電路可開始測試程序。此意謂專用於未通過測試之積體電路之測試器通道並未被有用地佔用，直至該測試系統準備好測試晶圓上之下一群組之積體電路為止。因此，仍需要更有效的晶圓測試，尤其是考慮到晶圓上增加之積體電路密集度與複雜度的晶圓測試。

### 【發明內容】

根據本發明之一實施例，本發明係關於一種測試一微電子基板之方法。該方法：將一第一傳送器定位於鄰近一微電子基板之一第一區域中，該微電子基板具有一第一主要表面及背向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔、自該微電子基板之該第一主要表面向外延伸之一第一區域以及自

該第二主要表面向外延伸之一第二區域；以可釋放方式將該第一傳送器相對於該微電子基板固定在該第一區域；當該第一傳送器相對於該微電子基板固定在該第一區域時，以可釋放方式將一第二傳送器相對於該微電子基板固定在該第二區域；當該第一傳送器定位在該第一區域中時，藉由該第一傳送器電性接取該微電子基板之一第一基板通孔；以及當該第一傳送器及該第二傳送器二者以可釋放方式相對於該微電子基板固定時，藉由該第二傳送器電性接取該微電子基板之該第一基板通孔或一第二基板通孔。藉由該第一傳送器電性接取該微電子基板及藉由該第二傳送器電性接取該微電子基板之步驟包含：使用該第一傳送器及該第二傳送器中之一者，沿著一未通電晶粒的一通孔傳輸一信號；以及使用該第一傳送器及該第二傳送器中之另一者，將該信號傳輸至一通電晶粒。

根據本發明之另一實施例，本發明係關於一種測試一微電子基板之方法。該方法包含：將一第一傳送器定位於鄰近一微電子基板之一第一區域中，該微電子基板具有一第一主要表面及背向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔、自該微電子基板之該第一主要表面向外延伸之一第一區域以及自該第二主要表面向外延伸之一第二區域；以可釋放方式將該第一傳送器相對於該微電子基板固定在該第一區域；當該第一傳送器定位在該第一區域中時，藉由該第一傳送器電性接取該微電子基板之至少一第一基板通孔；以可釋放方式將一第二傳送器相對於該微電子基板固定在該第二區域；以及藉由該第二傳送器電性接取該微電子基板之至少該第一基板通孔或一第二基板通孔，其中該第一傳送器具有一第一厚度，且該第二傳送器具有不同於該第一厚度之一第二厚度。

根據本發明之又一實施例，本發明係關於一種微電子基板測試配置。該測試配置包含：一微電子基板，其具有一第一主要表面及背

向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔，該等通孔係可自該第一主要表面及該第二主要表面二者電性接取；一第一傳送器，其以可釋放方式連接至該微電子基板並定位於自該第一主要表面向外延伸之一第一區域中，該第一傳送器包括自該第一區域接取該等基板通孔之第一電信號路徑；以及一第二傳送器，其以可釋放方式同時與該第一傳送器連接至該微電子基板，該第二傳送器定位於自該微電子基板之該第二主要表面向外延伸之一第二區域中，該第二傳送器包括自該第二區域接取該等基板通孔之第二電信號路徑，其中該微電子基板包括完全晶粒及部分晶粒，且其中該第一傳送器及該第二傳送器中之至少一者經由一部分晶粒之一通孔而接取該微電子基板。

根據本發明之再一實施例，本發明係關於一種測試一微電子基板之方法。該方法包含：將一第一傳送器定位於鄰近一微電子基板之一第一區域中，該微電子基板具有一第一主要表面及背向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔、自該微電子基板之該第一主要表面向外延伸之一第一區域以及自該第二主要表面向外延伸之一第二區域；以可釋放方式將該第一傳送器相對於該微電子基板固定在該第一區域；當該第一傳送器相對於該微電子基板固定在該第一區域時，以可釋放方式將一第二傳送器相對於該微電子基板固定在該第二區域；當該第一傳送器定位在該第一區域中時，藉由該第一傳送器電性接取該微電子基板之一第一基板通孔；以及當該第一傳送器及該第二傳送器二者以可釋放方式相對於該微電子基板固定時，藉由該第二傳送器電性接取該微電子基板之該第一基板通孔或一第二基板通孔。藉由該第一傳送器電性接取該微電子基板及藉由該第二傳送器電性接取該微電子基板之步驟包含：沿著該第一通孔引導來自該第一傳送器之一第一信號；在該第二傳送器處

接收來自該第一傳送器之一第一信號；回應於接收該第一信號，沿著該第二基板通孔引導該第一信號或一第二信號至該第一傳送器或該微電子基板，該第二基板通孔不同於該第一基板通孔；其中在引導該第一信號時，該第一通孔為一通電晶粒的一部分，且在沿著該第二基板通孔引導該第一信號或該第二信號時，該第二通孔為一未通電晶粒的一部分。

根據本發明之再一實施例，本發明係關於一種測試一微電子基板之方法。該方法包含：將一第一傳送器定位於鄰近一微電子基板之一第一區域中，該微電子基板具有一第一主要表面及背向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔、自該微電子基板之該第一主要表面向外延伸之一第一區域以及自該第二主要表面向外延伸之一第二區域；以可釋放方式將該第一傳送器相對於該微電子基板固定在該第一區域；當該第一傳送器相對於該微電子基板固定在該第一區域時，以可釋放方式將一第二傳送器相對於該微電子基板固定在該第二區域；當該第一傳送器定位在該第一區域中時，藉由該第一傳送器電性接取該微電子基板之一第一基板通孔；以及當該第一傳送器及該第二傳送器二者以可釋放方式相對於該微電子基板固定時，藉由該第二傳送器電性接取該微電子基板之該第一基板通孔或一第二基板通孔，其中該第一通孔為一第一晶粒之一部分。該方法進一步包含藉由下列步驟模擬堆疊晶粒：將一信號自該第一傳送器經由該第一通孔路由至該第二傳送器；使用該第二傳送器將該信號自該第一通孔路由至該第二通孔；在該第一傳送器處接收來自該第二通孔之該信號；以及使用第一傳送器將該信號自該第二通孔路由至該微電子基板之一第三通孔，該第三通孔係不同於該第一晶粒之一第二晶粒的一部分。

根據本發明之再一實施例，本發明係關於一種測試一微電子基板之方法。該方法包含：將一第一傳送器定位於鄰近一微電子基板之

一第一區域中，該微電子基板具有一第一主要表面及背向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔、自該微電子基板之該第一主要表面向外延伸之一第一區域以及自該第二主要表面向外延伸之一第二區域；以可釋放方式將該第一傳送器相對於該微電子基板固定在該第一區域；當該第一傳送器相對於該微電子基板固定在該第一區域時，以可釋放方式將一第二傳送器相對於該微電子基板固定在該第二區域；當該第一傳送器定位在該第一區域中時，藉由該第一傳送器電性接取該微電子基板之一基板通孔；以及當該第一傳送器及該第二傳送器二者以可釋放方式相對於該微電子基板固定時，藉由該第二傳送器電性接取該微電子基板之該基板通孔，其中該通孔為一第一通孔，且該第一通孔為一第一晶粒之一部分。該方法進一步包含藉由下列步驟模擬堆疊晶粒：將一信號自該第一傳送器經由該第一通孔路由至該第二傳送器；使用該第二傳送器將該信號自該第一通孔路由至該微電子基板之一第二通孔；在該第一傳送器處接收來自該第二通孔之該信號；以及使用第一傳送器將該信號自該第二通孔路由至該微電子基板之一第三通孔，該第三通孔係不同於該第一晶粒之一第二晶粒的一部分。

根據本發明之再一實施例，本發明係關於一種用於測試一微電子基板之微電子基板測試配置，該微電子基板具有基板通孔，其可從該微電子基板之相對的第一主要表面及第二主要表面電性接取。該測試配置包含：一第一傳送器，其以可釋放方式連接至該微電子基板，該第一傳送器包括定位於該第一傳送器之多個第一電信號路徑以朝向該第一主要表面接取該等基板通孔；以及一第二傳送器，其以可釋放方式同時與該第一傳送器連接至該微電子基板，該第二傳送器包括定位於該第二傳送器之多個第二電信號路徑以朝向該第二主要表面接取該等基板通孔；其中：該第一傳送器係可移除地與該微電子基板之該

第一主要表面接觸固定；及該第二傳送器係可移除地與該微電子基板之該第二主要表面接觸固定。

根據本發明之再一實施例，本發明係關於一種用於測試一微電子基板之微電子基板測試配置，該微電子基板具有基板通孔，其可從該微電子基板之相對的第一主要表面及第二主要表面電性接取。該測試配置包含：一第一傳送器，其以可釋放方式連接至該微電子基板，該第一傳送器包括定位於該第一傳送器之多個第一電信號路徑以朝向該第一主要表面接取該等基板通孔；以及一第二傳送器，其以可釋放方式同時與該第一傳送器連接至該微電子基板，該第二傳送器包括定位於該第二傳送器之多個第二電信號路徑以朝向該第二主要表面接取該等基板通孔，其中該第一傳送器具有一第一厚度，且該第二傳送器具有不同於該第一厚度之一第二厚度。

根據本發明之再一實施例，本發明係關於一種用於測試一微電子基板之微電子基板測試配置，該微電子基板具有基板通孔，其可從該微電子基板之相對的第一主要表面及第二主要表面電性接取。該測試配置包含：一第一傳送器，其以可釋放方式連接至該微電子基板，該第一傳送器包括定位於該第一傳送器之多個第一電信號路徑以朝向該第一主要表面接取該等基板通孔；以及一第二傳送器，其以可釋放方式同時與該第一傳送器連接至該微電子基板，該第二傳送器包括定位於該第二傳送器之多個第二電信號路徑以朝向該第二主要表面接取該等基板通孔，其中該微電子基板包括完全晶粒及部分晶粒，且其中該第一傳送器及該第二傳送器中之至少一者經由一部分晶粒之一通孔而接取該微電子基板。

#### 【圖式簡單說明】

圖1A至圖1C說明根據本發明技術一實施例之具有兩相對表面之一代表性基板(例如，晶圓)以及用於自兩表面電性接取該基板之對應

傳送器。

圖1D為圖1A至圖1C所示類型之基板的部分的掃描式電子顯微圖。

圖1E為圖1C所示之基板及兩傳送器之部分放大示意圖。

圖2為根據本發明一實施例之一基板以及耦接至測試器總成的兩傳送器之部分示意性橫截面圖。

圖3A及圖3B為根據本發明技術一實施例之耦接至接取未通電晶粒之兩傳送器之基板大部分示意性橫截面圖。

圖4A及圖4B說明根據本發明技術一實施例之一基板以及經組態以在徑向向外方向上引導測試信號的兩傳送器。

圖5A及圖5B說明根據本發明技術一實施例之一基板以及經定位以模擬一未單切化基板之堆疊晶粒的兩傳送器。

圖6A及圖6B說明根據本發明技術一實施例之一基板以及經定位以使用不完整晶粒之基板通孔的兩傳送器。

圖7A及圖7B說明根據本發明技術一實施例而組態之一基板及兩可撓性傳送器。

圖8A及圖8B說明根據本發明技術一實施例而組態之一基板，其具有一個硬質傳送器及一個可撓性傳送器。

圖9A及圖9B說明根據本發明技術一實施例而組態之一基板及兩硬質傳送器。

圖10A及圖10B說明根據本發明技術另一實施例而組態之一基板及兩可撓性傳送器。

### **【實施方式】**

本發明技術大體上係關於(例如)用於測試之可耦接至微電子基板之相對表面傳送器以及相關聯系統及方法。在特定實施例中，此等技術可利用基板通孔(例如，晶圓通孔或矽通孔)而自兩側接取該微電子

基板，且藉此提高基板之晶粒之測試效率。下文參看圖1A至圖10B來描述本發明技術之若干實施例的具體細節。為了清楚起見，在下文描述中未闡述眾所周知且通常與微電子裝置及其相關測試相關聯的描述結構或過程、但可能不必要地模糊本發明之一些重要態樣的若干細節。此外，雖然以下揭示內容闡述了本發明技術不同態樣的若干實施例，但本發明技術的若干其他實施例可具有與在本段落中所描述之彼等組態或組件不同的組態或組件。因此，本發明技術可具有其他實施例，而該等實施例具有額外元件及/或不具有下文參看圖1A至圖10B描述之若干元件。

圖1A為適合以根據本發明技術之裝置及方法進行測試之微電子基板100(例如，一半導體晶圓)之部分示意性橫截面圖。該代表性微電子基板100包括具有對應晶粒邊緣107之多個晶粒或晶粒部位101。於測試後，該基板100沿著該等晶粒邊緣107而經單切化或切丁以產生個別晶粒101，該等晶粒101在使用前經囊封或以其他方式經封裝。每一晶粒101可包括一或多個作用區102。晶粒襯墊103可自基板100之第一側(例如，第一主要表面)106a而接取。基板通孔(例如，矽通孔)104可自基板100之第一側106a及面向相反的第二側(例如，第二主要表面)106b二者提供對基板100內之結構的電性接取。基板通孔襯墊105提供對通孔104之電性接取。

圖1B說明定位於展示為第一傳送器110a及第二傳送器110b之兩傳送器110之間的代表性基板100。該第一傳送器110a經定位鄰近且面朝向基板100之第一側106a，且該第二傳送器110b經定位鄰近且面朝向基板100之第二側106b。如本文所使用，術語「傳送器」一般指代具有一或多個導電(例如，金屬)層之結構，其中該傳送器經暫時貼附以附接至一晶圓或其他基板或與其嚙合以一般用於測試目的。通常，該傳送器經組態以隨著基板100移動，例如自一工作站(例如，測試或

處理站)至另一工作站。一般情況下，該傳送器包括在其間具有間距之一組接點，該等間距與晶粒襯墊103及/或通孔104之間的間距匹配。此第一組接點有時被大體稱為晶圓接點或基板接點，其在測試期間與基板100嚙合，並位於該傳送器之「晶圓側」或「基板側」上。該傳送器通常亦包括(例如)位於該傳送器的一相反「測試器側」上之第二組接點，該第二組接點可具有適合耦接至一測試器或其他測試裝置的不同間距。因此，該傳送器可在通常在一起非常緊密間隔的晶粒襯墊與通常較遠間隔開的對應測試器襯墊之間提供一介面。該等傳送器可經由真空力、夾具及/或其他技術而暫時附接至基板，以便在測試程序、預測試程序及/或測試後程序期間與基板100一起自一工作站移動至另一工作站。

第一傳送器110a之基板或晶圓接點可包括經定位以接觸相關聯基板100之晶粒襯墊103之第一導體111，以及經定位以在基板100之第一側106a上接觸該等基板通孔104(例如，通孔襯墊105)之第二導體112。第二傳送器110b亦可包括經定位以自基板100之第二側106b接觸該等基板通孔104之第二導體112。因此，第一傳送器110a可自第一側106a而接取該等基板通孔104，且第二傳送器110b可自第二側106b而接取相同或不同的基板通孔104。

圖1C說明基板100以及以可釋放方式附接至該基板之第一傳送器110a及第二傳送器110b。藉由此組態中之基板100與傳送器110a、110b，可以接取基板100之第一側106a及第二側106b二者之電信號而測試基板100。因此，第一傳送器110a定位於自基板100之第一主要表面106a向外延伸之第一區域108a中，且第二傳送器110b定位於自基板100之第二主要表面106b向外延伸之第二區域108b中。

圖1D為說明圖1C中所示之基板100之部分的掃描式電子顯微圖。因此，圖1D說明個別晶粒101以及相關聯基板通孔104。

圖1E為圖1C中所示之基板100及傳送器110a、110b之一部分的放大圖。

圖2為根據本發明技術一實施例之經配置用於測試之一代表性基板100及代表性傳送器110a、110b的部分示意性橫截面圖。如圖2所示，該配置可包括一測試器總成120，該測試器總成120依次包括多個測試器或測試模組121。該等測試器121可包括經定位以接取該第一傳送器110a之第一測試器121a，以及經定位以經由該第二傳送器110b接取基板100之第二測試器121b。因此，該第一測試器121a可與該第一傳送器110a所攜載之第一測試器接點113a電通信，且該第二測試器121b可經由第二測試器接點113b而接取該第二傳送器110b。測試器121與該基板100之間的通信以虛線示意性說明為第一信號路徑114a及第二信號路徑114b。測試器信號路徑122連接第一測試器121a與第二測試器121b或提供第一測試器121a與第二測試器121b之間的通信。因此，由第一測試器121a執行之測試可與第二測試器121b所執行之測試相互協調。此功能可在測試某些微電子裝置(例如，NAND裝置)時尤其有用，因為來自一項測試之結果可引導出多個可能進行的後續測試。上述配置之另一個優點在於，其可用於測試一最終被併入至晶粒堆疊中之晶粒。此類晶粒可使用基板通孔104來將不同信號傳輸至位於第一側106a上的襯墊，而非位於第二側106b上的襯墊。因此，第一測試器121a及第二測試器121b可經程式化/組態以傳遞及/或回應於晶粒101可能產生的不同信號。除了或替代上述內容，第二測試器121b可模擬一下部晶粒，且第一測試器121a可模擬一上部晶粒。

在特定實施例中，經由基板通孔104傳輸至晶粒101及/或自晶粒101傳輸的信號可在運作時僅在一個方向行進(例如，僅朝向第一傳送器110a或僅朝向第二傳送器110b)。代表性裝置包括二極體及三態裝置。因此，接取個別基板通孔104兩端的能力可提高整體測試運作的

通用性。此外，一個晶粒之基板通孔可用來促進另一晶粒之測試，如將在下文中進一步描述。在其他實施例中，信號係在兩個方向上沿著一或多個通孔傳輸。舉例而言，此類信號可用來測試單向裝置之完整性(其應僅在一個方向上傳輸信號)及/或測試多方向裝置在多個方向上傳輸信號的能力。

圖3A及圖3B說明根據本發明技術一特定實施例而組態之一代表性基板100以及代表性第一傳送器110a及第二傳送器110b。在圖3A中，示意性展示處於用於與基板100啮合的適當位置之傳送器110a、110b及一組第一測試器121a。在圖3B中，第一傳送器110a及第二傳送器110b已與基板100啮合，且第一測試器121a已與第一傳送器110a啮合。在本實施例之一特定態樣中，第二傳送器110b包括允許一未通電或未經測試之晶粒的基板通孔促進一已通電或測試晶粒(例如，受測試晶粒或裝置(DUT))進行測試之電路。舉例而言，圖3B說明一第一晶粒101a(亦識別為「晶粒4測試」)，其係已通電且受測試，並位於未通電的兩個第二晶粒101b(亦識別為「未通電晶粒3」及「未通電晶粒5」)之間。對應的第一測試器121a藉由第一晶粒101a之第一基板通孔104a而接取第一晶粒101a。第二傳送器110b包括第二信號路徑114b，其連接第一晶粒之第一基板通孔104a與第二晶粒101b之第二基板通孔104b。因此，第一測試器121a可藉由第一信號路徑114a而與第一晶粒101a通信，第一信號路徑114a通過第一晶粒101a之第一基板通孔104a與第二晶粒101b之第二基板通孔104b二者。此配置可藉由使用當前未受測試之相鄰(及/或其他)晶粒而用以增加可用於當前正受測試的每一晶粒的接取。舉例而言，此配置可允許第一測試器121a藉由使用第二傳送器110b來評估來自第一晶粒101a的信號，該等信號通常經由第一基板通孔104a朝向第二傳送器110b而「向下」單向傳輸，從而重新引導此類信號向上經由第二晶粒101b之第二通孔104b回到第一測

試器 121a。在運作中，所有晶粒可藉由依序地移動第一測試器 121a 及 / 或該等測試器與晶粒 101a、101b 之間的連接而進行測試。除了或代替上述內容，第二通孔 104b 可用以在第一傳送器 110a 與第二傳送器 110b 之間發送指令。

圖 4A 及圖 4B 說明另一配置，其中第二傳送器 110b 用以傳送信號，該等信號可傳送至圖 4A 及圖 4B 中未展示的組件及 / 或自該等組件接收。舉例而言，第一測試器 121a 可與晶粒 101 通信，如第一信號路徑 114a 所指示，且第二傳送器 110b 可將信號傳送出去，例如傳送至 / 自圖 4A 及圖 4B 中不可見的額外測試器 (裝置外或分佈式測試器)，如第二信號路徑 114b 所指示。該等信號可沿著延伸出基板 100 外周邊之路徑而經路由，如將在下文參看圖 7A 及圖 7B 進一步描述。

圖 5A 及圖 5B 說明其中第一傳送器 110a 及第二傳送器 110b 包括以模擬堆疊晶粒配置的方式而用以測試多個未單切化晶粒的信號路徑之配置。在圖 5B 所示的代表性實施例中，共有六個晶粒 101a 至 101f 參與在一模擬三個堆疊晶粒的特定測試之中。第一、第三及第五晶粒 101a、101c、101e 係已通電及經測試。第二、第四及第六晶粒 101b、101d、101f 未通電，但其提供連接該等已通電晶粒的路徑。該等傳送器 110a、110b 中每一者之信號路徑經組態以使用該等未通電的晶粒而自一已測試晶粒底部向另一晶粒頂部路由信號，從而模擬堆疊晶粒配置。舉例而言，在第一傳送器 110a 處之第一信號路徑 114a 提供第一測試器 121a 與第一晶粒 101a 之間的通信。在第二傳送器 110b 處之第二信號路徑 114b 將第一晶粒 110a 之基板通孔 104 連接至第二晶粒 101b 之基板通孔 104。在第一傳送器 101a 處之第三信號路徑 114c 連接該第二、未通電晶粒 101b 之基板通孔 104 與第三、已通電晶粒 101c 之基板通孔 104。一類似配置用來連接第三晶粒 101c 與第五晶粒 101e，並將信號路由至第二測試器 121b。以此方式，通常僅在晶粒呈堆疊配置時才明

顯的晶粒的運作態樣可在該等晶粒經單切化且實際上置放成堆疊配置之前進行測試。雖然個別晶粒可在一模擬堆疊配置下一起進行測試，但一旦經單切化，該等晶粒並不必要以模擬期間所使用的相同晶粒而堆疊。

圖6A及圖6B說明藉由使用基板100所攜載之不完整晶粒的基板通孔來測試晶粒(例如，完整、完好的晶粒)之配置。詳言之，因為基板100通常為圓形，且完整的或全部的晶粒101a通常為矩形，所以基板100之外周邊可包括不完整或部分晶粒101b的部分。此等不完整晶粒101b可能經歷過與完整晶粒101a相關聯的製造過程中的至少一些，例如，基板通孔的形成。因此，該等完整晶粒101a可具有第一基板通孔104a，且該等不完整晶粒101b可具有第二基板通孔104b。第二基板通孔104b可用以藉由使用第二傳送器110b而提供對第一晶粒101a的接取，從而沿著部分或不完整晶粒101b之第二基板通孔104b與完整晶粒101a之第一基板通孔104a之間的信號路徑114而傳送信號。因此，第二通孔104b可提供一「遞通(pass-through)」功能。

圖7A及圖7B說明其中藉由相對薄的第一傳送器110a及第二傳送器110b而測試一代表性基板100的組態。第二傳送器110b可具有一「邊緣延伸」之組態，該組態包括延伸出基板100周邊之邊緣延伸區115。邊緣延伸區115可提供額外的功能區，例如用於耦接至測試器及/或其他外部裝置。該等傳送器110a、110b可由薄的可撓性層狀金屬/介電材料形成，以提供垂直方向上的低間隙。因此，此配置特別適合在測試期間之垂直間隙要求緊密時使用。

圖8A及圖8B說明另一配置，其中一代表性基板100定位於一具有相對厚的組態之第一傳送器810a與一具有大體與上文參看圖7A及圖7B所描述之組態相似的薄的組態之第二傳送器810b之間。此配置可在基板100上方的垂直間隙未如基板100下方的垂直間距緊密或重要時

使用。

圖9A及圖9B說明另一配置，其中一基板100定位於兩傳送器910a、910b之間，該兩傳送器具有一相對厚的組態。此配置可在基板100上方及下方兩者的垂直間隙不緊密或不重要之設置中使用。

圖10A及圖10B說明定位於第一傳送器1010a與第二傳送器1010b之間的基板100，該兩傳送器係相對薄的，且皆不包括如上文參看圖7A及圖7B所描述的邊緣延伸區配置。因此，此配置可在至及來自基板100之通信不需要密集信號路徑及/或必要或以其他方式需要一邊緣延伸區之其他特徵之情況下使用。

本發明技術之特定實施例係關於用於測試一微電子基板之方法，例如含有多個晶粒之晶圓。一代表性方法包括將一第一傳送器定位於鄰近一微電子基板之一第一區域中。該微電子基板具有一第一主要表面及背向該第一主要表面之一第二主要表面，並具有延伸穿過該基板之導電基板通孔、以及自該微電子基板之該第一主要表面向外延伸之一第一區域與自該第二主要表面向外延伸之一第二區域。該方法可進一步包括：以可釋放方式將該第一傳送器相對於該微電子基板固定在該第一區域；當該第一傳送器相對於該微電子基板固定在該第一區域時，以可釋放方式將第二傳送器相對於該微電子基板固定在該第二區域；當該第一傳送器定位在該第一區域時，藉由該第一傳送器電性接取該微電子基板之一第一基板通孔；以及當該第一傳送器及第二傳送器二者相對於該微電子基板固定時，藉由該第二傳送器電性接取該微電子基板之該第一基板通孔或一第二基板通孔。

在其他特定實施例中，該方法進一步包括藉由該第一傳送器及該第二傳送器二者同時電性接取該微電子基板。在其他特定實施例中，該方法進一步包括在該第二傳送器處接收來自該第一傳送器的一第一信號，並作為回應而引導該第一信號或一第二信號至該微電子基

板或該第一傳送器。在其他實施例中，該第一通孔為一第一晶粒的一部分，且該方法進一步包括藉由下列步驟而模擬堆疊晶粒：將一信號自該第一傳送器經由該第一晶粒之該第一通孔而路由至該第二傳送器；使用該第二傳送器將該信號自該第一通孔路由至該第二通孔；在該第一傳送器處接收來自該第二通孔之信號；以及使用該第一傳送器將該信號自該第二通孔路由至該微電子基板之一第三通孔，該第三通孔為不同於該第一晶粒之一第二晶粒的一部分。

除了製造及使用該等已揭示的裝置及系統之方法以外，本文所揭示之該等方法包括並涵蓋指示他人製造及使用該等已揭示的裝置及系統之方法。因此，本文所揭示之任何及所有使用及製造方法亦充分揭示及成功實現指示此類使用及製造方法的相應方法。指示此類使用及製造之方法可採取以電腦可讀媒體為基礎的可執行程式或程序之形式。

由上所述，將可理解到本發明技術之具體實施例已為說明之目的而在本文描述，但各種修改可在不偏離本發明技術的情況下而達成。舉例而言，具有與上文所明確描述組態不同之組態之傳送器可用以自該等基板的相對表面而提供對基板的接取。基板可在大體水平定向上經測試，如該等圖式所示，或在其他實施例中在垂直或其他定向上測試。在一些實施例中，由一個傳送器自另一傳送器接收之同一信號被直接傳輸至另一部位，例如，傳回至該第一傳送器，或至一受測試晶粒。在一些實施例中，所接收信號在進一步傳輸前被更改，或提供用於傳輸不同信號之基礎。在特定實施例的上下文中所描述的本發明技術某些態樣可在其他實施例中組合或消除。舉例而言，在圖2至圖5B的上下文所述的信號路徑可實施於具有一相對薄剖面或相對厚剖面之傳送器中。另外，雖然與本發明某些實施例相關聯的優點已在那些實施例的上下文被描述，但其他實施例亦可展現此類優點，

且並非所有實施例均需要必定展現此類優點才屬於本發明技術的範疇。因此，本發明及相關聯的技術可涵蓋其他未於本文中明確展示或描述之實施例。以下實例提供本發明技術之額外代表性實施例。

### 【符號說明】

100	微電子基板/基板
101	晶粒、晶粒部位
101a-101f	第一~第六晶粒
102	作用區
103	晶粒襯墊
104	通孔/基板通孔
104a	第一基板通孔
104b	第二基板通孔
105	基板通孔襯墊
106a	第一側、第一主要表面
106b	第二側、第二主要表面
107	晶粒邊緣
108a	第一區域
108b	第二區域
110	傳送器
110a	第一傳送器
110b	第二傳送器
111	第一導體
112	第二導體
113a	第一測試器接點
113b	第二測試器接點
114	信號路徑

114a	第一信號路徑
114b	第二信號路徑
114c	第三信號路徑
115	邊緣延伸區
120	測試器總成
121	測試器、測試模組
121a	第一測試器
121b	第二測試器
122	測試器信號路徑
810a	第一傳送器
810b	第二傳送器
910a、910b	傳送器
1010a	第一傳送器
1010b	第二傳送器

## 申請專利範圍

1. 一種測試一微電子基板之方法，其包含：

將一第一傳送器定位於鄰近一微電子基板之一第一區域中，該微電子基板具有一第一主要表面及背向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔、自該微電子基板之該第一主要表面向外延伸之一第一區域以及自該第二主要表面向外延伸之一第二區域；

以可釋放方式將該第一傳送器相對於該微電子基板固定在該第一區域；

當該第一傳送器相對於該微電子基板固定在該第一區域時，以可釋放方式將一第二傳送器相對於該微電子基板固定在該第二區域；

當該第一傳送器定位在該第一區域中時，藉由該第一傳送器電性接取該微電子基板之一第一基板通孔；以及

當該第一傳送器及該第二傳送器二者以可釋放方式相對於該微電子基板固定時，藉由該第二傳送器電性接取該微電子基板之該第一基板通孔或一第二基板通孔，其中藉由該第一傳送器電性接取該微電子基板及藉由該第二傳送器電性接取該微電子基板包含：

使用該第一傳送器及該第二傳送器中之一者，沿著一未通電晶粒的一通孔傳輸一信號；以及

使用該第一傳送器及該第二傳送器中之另一者，將該信號傳輸至一通電晶粒。

2. 如請求項1之方法，其中，藉由該第一傳送器電性接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：藉由該

第一傳送器及該第二傳送器二者同時電性接取該微電子基板。

3. 如請求項1之方法，其中，藉由該第一傳送器接取該微電子基板包括沿著該第一通孔引導一信號至該第二傳送器，且其中藉由該第二傳送器接取該微電子基板包括接收該信號。
4. 如請求項3之方法，其中，藉由該第二傳送器接取該微電子基板包括：將自該第一傳送器接收的信號或另一信號引導至該第一傳送器。
5. 如請求項1之方法，其中，藉由該第一傳送器電性接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

在該第二傳送器處接收來自該第一傳送器的一第一信號；以及  
回應於接收該第一信號，引導該第一信號或一第二信號至該微電子基板。
6. 如請求項1之方法，其中，藉由該第一傳送器電性接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

在該第二傳送器處接收來自該第一傳送器的一第一信號；以及  
回應於接收該第一信號，引導該第一信號或一第二信號至該第一傳送器。
7. 如請求項1之方法，其中在引導該第一信號時，該第一通孔為一通電晶粒的一部分，且在沿著該第二基板通孔引導該第一信號或該第二信號時，該第二通孔為一未通電晶粒的一部分。
8. 如請求項1之方法，其進一步包含將在該第二傳送器處自該第一傳送器接收的信號路由至與該微電子基板、該第一傳送器及該第二傳送器不同的一裝置。
9. 如請求項1之方法，其中，藉由該第一傳送器接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

使用該第一傳送器及該第二傳送器中之一者，沿著一不完整

晶粒的一通孔而傳輸一信號；以及

使用該第一傳送器及該第二傳送器中之另一者，將該信號傳輸至一完整晶粒。

10. 如請求項1之方法，其中該微電子基板所攜載之一裝置可接取沿著一第一通孔在一第一方向上行進之信號，但不可接取沿著該第一通孔在與該第一方向相反之一第二方向上行進之信號，且其中藉由該第一傳送器接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

在該第二方向上沿著一第二通孔將一信號自該第一傳送器及該第二傳送器中之一者傳輸至該第一傳送器及該第二傳送器中之另一者；以及

在該第一方向上沿著該第一通孔引導來自該第一傳送器及該第二傳送器中之另一者的該信號。

11. 如請求項1之方法，其中，藉由該第一傳送器接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

引導來自該第一傳送器及該第二傳送器中之一者在一第一方向上經過一通孔之一第一信號；以及

引導來自該第一傳送器及該第二傳送器中之另一者在與該第一方向相反之一第二方向上經過該通孔之一第二信號。

12. 如請求項1之方法，其進一步包含在移動該微電子基板時，藉由該第二傳送器支撐該微電子基板。

13. 一種測試一微電子基板之方法，其包含：

將一第一傳送器定位於鄰近一微電子基板之一第一區域中，該微電子基板具有一第一主要表面及背向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔、自該微電子基板之該第一主要表面向外延伸之一第一區

域以及自該第二主要表面向外延伸之一第二區域；

以可釋放方式將該第一傳送器相對於該微電子基板固定在該第一區域；

當該第一傳送器定位在該第一區域中時，藉由該第一傳送器電性接取該微電子基板之至少一第一基板通孔；

以可釋放方式將一第二傳送器相對於該微電子基板固定在該第二區域；以及

藉由該第二傳送器電性接取該微電子基板之至少該第一基板通孔或一第二基板通孔，

其中該第一傳送器具有一第一厚度，且該第二傳送器具有不同於該第一厚度之一第二厚度。

14. 如請求項13之方法，其中，藉由該第一傳送器電性接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：在該第一傳送器及該第二傳送器二者以可釋放方式固定至該微電子基板時，電性接取該微電子基板。

15. 一種微電子基板測試配置，其包含：

一微電子基板，其具有一第一主要表面及背向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔，該等通孔係可自該第一主要表面及該第二主要表面二者電性接取；

一第一傳送器，其以可釋放方式連接至該微電子基板並定位於自該第一主要表面向外延伸之一第一區域中，該第一傳送器包括自該第一區域接取該等基板通孔之第一電信號路徑；以及

一第二傳送器，其以可釋放方式同時與該第一傳送器連接至該微電子基板，該第二傳送器定位於自該微電子基板之該第二主要表面向外延伸之一第二區域中，該第二傳送器包括自該第

二區域接取該等基板通孔之第二電信號路徑，

其中該微電子基板包括完全晶粒及部分晶粒，且其中該第一傳送器及該第二傳送器中之至少一者經由一部分晶粒之一通孔而接取該微電子基板。

16. 如請求項15之配置，其中，該第一傳送器具有一第一厚度，且該第二傳送器具有不同於該第一厚度之一第二厚度。
17. 如請求項15之配置，其中該第一傳送器及該第二傳送器二者經由一部分晶粒之一或多個通孔而接取該微電子基板。
18. 一種測試一微電子基板之方法，其包含：

將一第一傳送器定位於鄰近一微電子基板之一第一區域中，該微電子基板具有一第一主要表面及背向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔、自該微電子基板之該第一主要表面向外延伸之一第一區域以及自該第二主要表面向外延伸之一第二區域；

以可釋放方式將該第一傳送器相對於該微電子基板固定在該第一區域；

當該第一傳送器相對於該微電子基板固定在該第一區域時，以可釋放方式將一第二傳送器相對於該微電子基板固定在該第二區域；

當該第一傳送器定位在該第一區域中時，藉由該第一傳送器電性接取該微電子基板之一第一基板通孔；以及

當該第一傳送器及該第二傳送器二者以可釋放方式相對於該微電子基板固定時，藉由該第二傳送器電性接取該微電子基板之該第一基板通孔或一第二基板通孔，

其中藉由該第一傳送器電性接取該微電子基板及藉由該第二傳送器電性接取該微電子基板包含：

沿著該第一通孔引導來自該第一傳送器的一第一信號；

在該第二傳送器處接收來自該第一傳送器的一第一信號；

回應於接收該第一信號，沿著該第二基板通孔引導該第一信號或一第二信號至該第一傳送器或該微電子基板，該第二基板通孔不同於該第一基板通孔；

其中在引導該第一信號時，該第一通孔為一通電晶粒的一部分，且在沿著該第二基板通孔引導該第一信號或該第二信號時，該第二通孔為一未通電晶粒的一部分。

19. 一種測試一微電子基板之方法，其包含：

將一第一傳送器定位於鄰近一微電子基板之一第一區域中，該微電子基板具有一第一主要表面及背向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔、自該微電子基板之該第一主要表面向外延伸之一第一區域以及自該第二主要表面向外延伸之一第二區域；

以可釋放方式將該第一傳送器相對於該微電子基板固定在該第一區域；

當該第一傳送器相對於該微電子基板固定在該第一區域時，以可釋放方式將一第二傳送器相對於該微電子基板固定在該第二區域；

當該第一傳送器定位在該第一區域中時，藉由該第一傳送器電性接取該微電子基板之一第一基板通孔；以及

當該第一傳送器及該第二傳送器二者以可釋放方式相對於該微電子基板固定時，藉由該第二傳送器電性接取該微電子基板之該第一基板通孔或一第二基板通孔，

其中該第一通孔為一第一晶粒之一部分，且其中該方法進一步包含藉由下列步驟模擬堆疊晶粒：

將一信號自該第一傳送器經由該第一通孔路由至該第二傳送器；

使用該第二傳送器將該信號自該第一通孔路由至該第二通孔；

在該第一傳送器處接收來自該第二通孔之該信號；以及

使用第一傳送器將該信號自該第二通孔路由至該微電子基板之一第三通孔，該第三通孔係不同於該第一晶粒之一第二晶粒的一部分。

20. 一種測試一微電子基板之方法，其包含：

將一第一傳送器定位於鄰近一微電子基板之一第一區域中，該微電子基板具有一第一主要表面及背向該第一主要表面之一第二主要表面，該微電子基板具有延伸穿過該基板之導電基板通孔、自該微電子基板之該第一主要表面向外延伸之一第一區域以及自該第二主要表面向外延伸之一第二區域；

以可釋放方式將該第一傳送器相對於該微電子基板固定在該第一區域；

當該第一傳送器相對於該微電子基板固定在該第一區域時，以可釋放方式將一第二傳送器相對於該微電子基板固定在該第二區域；

當該第一傳送器定位在該第一區域中時，藉由該第一傳送器電性接取該微電子基板之一基板通孔；以及

當該第一傳送器及該第二傳送器二者以可釋放方式相對於該微電子基板固定時，藉由該第二傳送器電性接取該微電子基板之該基板通孔，

其中該通孔為一第一通孔，且該第一通孔為一第一晶粒之一部分，且其中該方法進一步包含藉由下列步驟模擬堆疊晶粒：

將一信號自該第一傳送器經由該第一通孔路由至該第二傳送器；

使用該第二傳送器將該信號自該第一通孔路由至該微電子基板之一第二通孔；

在該第一傳送器處接收來自該第二通孔之該信號；以及

使用第一傳送器將該信號自該第二通孔路由至該微電子基板之一第三通孔，該第三通孔係不同於該第一晶粒之一第二晶粒的一部分。

21. 如請求項20之方法，其中，藉由該第一傳送器電性接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：藉由該第一傳送器及該第二傳送器二者同時電性接取該微電子基板。
22. 如請求項20之方法，其中，藉由該第一傳送器接取該微電子基板包括沿著該通孔引導一信號至該第二傳送器，且其中藉由該第二傳送器接取該微電子基板包括接收該信號。
23. 如請求項20之方法，其中，藉由該第二傳送器接取該微電子基板包括：將自該第一傳送器接收的信號或另一信號引導至該第一傳送器。
24. 如請求項20之方法，其中，藉由該第一傳送器電性接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

在該第二傳送器處接收來自該第一傳送器的一第一信號；以及

回應於接收該第一信號，引導該第一信號或一第二信號至該微電子基板。
25. 如請求項20之方法，其中，藉由該第一傳送器電性接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

在該第二傳送器處接收來自該第一傳送器的一第一信號；以及

回應於接收該第一信號，引導該第一信號或一第二信號至該第一傳送器。

26. 如請求項20之方法，其中該通孔為一第一通孔，且其中藉由該第一傳送器電性接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

沿著該第一通孔引導來自該第一傳送器之一第一信號；

在該第二傳送器處接收來自該第一傳送器之一第一信號；

回應於接收該第一信號，沿著一第二基板通孔引導該第一信號或一第二信號至該第一傳送器或該微電子基板，該第二基板通孔不同於該第一基板通孔。

27. 如請求項26之方法，其中在引導該第一信號時，該第一通孔為一通電晶粒的一部分，且在沿著該第二基板通孔引導該第一信號或該第二信號時，該第二通孔為一未通電晶粒的一部分。

28. 如請求項20之方法，其進一步包含將在該第二傳送器處自該第一傳送器接收的信號路由至與該微電子基板、該第一傳送器及該第二傳送器不同的一裝置。

29. 如請求項20之方法，其中藉由該第一傳送器接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

使用該第一傳送器及該第二傳送器中之一者，沿著一不完整晶粒的一通孔而傳輸一信號；以及

使用該第一傳送器及該第二傳送器中之另一者，將該信號傳輸至一完整晶粒。

30. 如請求項20之方法，其中藉由該第一傳送器接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

使用該第一傳送器及該第二傳送器中之一者，沿著一未通電晶粒的一通孔傳輸一信號；以及

使用該第一傳送器及該第二傳送器中之另一者，將該信號傳輸至一通電晶粒。

31. 如請求項20之方法，其中該通孔為一第一通孔，且其中該微電子基板所攜載之一裝置可接取沿著該第一通孔在一第一方向上行進之信號，但不可接取沿著該第一通孔在與該第一方向相反之一第二方向上行進之信號，且其中藉由該第一傳送器電性接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

在該第二方向上沿著該微電子基板之一第二通孔將一信號自該第一傳送器及該第二傳送器中之一者傳輸至該第一傳送器及該第二傳送器中之另一者；以及

在該第一方向上沿著該第一通孔引導來自該第一傳送器及該第二傳送器中之另一者的該信號。

32. 如請求項20之方法，其中藉由該第一傳送器接取該微電子基板與藉由該第二傳送器電性接取該微電子基板包括：

引導來自該第一傳送器及該第二傳送器中之一者在一第一方向上經過該通孔之一第一信號；以及

引導來自該第一傳送器及該第二傳送器中之另一者在與該第一方向相反之一第二方向上經過該通孔之一第二信號。

33. 如請求項20之方法，其中該第一傳送器具有一第一厚度，且該第二傳送器具有不同於該第一厚度之一第二厚度。

34. 如請求項33之方法，其進一步包含在移動該微電子基板時，藉由該第二傳送器支撐該微電子基板。

35. 一種用於測試一微電子基板之微電子基板測試配置，該微電子基板具有基板通孔，其可從該微電子基板之相對的第一主要表面及第二主要表面電性接取，該測試配置包含：

一第一傳送器，其以可釋放方式連接至該微電子基板，該第一傳送器包括定位於該第一傳送器之多個第一電信號路徑以朝向該第一主要表面接取該等基板通孔；以及

一第二傳送器，其以可釋放方式同時與該第一傳送器連接至該微電子基板，該第二傳送器包括定位於該第二傳送器之多個第二電信號路徑以朝向該第二主要表面接取該等基板通孔；

其中：

該第一傳送器係可移除地與該微電子基板之該第一主要表面接觸固定；及

該第二傳送器係可移除地與該微電子基板之該第二主要表面接觸固定。

36. 如請求項35之配置，其中該第一傳送器具有一第一厚度，且該第二傳送器具有不同於該第一厚度之一第二厚度。
37. 如請求項35之配置，其中該微電子基板包括完全晶粒及部分晶粒，且其中該第一傳送器及該第二傳送器中之至少一者經由一部分晶粒之一通孔而接取該微電子基板。
38. 如請求項35之配置，其中該微電子基板包括完全晶粒及部分晶粒，且其中該第一傳送器及該第二傳送器二者經由一部分晶粒之一或多個通孔而接取該微電子基板。
39. 如請求項35之配置，其中：

該第一傳送器具有經組態以面向該微電子基板之一第一基板側，背向該第一基板側之一第一測試器側，在該第一基板側處之多個第一基板接點，及在該第一測試器側處之多個第一測試器接點，該等第一基板接點係藉由該等第一電信號路徑而連接至該等第一測試器接點；

該第二傳送器具有經組態以面向該微電子基板之一第二基板

側，背向該第二基板側之一第二測試器側，在該第二基板側處之多個第二基板接點，及在該第二測試器側處之多個第二測試器接點，該等第二基板接點係藉由該等第二電信號路徑而連接至該等第二測試器接點。

40. 一種用於測試一微電子基板之微電子基板測試配置，該微電子基板具有基板通孔，其可從該微電子基板之相對的第一主要表面及第二主要表面電性接取，該測試配置包含：

一第一傳送器，其以可釋放方式連接至該微電子基板，該第一傳送器包括定位於該第一傳送器之多個第一電信號路徑以朝向該第一主要表面接取該等基板通孔；以及

一第二傳送器，其以可釋放方式同時與該第一傳送器連接至該微電子基板，該第二傳送器包括定位於該第二傳送器之多個第二電信號路徑以朝向該第二主要表面接取該等基板通孔，

其中該第一傳送器具有一第一厚度，且該第二傳送器具有不同於該第一厚度之一第二厚度。

41. 一種用於測試一微電子基板之微電子基板測試配置，該微電子基板具有基板通孔，其可從該微電子基板之相對的第一主要表面及第二主要表面電性接取，該測試配置包含：

一第一傳送器，其以可釋放方式連接至該微電子基板，該第一傳送器包括定位於該第一傳送器之多個第一電信號路徑以朝向該第一主要表面接取該等基板通孔；以及

一第二傳送器，其以可釋放方式同時與該第一傳送器連接至該微電子基板，該第二傳送器包括定位於該第二傳送器之多個第二電信號路徑以朝向該第二主要表面接取該等基板通孔，

其中該微電子基板包括完全晶粒及部分晶粒，且其中該第一傳送器及該第二傳送器中之至少一者經由一部分晶粒之一通孔而接取該微電子基板。