

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-209666

(P2014-209666A)

(43) 公開日 平成26年11月6日(2014.11.6)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 3 1	5 F 0 8 3
H O 1 L 29/786 (2006.01)	H O 1 L 27/10 4 6 1	5 F 1 1 0
	H O 1 L 29/78 6 1 3 B	
	H O 1 L 29/78 6 1 8 B	

審査請求 有 請求項の数 2 O L (全 22 頁)

(21) 出願番号	特願2014-160048 (P2014-160048)	(71) 出願人	000153878
(22) 出願日	平成26年8月6日 (2014.8.6)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2012-270208 (P2012-270208)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	浅見 良信
原出願日	平成18年3月17日 (2006.3.17)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2005-91318 (P2005-91318)		半導体エネルギー研究所内
(32) 優先日	平成17年3月28日 (2005.3.28)	(72) 発明者	森若 圭恵
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	坂倉 真之
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	野村 亮二
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

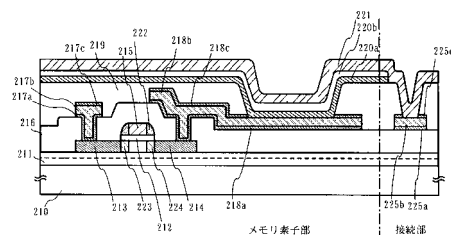
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】非接触でデータの送受信が可能な半導体装置は、鉄道乗車カードや電子マネーカードなどの一部では普及しているが、さらなる普及のためには、安価な半導体装置を提供することが急務の課題であった。上記の実情を鑑み、単純な構造のメモリを含む半導体装置を提供して、安価な半導体装置及びその作製方法の提供を課題とする。

【解決手段】有機化合物を含む層を有するメモリとし、メモリ素子部に設けるTFTのソース電極またはドレイン電極をエッチングにより加工し、メモリのビット線を構成する導電層とする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

メモリを有する半導体装置であって、
第 1 の絶縁層と、第 2 の絶縁層と、第 3 の絶縁層と、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、有機化合物を含む層と、半導体層と、を有し、
前記半導体層は金属酸化物を含み、
前記第 3 の導電層は、前記第 1 の絶縁層を介して前記半導体層と重なる領域を有し、
前記第 2 の絶縁層は、前記半導体層、前記第 1 の絶縁層、及び前記第 3 の導電層の上方に設けられ、
前記第 1 の導電層は、前記第 2 の絶縁層の上方に設けられ、
前記第 2 の導電層は、前記第 1 の導電層と接して設けられ、
前記第 3 の絶縁層は、前記第 1 の導電層及び前記第 2 の導電層の上方に設けられ、
前記第 3 の絶縁層は、開口を有し、
前記開口は、前記第 1 の導電層と重なり、
前記第 1 の導電層は、前記有機化合物を含む層を介して前記第 4 の導電層と重なる領域を有し、
前記第 1 の導電層及び前記第 2 の導電層は、前記第 2 の絶縁層に設けられたコンタクトホールにおいて、前記半導体層と電気的に接続されることを特徴とする半導体装置。

【請求項 2】

メモリを有する半導体装置であって、
第 1 の絶縁層と、第 2 の絶縁層と、第 3 の絶縁層と、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、有機化合物を含む層と、半導体層と、を有し、
前記半導体層は珪素を含み、
前記第 3 の導電層は、前記第 1 の絶縁層を介して前記半導体層と重なる領域を有し、
前記第 2 の絶縁層は、前記半導体層、前記第 1 の絶縁層、及び前記第 3 の導電層の上方に設けられ、
前記第 1 の導電層は、前記第 2 の絶縁層の上方に設けられ、
前記第 2 の導電層は、前記第 1 の導電層と接して設けられ、
前記第 3 の絶縁層は、前記第 1 の導電層及び前記第 2 の導電層の上方に設けられ、
前記第 3 の絶縁層は、開口を有し、
前記開口は、前記第 1 の導電層と重なり、
前記第 1 の導電層は、前記有機化合物を含む層を介して前記第 4 の導電層と重なる領域を有し、
前記第 1 の導電層及び前記第 2 の導電層は、前記第 2 の絶縁層に設けられたコンタクトホールにおいて、前記半導体層と電気的に接続されることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データの送受信が可能な半導体装置及びその駆動方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、電磁波又は電波を利用して、非接触でデータを送受信する半導体装置の開発が進められており、これらの半導体装置は、RF (Radio Frequency) タグ、無線タグ、電子タグ、トランスポンダ等と呼ばれる。現在実用化されている半導体装置は、半導体基板を用いた回路 (IC (Integrated Circuit) チップとも呼ばれる) とアンテナとを有するものが殆どであり、当該 IC チップにはメモリや制御回路が作り込まれている。

【発明の概要】

【発明が解決しようとする課題】

【0004】

非接触でデータの送受信が可能な半導体装置は、鉄道乗車カードや電子マネーカードなどの一部では普及しているが、さらなる普及のためには、安価な半導体装置を提供することが急務の課題であった。上記の実情を鑑み、本発明は、単純な構造のメモリを含む半導体装置を提供して、安価な半導体装置及びその作製方法の提供を課題とする。

【0005】

また、本発明は、メモリを含む半導体装置の作製方法における工程数を低減することも課題とする。

10

【課題を解決するための手段】

【0006】

本発明は、有機化合物を含む層を有するメモリとし、メモリ素子メモリ素子部に設けるTFTのソース電極またはドレイン電極をメモリのビット線を構成する導電層とする構造とする。TFTのソース電極またはドレイン電極と接続する接続電極を介してメモリの導電層と接続する構造に比べて、本発明は、一つの配線でTFTのソース電極またはドレイン電極及びメモリのビット線を構成し、接触抵抗や配線抵抗を低減することができるため、半導体装置の省電力化を図ることができる。

【0007】

また、メモリ素子部に設けるTFTのソース電極またはドレイン電極をエッチングにより加工し、メモリのビット線を構成する導電層とすることも特徴の一つとしている。

20

【0008】

本明細書で開示する発明の構成は、図1にその一例を示すように、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有し、前記メモリ素子は、前記ビット線を構成する導電層と有機化合物層と前記ワード線を構成する導電層との積層構造からなり、前記ビット線を構成する導電層は、薄膜トランジスタの半導体層と接する電極であることを特徴とするメモリ装置である。

【0009】

また、他の発明の構成は、図2にその一例を示すように、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有し、前記メモリ素子は、前記ビット線を構成する導電層と有機化合物層と前記ワード線を構成する導電層との積層構造からなり、前記ビット線を構成する導電層は、薄膜トランジスタの半導体層と接する電極であり、前記ビット線を構成する導電層は、金属膜の積層数が2層の第1領域と、金属膜の積層数が3層の第2領域と、前記第1領域と前記第2領域との境界線上に段差部とを有することを特徴とするメモリ装置である。

30

【0010】

また、他の発明の構成は、図3にその一例を示すように、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有し、前記メモリ素子は、前記ビット線を構成する導電層と有機化合物層と前記ワード線を構成する導電層との積層構造からなり、前記ビット線を構成する導電層は、薄膜トランジスタの半導体層と接する電極であり、前記ビット線を構成する導電層は、金属膜単層の第1領域と、金属膜の積層数が3層の第2領域と、前記第1領域と前記第2領域との境界線上に段差部とを有することを特徴とするメモリ装置である。

40

【0011】

また、他の発明の構成は、図4にその一例を示すように、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有し、前記メモリ素子は、前記ビット線を構成する導電層と有機化合物層と前記ワード線を構成する導電層との積層構造からなり、前記ビット線を構成する

50

導電層は、薄膜トランジスタの半導体層と接する電極であり、前記ビット線を構成する導電層は、金属膜の積層数が2層の第1領域と、金属膜の積層数が3層の第2領域と、前記第1領域と前記第2領域との境界線上に段差部とを有し、前記段差部は、絶縁物で覆われていることを特徴とするメモリ装置である。

【0012】

また、他の発明の構成は、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有し、前記メモリ素子は、前記ビット線を構成する導電層と有機化合物層と前記ワード線を構成する導電層との積層構造からなり、前記ビット線を構成する導電層は、薄膜トランジスタの半導体層と接する電極であり、前記ビット線を構成する導電層は、金属膜単層の第1領域と、金属膜の積層数が3層の第2領域と、前記第1領域と前記第2領域との境界線上に段差部とを有し、前記段差部は、絶縁物で覆われていることを特徴とするメモリ装置である。

10

【0013】

また、上記各構成において、前記ビット線を構成する導電層は、Ti、Al、Ag、Ni、W、Ta、Nb、Cr、Pt、Zn、Sn、In、またはMoから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料を主成分とする単層膜、またはそれらの積層膜であることを特徴の一つとしている。

【0014】

また、上記各構成において、前記ビット線を構成する導電層と前記ワード線を構成する導電層の一方または両方は、透光性を有していてもよい。また、薄膜トランジスタは、有機トランジスタとしてもよい。

20

【0015】

また、上記各構成において、前記ビット線を構成する導電層と有機化合物層との間または有機化合物層と前記ワード線を構成する導電層との間に整流性を有する素子が設けてもよい。なお、整流性を有する素子としては、ゲート電極とドレイン電極を接続した薄膜トランジスタまたはダイオード等を用いることができる。

【0016】

また、上記各構成において、前記ビット線を構成する導電層の第1領域に接してバッファ層、或いは有機化合物層が設けられていることを特徴の一つとしている。

30

【0017】

また、上記各構成において、前記メモリ装置は、さらにメモリ素子を制御する制御回路と、アンテナとを有していることを特徴の一つとしている。

【0018】

また、メモリ装置の作製方法も本発明の一つであり、その発明の構成は、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有するメモリ装置の作製方法であり、ビット線を構成する導電層を金属層の積層で形成する工程と、前記ビット線を構成する導電層の端部を覆う絶縁物を形成する工程と、前記絶縁物をマスクとして、エッチングを行い、前記ビット線を構成する導電層の縁に沿って斜面が露呈するように前記ビット線を構成する導電層の中央部を薄くする工程と、有機化合物を含む層を形成する工程と、該有機化合物を含む層上に、ワード線を構成する導電層を形成する工程とを有することを特徴とするメモリ装置の作製方法である。

40

【0019】

また、メモリ装置の作製方法に関する他の発明の構成は、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有するメモリ装置の作製方法であり、薄膜トランジスタの半導体層を形成する工程と、前記薄膜トランジスタの半導体層を覆う絶縁膜を形成する工程と、前記絶縁膜上に前記薄膜トランジスタの半導体層と接する金属層の積層からなる電極を形成する工程と、電極の積層の一部を除去して第1領域と、該第1領域より積層数が多い第2領

50

域と、前記第 1 領域と前記第 2 領域との境界線上に段差部とを形成する工程と、前記電極の段差部及び第 2 領域を覆う絶縁物を形成する工程と、前記第 1 領域上に接してバッファ層を形成する工程と、前記バッファ層上に有機化合物を含む層を形成する工程と、該有機化合物を含む層上に、ワード線を構成する導電層を形成する工程と、を有することを特徴とするメモリ装置の作製方法である。

【発明の効果】

【0020】

本発明により、メモリ装置の構成がアクティブマトリクス型である半導体装置の作製方法における工程数を低減することができる。

【図面の簡単な説明】

10

【0021】

【図 1】実施の形態 1 を示す断面図。

【図 2】実施の形態 2 を示す断面図。

【図 3】実施の形態 3 を示す断面図。

【図 4】実施の形態 4 を示す断面図。

【図 5】実施の形態 5 を示す断面図。

【図 6】アクティブマトリクス型の有機メモリの上面図。（実施の形態 6）

【図 7】アンテナおよび有機メモリを有する半導体装置の断面図。（実施の形態 7）

【図 8】無線チップのブロック図および無線チップの利用例を示す図。

【発明を実施するための形態】

20

【0022】

本発明の実施形態について、以下に図面を参照して説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0023】

（実施の形態 1）

図 1 は、本発明の半導体装置の一例、具体的には、有機化合物層を含むメモリ素子を配置したメモリ素子部を有するメモリ装置（以下、有機メモリとも記す）の断面図である。

30

【0024】

図 1 中、絶縁表面を有する基板 10 上に設けられた T F T（n チャネル型 T F T または p チャネル型 T F T）は、メモリセルの有機化合物層 20 b に流れる電流を制御する素子であり、13、14 はソース領域またはドレイン領域である。

【0025】

基板 10 上には下地絶縁膜 11（ここでは、下層を窒化絶縁膜、上層を酸化絶縁膜）が形成されており、ゲート電極 15 と半導体層との間には、ゲート絶縁膜 12 が設けられている。また、ゲート電極 15 の側壁にはサイドウォール 22 が設けられている。また、16 は無機材料、例えば、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム、または窒化酸化アルミニウムから選ばれる単層または積層からなる層間絶縁膜である。また、ここでは図示しないが、一つのメモリセルには、図示した T F T の他にも T F T（n チャネル型 T F T または p チャネル型 T F T）を一つ、または複数設けてもよい。また、ここでは、一つのチャネル形成領域を有する T F T を示したが、特に限定されず、複数のチャネルを有する T F T としてもよい。

40

【0026】

また、図 1 に示すように、チャネル形成領域とドレイン領域（またはソース領域）との間に L D D 領域 23、24 を有する低濃度ドレイン（L D D : L i g h t l y D o p e d D r a i n）構造としてもよい。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加

50

した領域を設けたものであり、この領域をLDD領域と呼んでいる。

【0027】

また、18a~18cは、第1の電極層、即ち、メモリ素子のビット線を構成する導電層である。第1の電極層は、3層構造となっている。ここでは、18aとしてチタン膜、18bとしてアルミニウムを主成分とする膜、18cとしてチタン膜として順に積層している。ドレイン領域（またはソース領域）と接する導電層18aとしてチタン膜を用いると接触抵抗を低くすることができ、好ましい。また、アルミニウムを主成分とする膜は電気抵抗が低いため、3層構造のうち最も厚い膜厚とすることで配線全体の低抵抗化が図れる利点がある。また、アルミニウムを主成分とする膜は、酸化しやすく、後の工程で熱などが加えられた時にヒロックなどの凸部が生じやすいので、チタン膜を積層して酸化や凸部形成を防ぐことが望ましい。アルミニウムを主成分とする膜が酸化されると絶縁膜になるのに対し、チタン膜は酸化しても半導体の性質を有するため、アルミニウムを主成分とする膜に比べて電気抵抗の上昇を抑えることができる。これらのことを考慮すると、18aとしてチタン膜、18bとしてアルミニウムを主成分とする膜、18cとしてチタン膜とを大気に曝すことなく連続的に成膜することが好ましい。

10

【0028】

また、同じ積層構造（合計3層）でソース線17a~17cも形成される。上記積層構造（合計3層）は、アルミニウムを主成分とする膜を含んでおり、低抵抗な配線とすることができ、接続部の接続配線25a~25cも同時に形成される。

【0029】

また、メモリ素子部に配置するTFTに加え、メモリ素子部の動作を制御する駆動回路も形成することができる。また、同じ積層構造（合計3層）で駆動回路の引き回し配線も形成することができ、低抵抗な配線で駆動回路を構成することができる。低抵抗な配線で駆動回路を構成することによって駆動回路の消費電力の低減を図ることができる。メモリ素子部の動作を制御する駆動回路とは、例えば、デコーダ、センスアンプ、セレクトア、バッファ、読み出し回路、書き込み回路等である。

20

【0030】

また、各メモリセル間には絶縁物19を設ける。絶縁物19は隣合うメモリセルとの境界に配置され、第1の電極層18a~18cの周縁を囲むように覆っている。絶縁物19としては、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x>y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x>y$ ）等の酸素または窒素を有する無機材料等の単層構造またはこれらの積層構造を用いることができる。他にも、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル、エポキシ等の有機材料等により、単層又は積層構造で形成する。また、無機材料と有機材料を積層させて設けてもよい。

30

【0031】

また、第2の電極層21は、金（Au）、銀（Ag）、白金（Pt）、ニッケル（Ni）、タングステン（W）、クロム（Cr）、モリブデン（Mo）、鉄（Fe）、コバルト（Co）、銅（Cu）、パラジウム（Pd）、炭素（C）、アルミニウム（Al）、マンガ（Mn）、チタン（Ti）、タンタル（Ta）等から選ばれた一種の元素または当該元素を複数含む合金からなる単層または積層構造を用いることができる。

40

【0032】

また、第1の電極層18a~18cと第2の電極層21の間には有機化合物を含む積層（第1層（バッファ層20a）と第2層（有機化合物層20b）の積層）を設けている。

【0033】

バッファ層20aは、有機化合物と、該有機化合物に対して電子を授受できる無機化合物との複合層であり、具体的には、金属酸化物と有機化合物とを含む複合層である。バッファ層は、無機化合物を混合することによって得られると考えられている効果（耐熱性の向上など）に加え、優れた導電性をも得ることができる。

【0034】

50

具体的にバッファ層 20a は、金属酸化物（酸化モリブデン、酸化タングステン、酸化レニウムなど）と有機化合物（ホール輸送性を有する材料（例えば 4, 4'-ビス〔N-（3-メチルフェニル）-N-フェニルアミノ〕ビフェニル（略称：TPD）、4, 4'-ビス〔N-（1-ナフチル）-N-フェニルアミノ〕ビフェニル（略称：α-NPD）、4, 4'-ビス〔N-〔4-（N, N-ジ-*m*-トリルアミノ）フェニル〕-N-フェニルアミノ〕ビフェニル（略称：DNTPD）など））を含む複合層である。

【0035】

また、第1の電極層上に接してバッファ層を設けることによって、メモリ素子における第1の電極層の3層目と第2の電極層との間隔を広げることができ、金属電極の表面凹凸などを起因とするメモリ素子の短絡による初期不良なども抑制することができる。

10

【0036】

第2層となる有機化合物層 20b は、導電性を有する有機化合物材料からなる層を単層または積層構造で設ける。導電性を有する有機化合物材料の具体例としては、キャリア輸送性を有する材料を用いることができる。

【0037】

また、バッファ層は、第1の電極層の3層目 20c と第2層 20b との密着性が悪い場合、間に設けることで密着性を向上させることができる。バッファ層は、金属酸化物と有機化合物とを含む複合層であるため、金属からなる第1の電極層と有機化合物からなる第2層との両方と密着性がよい。

【0038】

20

また、ここではトップゲート型 TFT を例として説明したが、TFT 構造に関係なく本発明を適用することが可能であり、例えばボトムゲート型（逆スタガ型）TFT や順スタガ型 TFT に適用することが可能である。また、シングルゲート構造の TFT に限定されず、複数のチャネル形成領域を有するマルチゲート型 TFT、例えばダブルゲート型 TFT としてもよい。

【0039】

また、本明細書において、TFT の活性層となる半導体層は、珪素を主成分とする半導体膜、有機材料を主成分とする半導体膜、或いは金属酸化物を主成分とする半導体膜を用いることができる。珪素を主成分とする半導体膜としては、非晶質半導体膜、結晶構造を含む半導体膜、非晶質構造を含む化合物半導体膜などを用いることができる。具体的には珪素を主成分とする半導体膜としてアモルファスシリコン、微結晶シリコン、多結晶シリコンなどを用いることができる。また、有機材料を主成分とする半導体膜としては、他の元素と組み合わせて一定量の炭素または炭素の同素体（ダイヤモンドを除く）からなる物質を主成分とする半導体膜を用いることができる。具体的には、ペンタセン、テトラセン、チオフェンオリゴマ誘導体、フェニレン誘導体、フタロシアニン化合物、ポリアセチレン誘導体、ポリチオフェン誘導体、シアニン色素等が挙げられる。また、金属酸化物を主成分とする半導体膜としては、酸化亜鉛（ZnO）や亜鉛とガリウムとインジウムの酸化物（In-Ga-Zn-O）等を用いることができる。

30

【0040】

また、剥離技術を用いてフレキシブル基板への転写を行ってもよい。その場合、ガラス基板などの第1の基板の上に剥離層または分離層を設けた後、TFT およびメモリを作製する。そして、剥離層または分離層を除去して、第1の基板から剥離した TFT およびメモリをフレキシブル基板である第2の基板に転写すればよい。

40

【0041】

（実施の形態 2）

本実施の形態では、実施の形態 1 と異なる構造のメモリ装置の一例を図 2 に示す。

【0042】

図 2 の構造は、絶縁物 219 をマスクとしたエッチングにより第1の電極層の一部が薄い第1領域を有しており、第1領域がメモリセルの有機化合物を含む積層（バッファ層 220a、有機化合物層 220b）と接している。絶縁物 219 は隣合うメモリセルとの境界

50

に配置され、第1の電極層の周縁を囲むように覆っている。

【0043】

また、第1の電極層218a~218cは、メモリ素子のビット線を構成する導電層である。第1の電極層218a~218cは、2層の領域からなる第1領域と、3層の領域からなる第2領域と、第1領域と第2領域の境界線に段差を有する構造となっている。ここでは、218aとしてチタン膜、218bとしてアルミニウムを主成分とする膜、218cとしてチタン膜として順に積層している。

【0044】

また、同じ積層構造（合計3層）でソース線217a~217cも形成される。上記積層構造（合計3層）は、アルミニウムを主成分とする膜を含んでおり、低抵抗な配線とすることができ、接続部の接続配線225a~225cも同時に形成される。

10

【0045】

なお、図2中、絶縁表面を有する基板210上に設けられたTF T（nチャネル型TF Tまたはpチャネル型TF T）は、メモリセルの有機化合物層220bに流れる電流を制御する素子であり、213、214はソース領域またはドレイン領域である。また、図2に示すTF Tは、チャネル形成領域とドレイン領域（またはソース領域）との間にLDD領域223、224を有する。

【0046】

基板210上には下地絶縁膜211（ここでは、下層を窒化絶縁膜、上層を酸化絶縁膜）が形成されており、ゲート電極215と半導体層との間には、ゲート絶縁膜212が設けられている。また、ゲート電極215の側壁にはサイドウォール222が設けられている。また、216は無機材料、例えば、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム、または窒化酸化アルミニウムから選ばれる単層または積層からなる層間絶縁膜である。

20

【0047】

また、第1の電極層上に接してバッファ層220aを設けることによって、メモリ素子における第1の電極層と第2の電極層221との間隔を広げることができ、金属電極の表面凹凸などを起因とするメモリ素子の短絡による初期不良なども抑制することができる。また、第1の電極層の2層目218bと有機化合物層220bとの密着性が悪い場合、これらの層の間にバッファ層220aを設けることによって密着性を向上させることができる。図2の構成では、メモリ素子において、2層目の第1の電極層218bとバッファ層220aが接する構造となっており、部分的に第1の電極層218cが除去されている。部分的に第1の電極層218cを除去し、アルミニウムを主成分とする膜とバッファ層220aとを接する構造とすることでメモリ素子における電気抵抗を低減することができる。

30

【0048】

第2層となる有機化合物層220bは、導電性を有する有機化合物材料からなる層を単層または積層構造で設ける。導電性を有する有機化合物材料の具体例としては、キャリア輸送性を有する材料を用いることができる。

【0049】

なお、特に必要がなければ、バッファ層220aは設けなくともよい。

40

【0050】

図2の構造とした場合、接続部において、第2の電極層221と第1の電極層の2層目とが接する構造となる。第2の電極層221の材料と第1の電極層の2層目の材料とを同じ金属元素を主成分とする材料とすれば、コンタクト抵抗の小さい接続を行うことができる。

【0051】

本実施の形態は実施の形態1と自由に組み合わせることができる。

【0052】

（実施の形態3）

50

本実施の形態では、実施の形態 1 や実施の形態 2 と異なる構造のメモリ装置の一例を図 3 に示す。

【0053】

図 3 の構造は、絶縁物 319 をマスクとしたエッチングにより第 1 の電極層の一部が薄い第 1 領域を有しており、第 1 領域がメモリセルの有機化合物を含む積層（バッファ層 320a、有機化合物層 320b）と接している。絶縁物 319 は隣合うメモリセルとの境界に配置され、第 1 の電極層の周縁を囲むように覆っている。

【0054】

また、第 1 の電極層 318a～318c は、メモリ素子のビット線を構成する導電層である。第 1 の電極層 318a～318c は、1 層の領域からなる第 1 領域と、3 層の領域からなる第 2 領域と、第 1 領域と第 2 領域の境界線に段差を有する構造となっている。ここでは、318a としてチタン膜、318b としてアルミニウムを主成分とする膜、318c としてチタン膜として順に積層している。

【0055】

また、同じ積層構造（合計 3 層）でソース線 317a～317c も形成される。上記積層構造（合計 3 層）は、アルミニウムを主成分とする膜を含んでおり、低抵抗な配線とすることができ、接続部の接続配線 325a～325c も同時に形成される。

【0056】

なお、図 3 中、絶縁表面を有する基板 310 上に設けられた TFT（n チャネル型 TFT または p チャネル型 TFT）は、メモリセルの有機化合物層 320b に流れる電流を制御する素子であり、313、314 はソース領域またはドレイン領域である。また、図 3 に示す TFT は、チャネル形成領域とドレイン領域（またはソース領域）との間に LDD 領域 323、324 を有する。

【0057】

基板 310 上には下地絶縁膜 311（ここでは、下層を窒化絶縁膜、上層を酸化絶縁膜）が形成されており、ゲート電極 315 と半導体層との間には、ゲート絶縁膜 312 が設けられている。また、ゲート電極 315 の側壁にはサイドウォール 322 が設けられている。また、316 は無機材料、例えば、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム、または窒化酸化アルミニウムから選ばれる単層または積層からなる層間絶縁膜である。

【0058】

また、第 1 の電極層上に接してバッファ層 320a を設けることによって、メモリ素子における第 1 の電極層と第 2 の電極層 321 との間隔を広げることができ、金属電極の表面凹凸などを起因とするメモリ素子の短絡による初期不良なども抑制することができる。

【0059】

第 2 層となる有機化合物層 320b は、導電性を有する有機化合物材料からなる層を単層または積層構造で設ける。導電性を有する有機化合物材料の具体例としては、キャリア輸送性を有する材料を用いることができる。

【0060】

なお、特に必要がなければ、バッファ層 320a は設けなくともよい。

【0061】

図 3 の構造とした場合、第 1 の電極層の 1 層目 318a は、平坦な層間絶縁膜 316 上に薄く形成されているため、比較的平坦な表面を得ることができる。従って、金属電極の表面凹凸などを起因とするメモリ素子の短絡による初期不良なども抑制することができる。

【0062】

また、接続部において、第 2 の電極層 321 と第 1 の電極層の 1 層目 325a とが接し、且つ、2 層目 325b の側壁も第 2 の電極層 321 と接する構造となる。図 3 の構造とすることで、接続部における接触面積を大きくすることができる。

【0063】

本実施の形態は実施の形態 1 と自由に組み合わせることができる。

10

20

30

40

50

【0064】

(実施の形態4)

本実施の形態では、実施の形態2と一部異なる構造のメモリ装置の一例を図4に示す。

【0065】

実施の形態2では、絶縁物をマスクとしてエッチングを行った例を示したが、本実施の形態では、マスクを1枚増やしてエッチングを行い、第1の電極層の3層目を一部除去する例を示す。

【0066】

図4の構造は、エッチングにより第1の電極層の一部が薄い第1領域を有しており、第1領域がメモリセルの有機化合物を含む積層（バッファ層420a、有機化合物層420b）と接している。絶縁物419は隣合うメモリセルとの境界に配置され、第1の電極層の周縁を囲むように覆っている。

10

【0067】

また、第1の電極層418a～418cは、メモリ素子のビット線を構成する導電層である。第1の電極層418a～418cは、2層の領域からなる第1領域と、3層の領域からなる第2領域と、第1領域と第2領域の境界線に段差を有する構造となっている。ここでは、418aとしてチタン膜、418bとしてアルミニウムを主成分とする膜、418cとしてチタン膜として順に積層している。

【0068】

また、図4の構造においては、第1領域と第2領域の境界線に段差も絶縁物419で覆っている。

20

【0069】

また、同じ積層構造（合計3層）でソース線417a～417cも形成される。上記積層構造（合計3層）は、アルミニウムを主成分とする膜を含んでおり、低抵抗な配線とすることができ、接続部の接続配線425a～425cも同時に形成される。

【0070】

なお、図4中、絶縁表面を有する基板410上に設けられたTF T（nチャネル型TF Tまたはpチャネル型TF T）は、メモリセルの有機化合物層420bに流れる電流を制御する素子であり、413、414はソース領域またはドレイン領域である。また、図4に示すTF Tは、チャネル形成領域とドレイン領域（またはソース領域）との間にLDD領域423、424を有する。

30

【0071】

基板410上には下地絶縁膜411（ここでは、下層を窒化絶縁膜、上層を酸化絶縁膜）が形成されており、ゲート電極415と半導体層との間には、ゲート絶縁膜412が設けられている。また、ゲート電極415の側壁にはサイドウォール422が設けられている。また、416は無機材料、例えば、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム、または窒化酸化アルミニウムから選ばれる単層または積層からなる層間絶縁膜である。

【0072】

また、第1の電極層上に接してバッファ層420aを設けることによって、メモリ素子における第1の電極層と第2の電極層421との間隔を広げることができ、金属電極の表面凹凸などを起因とするメモリ素子の短絡による初期不良なども抑制することができる。また、2層目の第1の電極層418bと有機化合物層420bとの密着性が悪い場合、これらの層の間にバッファ層420aを設けることによって密着性を向上させることができる。

40

【0073】

第2層となる有機化合物層420bは、導電性を有する有機化合物材料からなる層を単層または積層構造で設ける。導電性を有する有機化合物材料の具体例としては、キャリア輸送性を有する材料を用いることができる。

【0074】

50

なお、特に必要がなければ、バッファ層 420a は設けなくともよい。

【0075】

本実施の形態は実施の形態 1 と自由に組み合わせることができる。

【0076】

(実施の形態 5)

本実施の形態では、実施の形態 4 と一部異なる構造のメモリ装置の一例を図 5 に示す。

【0077】

実施の形態 4 では、第 1 の電極層の 3 層目を一部除去した例を示したが、本実施の形態では、第 1 の電極層の積層数を 4 として、4 層目及び 3 層目を一部除去する例を示す。

【0078】

図 5 の構造は、エッチングにより第 1 の電極層の一部が薄い第 1 領域を有しており、第 1 領域がメモリセルの有機化合物を含む積層（バッファ層 520a、有機化合物層 520b）と接している。絶縁物 519 は隣合うメモリセルとの境界に配置され、第 1 の電極層の周縁を囲むように覆っている。

【0079】

また、第 1 の電極層 518a～518d は、メモリ素子のビット線を構成する導電層である。第 1 の電極層 518a～518d は、2 層の領域からなる第 1 領域と、4 層の領域からなる第 2 領域と、第 1 領域と第 2 領域の境界線に段差を有する構造となっている。ここでは、518a として窒化チタン膜、518b としてチタン膜、518c としてアルミニウムを主成分とする膜、518d としてチタン膜として順に積層している。

【0080】

また、図 5 の構造においては、第 1 領域と第 2 領域の境界にある段差も絶縁物 519 で覆っている。

【0081】

また、同じ積層構造（合計 4 層）でソース線 517a～517d も形成される。上記積層構造（合計 4 層）は、アルミニウムを主成分とする膜を含んでおり、低抵抗な配線とすることができ、接続部の接続配線 525a～525d も同時に形成される。

【0082】

なお、図 5 中、絶縁表面を有する基板 510 上に設けられた T F T（n チャネル型 T F T または p チャネル型 T F T）は、メモリセルの有機化合物層 520b に流れる電流を制御する素子であり、513、514 はソース領域またはドレイン領域である。また、図 5 に示す T F T は、チャネル形成領域とドレイン領域（またはソース領域）との間に L D D 領域 523、524 を有する。

【0083】

基板 510 上には下地絶縁膜 511（ここでは、下層を窒化絶縁膜、上層を酸化絶縁膜）が形成されており、ゲート電極 515 と半導体層との間には、ゲート絶縁膜 512 が設けられている。また、ゲート電極 515 の側壁にはサイドウォール 522 が設けられている。また、516 は無機材料、例えば、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム、または窒化酸化アルミニウムから選ばれる単層または積層からなる層間絶縁膜である。

【0084】

また、第 1 の電極層上に接してバッファ層 520a を設けることによって、メモリ素子における第 1 の電極層と第 2 の電極層 521 との間隔を広げることができ、金属電極の表面凹凸などを起因とするメモリ素子の短絡による初期不良なども抑制することができる。また、2 層目の第 1 の電極層 518b と有機化合物層 520b との密着性が悪い場合、これらの層の間にバッファ層 520a を設けることによって密着性を向上させることができる。

【0085】

第 2 層となる有機化合物層 520b は、導電性を有する有機化合物材料からなる層を単層または積層構造で設ける。導電性を有する有機化合物材料の具体例としては、キャリア輸

10

20

30

40

50

送性を有する材料を用いることができる。

【0086】

なお、特に必要がなければ、バッファ層520aは設けなくともよい。

【0087】

本実施の形態は実施の形態1と自由に組み合わせることができる。

【0088】

(実施の形態6)

本実施の形態では、有機メモリの一構成例を以下に示す。図6(A)に示したのは本実施の形態で示す有機メモリの一構成例であり、メモリセル1221がマトリクス状に設けられたメモリセルアレイ1222、カラムデコーダ1226aと読み出し回路1226bとセレクトア1226cを有するビット線駆動回路1226、ロウデコーダ1224aとレベルシフタ1224bを有するワード線駆動回路1224、書き込み回路等を有し外部とのやりとりを行うインターフェース1223を有している。なお、ここで示すメモリ装置1216の構成はあくまで一例であり、センスアンプ、出力回路、バッファ等の他の回路を有していてもよいし、書き込み回路をビット線駆動回路に設けてもよい。

10

【0089】

メモリセル1221は、ワード線 W_y ($1 \leq y \leq n$) を構成する第1の配線1231と、ビット線 B_x ($1 \leq x \leq m$) を構成する第2の配線1232と、トランジスタ1240と、メモリ素子1241とを有する。メモリ素子1241は、一对の導電層の間に、有機化合物層が挟まれた構造を有する。

20

【0090】

メモリセルアレイ1222の上面構造の一例に関して図6(B)に示す。

【0091】

メモリセルアレイ1222は、第1の方向に延びた第1の配線1231と、第1の方向と垂直な第2の方向に延びた第2の配線1232とがマトリクス状に設けられている。また、第1の配線はトランジスタ1240のソースまたはドレイン電極に接続されており、第2の配線はトランジスタ1240のゲート電極に接続されている。さらに、第1の配線と接続されていないトランジスタ1240のソースまたはドレイン電極に第1の電極層1243が接続され、第1の電極層1243と有機化合物層と第2の導電層との積層構造によってメモリ素子が設けられている。

30

【0092】

本実施の形態は、実施の形態1乃至5のいずれか一と自由に組み合わせることが可能である。

【0093】

(実施の形態7)

本実施の形態では、アンテナを有する有機メモリの作製方法に関して図7を用いて説明する。なお、図7では、実施の形態1に示したメモリ素子部および接続部を用いた例を示し、図1と同一の箇所には同一の符号を用いる。

【0094】

なお、図7では、メモリ素子部および接続部に加え、ビット線駆動回路などの集積回路部と、アンテナを示している。

40

【0095】

まず、ガラス基板上に剥離層(分離層とも呼ぶ)を形成し、下地絶縁膜11を形成する。そして、下地絶縁膜上に、メモリ素子部のスイッチング素子として機能する複数のトランジスタおよび集積回路部のCMOS回路などを構成するnチャネル型TFET27及びpチャネル型TFET26を形成する。なお、本実施例では、メモリ素子部に設けられたトランジスタのソース電極またはドレイン電極の一方が第1の導電層18a~18cとしての機能を有する。第1の導電層18a~18cは、蒸着法、スパッタ法、CVD法、液滴吐出法、スピンコート法またはスクリーン印刷やグラビア印刷等の各種印刷法などを用いて形成することができる。

50

【0096】

また、後の工程で形成するアンテナと接続するための接続電極28も第1の導電層18a~18cと同じ工程で形成する。

【0097】

次に、第1の導電層18a~18cの端部を覆うように絶縁物19を形成する。また、絶縁物19を集積回路部のnチャネル型TF T 27及びpチャネル型TF T 26も覆うように形成する。絶縁物19は、液滴吐出法、印刷法またはスピコート法を用いて形成することができる。必要であれば、パターニングを行って絶縁物19を所望の形状に形成する。

【0098】

次に、第1の導電層18a~18c上にバッファ層20aと有機化合物を含む層20bを形成する。なお、バッファ層20aと有機化合物を含む層20bは、全面に形成してもよいし、各メモリセルに設けられる有機化合物層が分離するように選択的に形成してもよい。

【0099】

次に、有機化合物を含む層20b上に第2の導電層21を形成する。第2の導電層21は、上記第1の導電層と同様に蒸着法、スパッタ法、CVD法、液滴吐出法、スピコート法またはスクリーン印刷やグラビア印刷等の各種印刷法などを用いて形成することができる。少なくとも第1の導電層18a~18cと、有機化合物を含む層20bと、第2の導電層21との積層構造によりメモリ素子が形成される。

【0100】

また、集積回路部においては、第2の導電層21と同じ工程で電極29が形成される。電極29は、アンテナ接続部に設けられた接続電極と電気的に接続されている。また、電極29は、後に形成されるアンテナと絶縁物19との密着性の向上を図ることもできる。

【0101】

次に、電極29上にアンテナ30を形成する。ここでは絶縁物19の上方にアンテナ30を設けた場合を示しているが、この構成に限られずアンテナを、第1の導電層18a~18cの下方や同一の層に設けることも可能である。

【0102】

なお、データの伝送に用いるアンテナは2通りの設け方があり、1つは複数の素子およびメモリ素子が設けられた基板上にアンテナを設ける場合、もう1つは複数の素子およびメモリ素子が設けられた基板に端子部を設け、当該端子部に別の基板に設けられたアンテナを接続して設ける場合がある。

【0103】

次に、剥離層上に設けられた複数のメモリ素子を含むメモリ素子部、接続部、集積回路部、およびアンテナ接続部をガラス基板から完全に剥離する。そして、露呈した下地絶縁膜11に対して接着層31でフレキシブル基板32を貼り付ける。この工程が終了した段階の断面図が図7に相当する。

【0104】

フレキシブル基板32は、ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなるフィルム、繊維質な材料からなる紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）と接着性合成樹脂フィルム（アクリル合成樹脂、エポキシ合成樹脂等）との積層フィルムなどに相当する。また、接着層31は、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤が挙げられる。

【0105】

また、アンテナ30を覆うように、公知の手段（SOG法、液滴吐出法等）により、保護層として機能する絶縁層を形成してもよい。保護層として機能する絶縁層は、DLC（ダイヤモンドライクカーボン）などの炭素を含む層、窒化珪素を含む層、窒化酸化珪素を含む層、有機材料により形成し、好ましくはエポキシ樹脂により形成すればよい。

10

20

30

40

50

【0106】

また、剥離方法や転写方法は特に限定されず、例えば、アンテナが設けられている側の面を第1の基体に接着させて、ガラス基板から完全に剥離する。続いて、他方の面を、第2の基体であるフレキシブル基板32に接着層31で固定させてもよい。また、この場合、その後加熱処理と加圧処理の一方又は両方を行って、メモリ素子部を、第1の基体と第2の基体により封止してもよい。

【0107】

なお、剥離層は、公知の手段（スパッタリング法やプラズマCVD法等）により、タングステン（W）、モリブデン（Mo）、チタン（Ti）、タンタル（Ta）、ニオブ（Nb）、ニッケル（Ni）、コバルト（Co）、ジルコニウム（Zr）、亜鉛（Zn）、ル
10 テニウム（Ru）、ロジウム（Rh）、鉛（Pd）、オスミウム（Os）、イリジウム（Ir）、珪素（Si）から選択された元素または前記元素を主成分とする合金材料若しくは化合物材料からなる層を、単層又は積層して形成する。珪素を含む層の結晶構造は、非
晶質、微結晶、多結晶のいずれの場合でもよい。

【0108】

剥離層が単層構造の場合、例えば、タングステン層、モリブデン層またはタングステン
とモリブデンの混合物を含む層を形成する。あるいは、タングステンの酸化物若しくは酸
化窒化物を含む層、モリブデンの酸化物若しくは酸化窒化物を含む層またはタングステン
とモリブデンの混合物の酸化物若しくは酸化窒化物を含む層を形成する。なお、タングス
20 テンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当する。
また、タングステンの酸化物は、酸化タングステンと表記することがある。

【0109】

剥離層が積層構造の場合、1層目としてタングステン層、モリブデン層またはタングス
テンとモリブデンの混合物を含む層を形成し、2層目として、タングステン、モリブデン
またはタングステンとモリブデンの混合物の酸化物、窒化物、酸化窒化物又は窒化酸化物
を含む層を形成する。

【0110】

タングステン層を剥離層として設けた場合、剥離層上に下地絶縁膜および素子を形成し
た後、機械的な力を加えれば、剥離層の層内または界面で基板と下地絶縁膜とを分離さ
せることができる。
30

【0111】

また、剥離層をエッチングで除去する場合には、フォトリソグラフィ法により絶縁膜を
エッチングして、剥離層に達する開口部を形成することが望ましい。

【0112】

なお、剥離層として、タングステンを含む層とタングステンの酸化物を含む層の積層構
造を形成する場合、タングステンを含む層を形成し、その上層に酸化珪素を含む層を形成
することで、タングステン層と酸化珪素層との界面に、タングステンの酸化物を含む層が
形成されることを活用してもよい。これは、タングステンの窒化物、酸化窒化物及び窒化
酸化物を含む層を形成する場合も同様であり、タングステンを含む層を形成後、その上層
40 に窒化珪素層、酸化窒化珪素層、窒化酸化珪素層を形成するとよい。また、タングステン
の酸化物は、 WO_x で表され、 X は2～3であり、 X が2の場合（ WO_2 ）、 X が2.5
の場合（ W_2O_5 ）、 X が2.75の場合（ W_4O_{11} ）、 X が3の場合（ WO_3 ）など
がある。タングステンの酸化物を形成するにあたり、上記に挙げた X の値に特に制約はな
く、エッチングレート等を基に、どの酸化物を形成するかを決めるとよい。なお、エッチ
ングレートとして最も良いものは、酸素雰囲気下で、スパッタリング法により形成するタ
ングステンの酸化物を含む層（ WO_x 、 $0 < X < 3$ ）である。従って、作製時間の短縮の
ため、剥離層として、酸素雰囲気下でスパッタリング法によりタングステンの酸化物を含
む層を形成するとよい。

【0113】

また、剥離層として、非晶質シリコン（またはポリシリコン）を用い、レーザー光を照
50

射して非晶質シリコンに含まれる水素を放出させることにより、空隙を生じさせて基板を分離させる剥離法を用いてもよい。

【0114】

以上の工程により、メモリ素子部およびアンテナを有する半導体装置を作製することができる。また、上記工程により、可撓性を有する半導体装置を得ることができる。

【0115】

また、大面積のガラス基板（例えば680×880mm、730×920mm、またはそれ以上のサイズ）を用いれば、メモリ素子部およびアンテナを有する半導体装置の大量生産を行うことができる。なお、一枚の基板上に大量に半導体装置を形成する場合には、個々に分断する工程が必要となる。

10

【0116】

本実施の形態は、実施の形態1乃至6のいずれか一と自由に組み合わせることが可能である。

【0117】

（実施の形態8）

本実施の形態では、本発明の半導体装置を非接触でデータの送受信が可能である無線チップとして利用した場合に関して図8を用いて説明する。

【0118】

無線チップ1310は、非接触でデータを交信する機能を有し、電源回路1301、クロック発生回路1302、データ復調／変調回路1303、他の回路を制御する制御回路1304、インターフェイス回路1305、メモリ1306、データバス1307、アンテナ（アンテナコイル）1308を有する（図8（A））。

20

【0119】

電源回路1301は、アンテナ1308から入力された交流信号を基に、半導体装置の内部の各回路に供給する各種電源を生成する回路である。クロック発生回路1302は、アンテナ1308から入力された交流信号を基に、半導体装置内の各回路に供給する各種クロック信号を生成する回路である。データ復調／変調回路1303は、リーダライタ1309と交信するデータを復調／変調する機能を有する。制御回路1304は、メモリ1306を制御する機能を有する。アンテナ1308は、電磁波或いは電波の送受信を行う機能を有する。リーダライタ1309は、半導体装置との交信、制御及びそのデータに関する処理を制御する。

30

【0120】

また、メモリ1306は上記実施の形態1乃至5で示した有機メモリのいずれかの構成により形成されている。なお、無線チップは上記構成に制約されず、例えば、電源電圧のリミッタ回路や暗号処理専用ハードウェアといった他の要素を追加した構成であってもよい。

【0121】

また、無線チップは、各回路への電源電圧の供給を電源（バッテリー）を搭載せず電波により行うタイプとしてもよいし、各回路への電源電圧の供給をアンテナの代わりに電源（バッテリー）を搭載させて行うタイプとしてもよいし、電波と電源により電源電圧を供給するタイプとしてもよい。

40

【0122】

本発明の半導体装置を無線チップ等を利用した場合、非接触で通信を行う点、複数読取りが可能である点、データの書き込みが可能である点、様々な形状に加工可能である点、選択する周波数によっては、指向性が広く、認識範囲が広い点等の利点を有する。無線チップは、非接触による無線通信で人や物の個々の情報を識別可能なICタグ、ラベル加工を施して目標物への貼り付けを可能としたラベル、イベントやアミューズメント向けのリストバンド等に適用することができる。また、無線チップを樹脂材料により成型加工してもよいし、無線通信を阻害する金属に直接固定してもよい。さらに、無線チップは、入退室管理システムや精算システムといった、システムの運用に活用することができる。

50

【0123】

次に、半導体装置を無線チップとして実際に使用するときの一形態について説明する。表示部1321を含む携帯端末の側面には、リーダライタ1320が設けられ、品物1322の側面には無線チップ1323が設けられる（図8（B））。

【0124】

品物1322が含む無線チップ1323にリーダライタ1320をかざすと、表示部1321に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。フレキシブル基板に形成された無線チップであれば、商品の曲面にも貼りつけることができ、便利である。

【0125】

また、商品1326をベルトコンベアにより搬送する際に、リーダライタ1324と、商品1326に設けられた無線チップ1325を用いて、該商品1326の検品を行うことができる（図8（C））。このように、システムに無線チップを活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

【0126】

なお、本発明の無線チップは、紙幣、硬貨、有価証券類、証券類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。

【0127】

本実施の形態は、実施の形態1乃至7のいずれか一と自由に組み合わせることが可能である。

【産業上の利用可能性】

【0128】

本発明は、有機メモリを有する半導体装置の大量生産をする上で、工程数を削減することができる。また、 $680 \times 880 \text{ mm}$ 、若しくは $730 \times 920 \text{ mm}$ 以上の大型基板を用いて有機メモリを有する半導体装置の大量生産を行うことができる。

【符号の説明】

【0129】

- 10 基板
- 11 下地絶縁膜
- 12 ゲート絶縁膜
- 13、14 ソース領域またはドレイン領域
- 15 ゲート電極
- 16 層間絶縁膜
- 17 a、17 b、17 c ソース線
- 18 a、18 b、18 c 第1の電極層
- 19 絶縁物
- 20 a バッファ層
- 20 b 有機化合物層
- 21 第2の電極
- 22 サイドウォール
- 23、24 LDD領域
- 25 a、25 b、25 c 接続配線
- 26 pチャネル型TFT
- 27 nチャネル型TFT
- 28 接続電極
- 29 電極
- 30 アンテナ
- 31 接着層
- 32 フレキシブル基板

10

20

30

40

50

2 1 0	絶縁表面を有する基板	
2 1 1	下地絶縁膜	
2 1 2	ゲート絶縁膜	
2 1 3	ソース領域またはドレイン領域	
2 1 4	ソース領域またはドレイン領域	
2 1 5	ゲート電極	
2 1 6	層間絶縁膜	
2 1 7 a	ソース線	
2 1 7 b	ソース線	
2 1 7 c	ソース線	10
2 1 8 a	第1の導電層	
2 1 8 b	第1の導電層	
2 1 8 c	第1の導電層	
2 1 9	絶縁物	
2 2 0 a	バッファ層	
2 2 0 b	有機化合物層	
2 2 1	第2の電極層	
2 2 2	サイドウォール	
2 2 3	L D D領域	
2 2 4	L D D領域	20
2 2 5 a	接続配線	
2 2 5 b	接続配線	
2 2 5 c	接続配線	
3 1 0	絶縁表面を有する基板	
3 1 1	下地絶縁膜	
3 1 2	ゲート絶縁膜	
3 1 3	ソース領域またはドレイン領域	
3 1 4	ソース領域またはドレイン領域	
3 1 5	ゲート電極	
3 1 6	層間絶縁膜	30
3 1 7 a	ソース線	
3 1 7 b	ソース線	
3 1 7 c	ソース線	
3 1 8 a	第1の導電層	
3 1 8 b	第1の導電層	
3 1 8 c	第1の導電層	
3 1 9	絶縁物	
3 2 0 a	バッファ層	
3 2 0 b	有機化合物層	
3 2 1	第2の電極層	40
3 2 2	サイドウォール	
3 2 3	L D D領域	
3 2 4	L D D領域	
3 2 5 a	接続配線	
3 2 5 b	接続配線	
3 2 5 c	接続配線	
4 1 0	絶縁表面を有する基板	
4 1 1	下地絶縁膜	
4 1 2	ゲート絶縁膜	
4 1 3	ソース領域またはドレイン領域	50

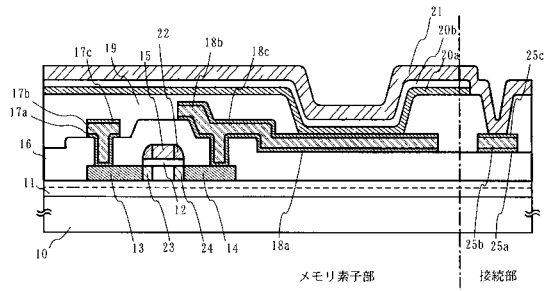
4 1 4	ソース領域またはドレイン領域	
4 1 5	ゲート電極	
4 1 6	層間絶縁膜	
4 1 7 a	ソース線	
4 1 7 b	ソース線	
4 1 7 c	ソース線	
4 1 8 a	第 1 の導電層	
4 1 8 b	第 1 の導電層	
4 1 8 c	第 1 の導電層	
4 1 9	絶縁物	10
4 2 0 a	バッファ層	
4 2 0 b	有機化合物層	
4 2 1	第 2 の電極層	
4 2 2	サイドウォール	
4 2 3	L D D 領域	
4 2 4	L D D 領域	
4 2 5 a	接続配線	
4 2 5 b	接続配線	
4 2 5 c	接続配線	
5 1 0	絶縁表面を有する基板	20
5 1 1	下地絶縁膜	
5 1 2	ゲート絶縁膜	
5 1 3	ソース領域またはドレイン領域	
5 1 4	ソース領域またはドレイン領域	
5 1 5	ゲート電極	
5 1 6	層間絶縁膜	
5 1 7 a	ソース線	
5 1 7 b	ソース線	
5 1 7 c	ソース線	
5 1 7 d	ソース線	30
5 1 8 a	第 1 の導電層	
5 1 8 b	第 1 の導電層	
5 1 8 c	第 1 の導電層	
5 1 8 d	第 1 の導電層	
5 1 9	絶縁物	
5 2 0 a	バッファ層	
5 2 0 b	有機化合物層	
5 2 1	第 2 の電極層	
5 2 2	サイドウォール	
5 2 3	L D D 領域	40
5 2 4	L D D 領域	
5 2 5 a	接続配線	
5 2 5 b	接続配線	
5 2 5 c	接続配線	
5 2 5 d	接続配線	
1 2 1 6	メモリ装置	
1 2 2 1	メモリセル	
1 2 2 2	メモリセルアレイ	
1 2 2 3	インターフェース	
1 2 2 4	ワード線駆動回路	50

1 2 2 4 a ロウデコーダ
1 2 2 4 b レベルシフタ
1 2 2 6 ビット線駆動回路
1 2 2 6 a カラムデコーダ
1 2 2 6 b 読み出し回路
1 2 2 6 c セレクタ
1 2 3 1 第1の配線
1 2 3 2 第2の配線
1 2 4 0 トランジスタ
1 2 4 1 メモリ素子
1 2 4 3 第1の導電層
1 3 0 1 電源回路
1 3 0 2 クロック発生回路
1 3 0 3 データ復調／変調回路
1 3 0 4 制御回路
1 3 0 5 インターフェイス回路
1 3 0 6 メモリ
1 3 0 7 データバス
1 3 0 8 アンテナ
1 3 0 9 リーダライタ
1 3 1 0 無線チップ
1 3 2 0 リーダライタ
1 3 2 1 表示部
1 3 2 2 品物
1 3 2 3 無線チップ
1 3 2 4 リーダライタ
1 3 2 5 無線チップ
1 3 2 6 商品

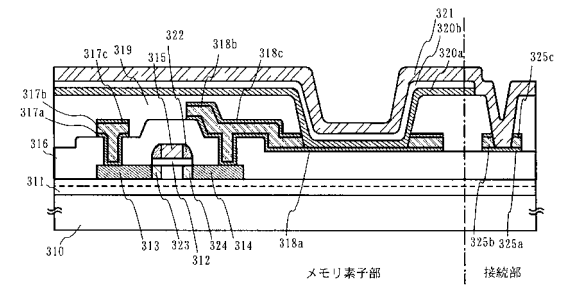
10

20

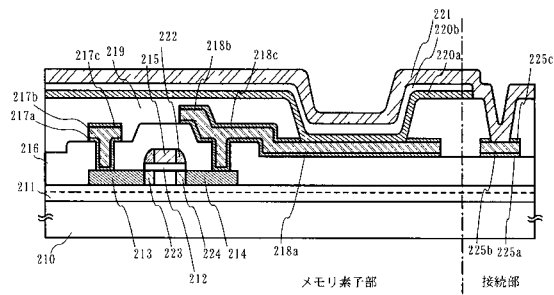
【図 1】



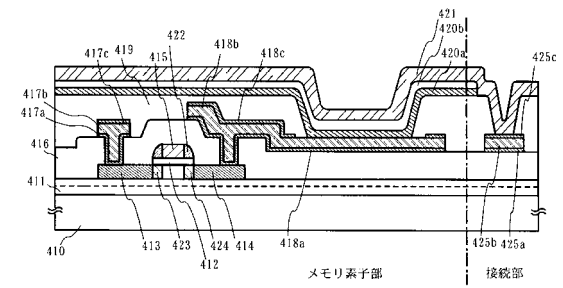
【図 3】



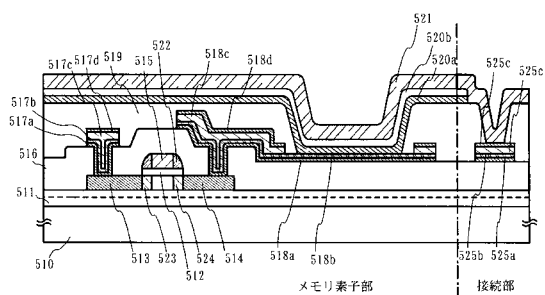
【図 2】



【図 4】

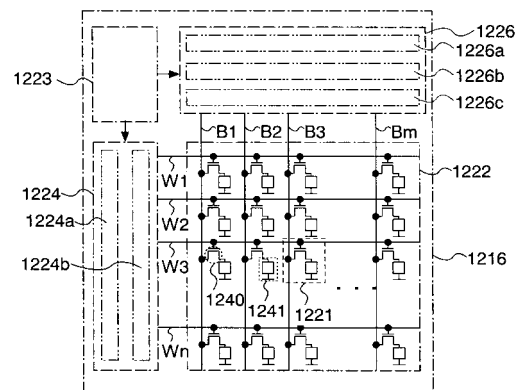


【図 5】

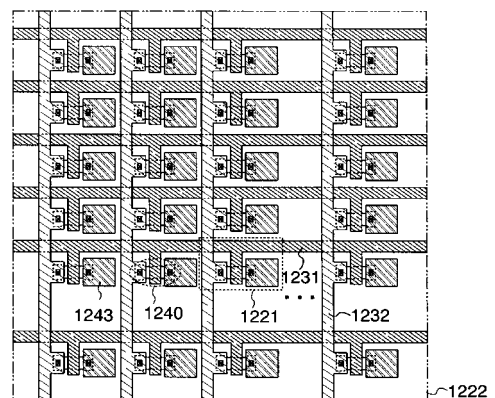


【図 6】

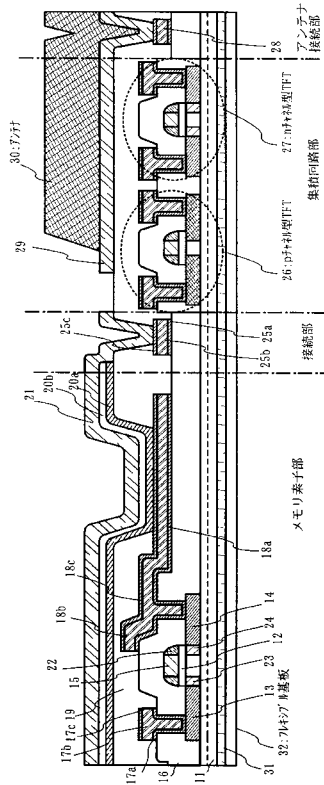
(A)



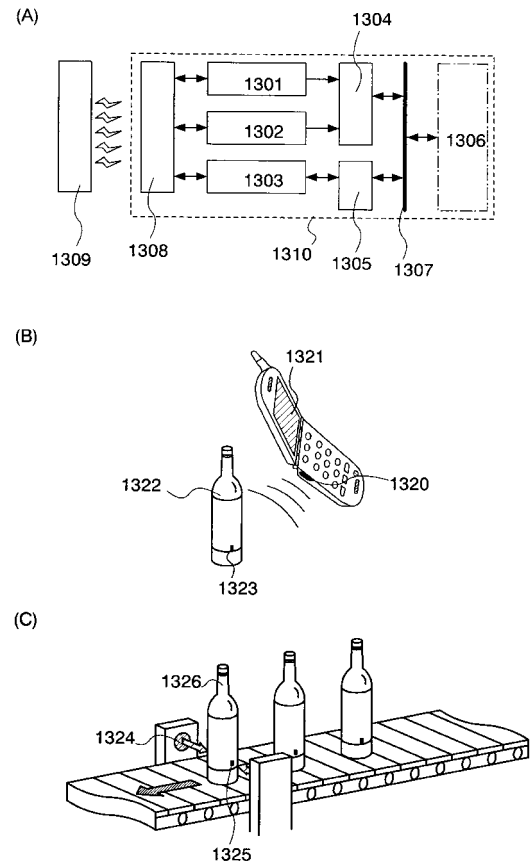
(B)



【図 7】



【図 8】



フロントページの続き

(72)発明者 山崎 舜平

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

Fターム(参考) 5F083 CR14 FZ07 GA28 JA33 JA36 JA37 JA38 JA39 JA40 JA56
JA58 ZA12
5F110 AA16 CC02 CC05 CC07 DD01 DD17 EE27 EE31 GG01 GG02
GG05 GG11 GG13 GG14 GG15 HL01 HL03 HL04 HL12 HL22
HL23 HL24 HM15 NN03 NN22 NN23 NN24 NN27 NN71 QQ09
QQ16