

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 27/04

(45) 공고일자 1999년06월01일

(11) 등록번호 10-0189727

(24) 등록일자 1999년01월18일

(21) 출원번호	10-1991-0018131	(65) 공개번호	특1993-0009059
(22) 출원일자	1991년10월15일	(43) 공개일자	1993년05월22일
(73) 특허권자	엘지반도체주식회사 구본준 충청북도 청주시 흥덕구 향정동 1번지		
(72) 발명자	박남규		
(74) 대리인	서울특별시 서대문구 북아현동 404 양순석		

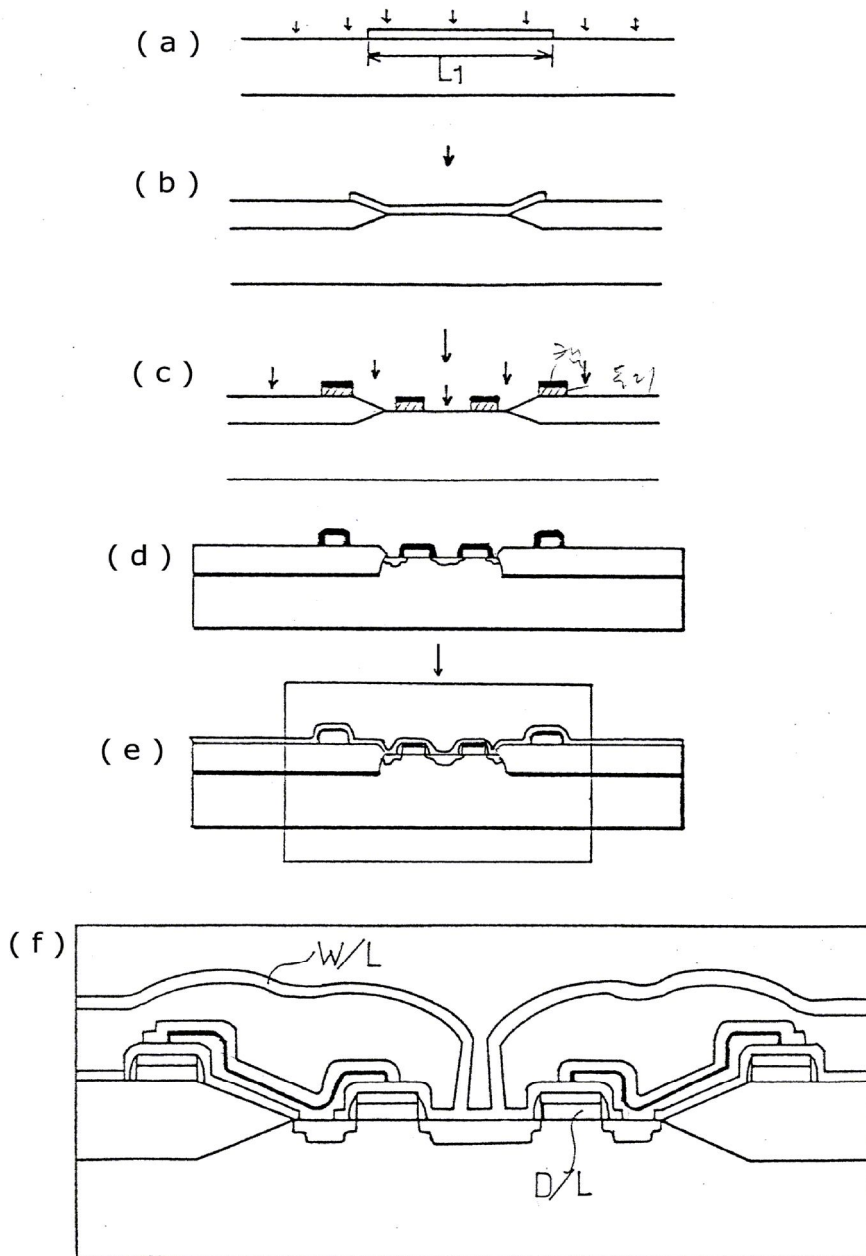
심사관 : 정해균

(54) 반도체 소자의 액티브 영역 확대 및 소자 격리방법

요약

본 발명은 반도체 제조공정에 관한 것으로서 특히 MOS소자에 적당하도록 액티브 영역확대 및 소자격리기 술에 관한 것이다. 이를 위하여 본 발명에서는, 반도체 소자의 액티브 영역확대 및 소자격리 방법에 있어서, 실리콘 기판 상에 두꺼운 필드 산화막을 형성한 뒤 HF를 이용하여 습식에치백을 실시하므로 소자 간을 격리하고 이로인해 액티브 영역의 둥근 면을 이루며 위로 솟아 면적의 확장효과를 얻을 수 있다.

대표도



명세서

[발명의 명칭]

반도체 소자의 액티브 영역확대 및 소자 격리방법

[도면의 간단한 설명]

제1도는 종래 기술의 반도체 셀 제조 공정도

제2도는 본 발명의 반도체 셀 제조 공정도

* 도면의 주요부분에 대한 부호의 설명

- | | |
|------------|-----------------|
| 1 : 실리콘 기판 | 2 : 질화막 |
| 3 : 필드 산화막 | 4 : 폴리실리콘 |
| 5 : 캡 산화막 | 6 : 산화막 |
| 7 : 산화막 | 8 : 폴리실리콘 |
| 9 : ONO | 10 : 폴리실리콘 플레이트 |
| 11 : BPSG | 12 : 워드라인 |

[발명의 상세한 설명]

본 발명은 반도체 제조공정에 관한 것으로서 특히 MOS 소자에 적당하도록 액티브 영역확대 및 소자격리 방법에 관한 것이다.

반도체 소자의 고집적화에 따라 대두되는 문제중에 규격 축소로 인한 소자간 격리 및 액티브 면적제한 등의 문제가 있다. 이를 해결하기 위해서 종래에는 격리기술로서는 트렌치 격리방법과 그 이전부터 가장 보편적으로 사용되는 LOCOS를 이용한 필드산화막 격리방법이 있다.

트렌치 격리는 실리콘 기판에 깊은 트렌치를 형성하여 소자간의 분리를 시도한 것이다. LOCOS라 함은 액티브 영역이 될 부분에 질화막(Si_3N_4)을 패터닝 한 뒤 열 산화를 하면 질화막 밑의 액티브 영역을 제외한 필드부에 두꺼운 산화막이 형성됨으로써 소자 격리 효과를 얻는 것이다.

이를 첨부된 도면 제1도를 참조하여 설명하면 다음과 같다.

LOCOS 격리를 이용하는 경우 질화막 밑으로의 측면 확산에 의해 버즈비크가 생겨 액티브 영역을 잠식함으로써 액티브 면적이 줄어들게 되며 LOCOS 격리로서는 완벽한 소자 분리가 불가능하여 필드 산화전에 채널 스톱 이온주입을 사용하게 된다.

공정의 진행순서를 보면 먼저 제1도의 (a)와 같이 실리콘 기판위에 액티브 영역을 정의하고 채널스톱 이온주입을 실시한다. 계속해서 제1도의 (b)와 같이 필드산화(LOCOS)를 수행한다. 제 1도의 (c)와 같이 폴리실리콘을 데포지션하고 캡 산화막을 데포지션한다. 그후 게이트를 정의하여 LDD(Lightly Doped Drain) 이온 주입을 실시한다. 이 때 주입 이온은 As^+ 를 사용한다. 계속해서 제1도의 (d)와 같이 스페이서 산화막 데포지션을 실시하며, LDD에치를 수행하여 스페이서를 형성한다. 이어서 N^+ 이온주입을 실시한다.

그 후 제1도의 (e)와 같이 베리드 콘택을 위한 산화막 데포지션을 실시한다.

그 후 제1도의 (f)와 같이 베리드 콘택 정의, 노드 폴리실리콘 데포지션 및 정의 데포지션 플레이트 폴리실리콘 데포지션, BPSG 막 데포지션 및 콘택정의, 워드라인 형성의 공정을 거쳐서 메모리 셀을 완성한다.

이러한 종래 기술에서는 필드 산화막형성시 버즈비크에 의한 액티브 면적감소를 감수해야하며 완전한 소자격리가 불가능하여 채널 스톱 이온주입 공정이 필요하다는 문제점이 있다.

본 발명은 이와같은 문제점을 시정, 보완하기 위해 안출된 것이다.

본 발명에서는 LOCOS를 이용하여 종래보다 훨씬 두꺼운 필드 산화막을 형성한 뒤 습식식각의 높은 선택비를 이용하여 에치 백을 실시하여 원하는 두께 만큼의 필드 산화막을 남긴다. 이때 필드 산화막의 두께는 종래보다 얇게하여도 액티브 영역이 위로 솟아있어서 효과적인 격리가 되며 또한 채널 스톱이온주입을 실시하지 않아도 된다.

본 발명을 첨부된 도면 제2도를 참조하여 설명하면 다음과 같다.

먼저 제2도의 (a)와 같이 질화막(2)(Si_3N_4)으로 액티브 영역을 정의하고 (b)와 같이 필드산화막(3)을 형성한다. (LOCOS)

이어서 제2도의 (c)와 같이 습식에치 백을 하고(HF) 폴리실리콘(4) 및 캡 산화막(5)을 데포지션하고 게이트를 정의한다. 그 후 이온 주입(As)을 실시한다. 이어서 (d)와 같이 스페이서 산화막(6)을 데포지션하고 드라이에치백으로 스페이서를 형성하고 N^+ 이온주입을 실시한다.

계속해서 (e)와 같이 베리드 콘택용 산화막(7)을 데포지션한다. 제2도의 (f)는 본 발명의 완성도로서 계속되는 공정은 베리드 콘택을 정의하고, 노드 폴리실리콘(8)을 데포지션 한 후, 이온주입 및 정의 단계와, ONO(9)를 데포지션하는 단계, 폴리실리콘 플레이트(10)을 데포지션하는 단계, BPSG(11) 데포지션 및 콘택 정의단계, 워드라인(12) 형성단계로서 종래의 단계와 같다.

이와같이 본 발명의 방법을 사용하므로, 즉 필드 산화막을 두껍게 성장한 뒤 습식 에치 백을 실시함으로써 액티브영역이 둥근 원형을 가지고 필드산화막 보다 높게 위로 솟아 있게 되고 트렌치와 같은 격리를 할 수 있어 BF_2 1/1등의 채널 스톱 1/1가 필요없으며, 기존의 필드 산화막보다 두께가 얇아도 되므로 액티브 면적의 이득을 얻을 수 있고 평면보다 확장된 곡면을 액티브로 사용하므로 상대적인 면적 확장을 가할 수 있어서 고집적과 소자의 패키징밀도를 높일 수 있으며, 효과적으로 격리된 MOS를 제조할 수 있다.

(57) 청구의 범위

청구항 1

반도체기판 상에 필드영역과 액티브영역을 정의하는 공정과, 상기 필드영역에 두꺼운 필드산화막을 형성하는 공정과, 상기 필드산화막이 소정의 두께만큼 남도록 식각하여 액티브영역이 필드영역 보다 높게 형성하는 것을 특징으로 하는 반도체 소자의 액티브 영역확대 및 소자격리방법.

청구항 2

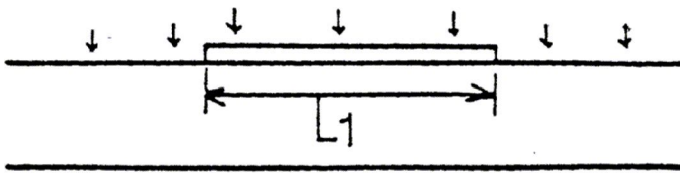
제1항에 있어서, 상기 필드산화막을 HF를 이용하여 습식에치 백하는 것을 특징으로 하는 반도체 소자의 액티브 영역 확대 및 소자격리방법.

청구항 3

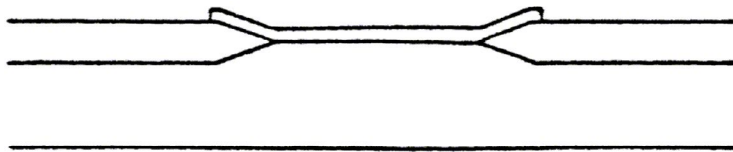
제1항에 있어서, 상기 액티브영역을 둥근원형을 이루며 위로 솟아난 형태로 형성하는 것을 특징으로 하는 반도체 소자의 액티브 영역 확대 및 소자격리방법.

도면

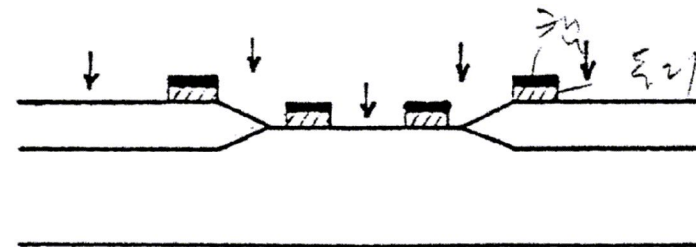
도면 1a



도면 1b



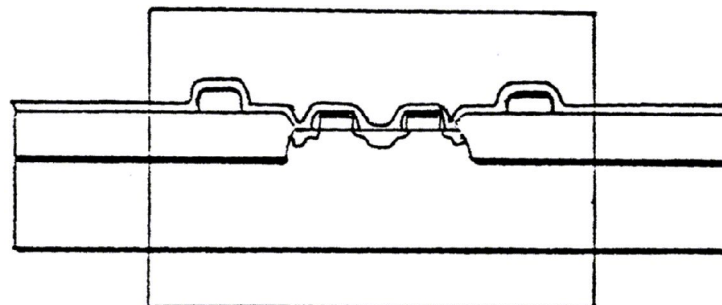
도면 1c



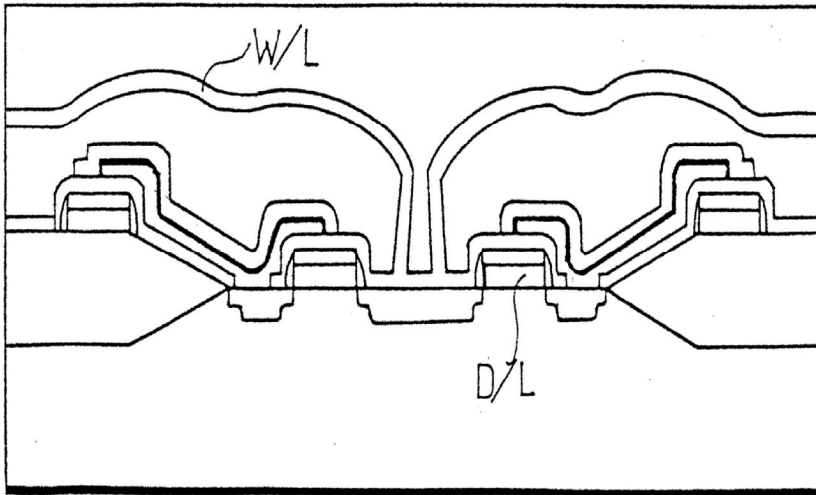
도면 1d



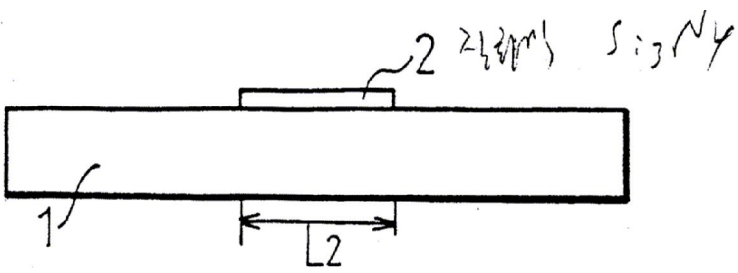
도면 1e



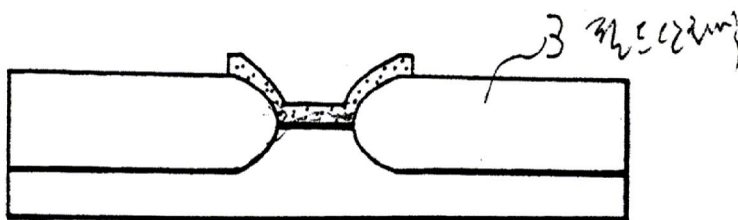
도면1f



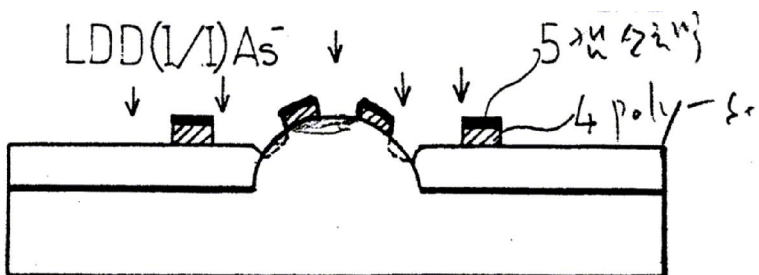
도면2a



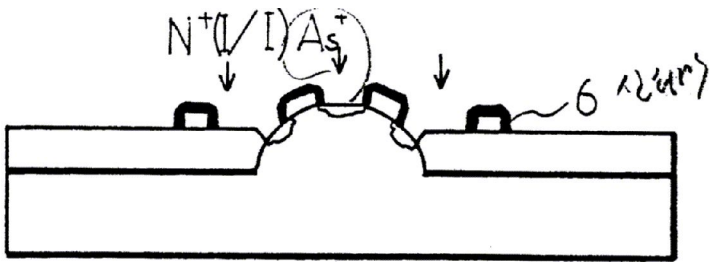
도면2b



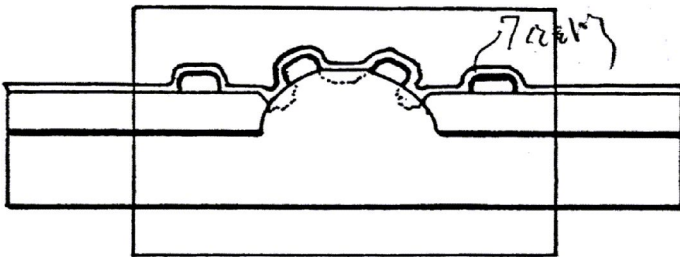
도면2c



도면2d



도면2e



도면2f

