

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-93482
(P2013-93482A)

(43) 公開日 平成25年5月16日(2013.5.16)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 S	4 M 1 0 4
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 X	5 F 1 1 0
HO 1 L 29/41 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F 1 4 0
HO 1 L 29/423 (2006.01)	HO 1 L 29/78 3 O 1 H	
HO 1 L 29/49 (2006.01)	HO 1 L 29/44 Y	

審査請求 未請求 請求項の数 20 O L (全 36 頁) 最終頁に続く

(21) 出願番号 特願2011-235617 (P2011-235617)
(22) 出願日 平成23年10月27日 (2011.10.27)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100110928
弁理士 速水 進治
(74) 代理人 100127236
弁理士 天城 聡
(72) 発明者 竹田 裕
神奈川県川崎市中原区下沼部1753番地
ルネサスエレクトロニクス株式会社内
Fターム(参考) 4M104 AA04 BB02 BB30 CC05 DD15
DD16 DD17 DD18 DD19 DD75
EE02 EE14 EE16 EE17 FF10
FF31 GG09

最終頁に続く

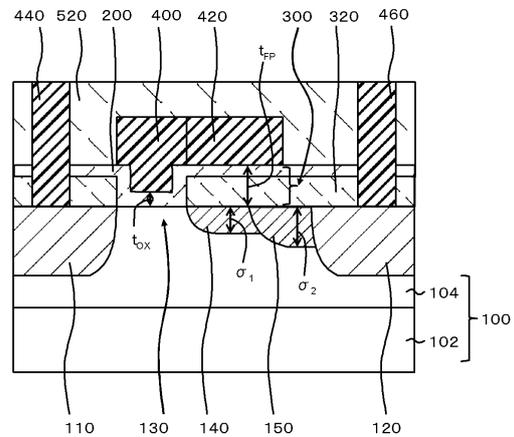
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】電界が局所的に集中することを抑制して、高耐圧化した半導体装置を提供する。

【解決手段】第1導電型の第1ドリフト領域140は、平面視でソース領域110から離間して設けられている。第1導電型の第2ドリフト領域150は、平面視で第1ドリフト領域140のうちソース領域110と反対側の領域に接している。第1導電型のドレイン領域120は、平面視で第1ドリフト領域140から離間しているとともに、平面視で第2ドリフト領域150のうち第1ドリフト領域140と反対側の領域に接している。チャンネル領域130上には、ゲート絶縁層200およびゲート電極400が設けられている。第1フィールドプレート絶縁層300は、半導体基板100上に設けられ、少なくとも平面視で第1ドリフト領域140と第2ドリフト領域150の一部と重なるように設けられている。第1フィールドプレート電極420は、第1フィールドプレート絶縁層300上に接している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、
 前記半導体基板に設けられた第 1 導電型のソース領域と、
 前記半導体基板に設けられ、平面視で前記ソース領域から離間して設けられた第 1 導電型の第 1 ドリフト領域と、
 前記半導体基板のうち、平面視で前記ソース領域および前記第 1 ドリフト領域に挟まれた領域であるチャンネル領域と、
 前記半導体基板に設けられ、平面視で前記第 1 ドリフト領域のうち前記ソース領域と反対側の領域に接している第 1 導電型の第 2 ドリフト領域と、
 前記半導体基板に設けられ、平面視で前記第 1 ドリフト領域から離間するとともに、平面視で前記第 2 ドリフト領域のうち前記第 1 ドリフト領域と反対側の領域に接しており、前記第 1 ドリフト領域および前記第 2 ドリフト領域よりも不純物濃度が高い第 1 導電型のドレイン領域と、
 前記チャンネル領域上に設けられたゲート絶縁層と、
 前記ゲート絶縁層上に接し、平面視で前記チャンネル領域と重なるように設けられたゲート電極と、
 前記半導体基板上に設けられ、少なくとも平面視で前記第 1 ドリフト領域と前記第 2 ドリフト領域の一部と重なるように設けられ、前記ゲート絶縁層よりも厚い第 1 フィールドプレート絶縁層と、
 前記第 1 フィールド絶縁層上に接し、平面視で前記第 1 ドリフト領域と前記第 2 ドリフト領域の一部と重なるように設けられた第 1 フィールドプレート電極と、
 を備え、
 前記第 1 ドリフト領域の深さを t_1 、前記第 1 ドリフト領域の不純物濃度を N_1 、前記第 2 ドリフト領域の深さを t_2 、前記第 2 ドリフト領域の不純物濃度を N_2 としたとき、下記式 (1) を満たす半導体装置。

【数 1】

$$\sigma_1 N_1 < \sigma_2 N_2 \sqrt{\frac{2t_{OX}^*}{t_{FP}^*}} \quad \dots(1)$$

(ただし、 t_{OX}^* は前記ゲート絶縁層の電気的膜厚、 t_{FP}^* は前記第 1 ドリフト領域と前記第 2 ドリフト領域との境界における前記第 1 フィールドプレート絶縁層の電気的膜厚である。なお、電気的膜厚は、誘電率と物理的膜厚との積である。)

【請求項 2】

請求項 1 に記載の半導体装置において、
 前記半導体基板は、主面側に III 族窒化物半導体層を備え、
 前記ソース領域、前記チャンネル領域、前記第 1 ドリフト領域、前記第 2 ドリフト領域および前記ドレイン領域は、当該 III 族窒化物半導体層に形成されている半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置において、
 前記チャンネル領域の不純物濃度は、 $1 \times 10^{-16} \text{ atoms/cm}^3$ 以下である半導体装置。

【請求項 4】

請求項 2 または 3 に記載の半導体装置において、
 前記 III 族窒化物半導体層は、真性半導体である半導体装置。

【請求項 5】

請求項 2 ~ 4 のいずれか一項に記載の半導体装置において、
前記ソース領域、前記第 1 ドリフト領域、前記第 2 ドリフト領域および前記ドレイン領域は、n 型であり、

当該 n 型の不純物は、Si である半導体装置。

【請求項 6】

請求項 5 に記載の半導体装置において、

前記 III 族窒化物半導体層のうち、前記ソース領域および前記ドレイン領域の間に位置する部分には、p 型の不純物領域が形成されていない半導体装置。

【請求項 7】

請求項 2 ~ 6 のいずれか一項に記載の半導体装置において、

前記半導体基板のうち、前記 III 族窒化物半導体層は、下地基板上に設けられ、
当該下地基板は、Si 基板、サファイア基板、SiC 基板または GaN 基板である半導体装置。

10

【請求項 8】

請求項 1 に記載の半導体装置において、

前記半導体基板は、Si 基板である半導体装置。

【請求項 9】

請求項 1 ~ 8 のいずれか一項に記載の半導体装置において、

$N_1 < N_2$ である半導体装置。

【請求項 10】

請求項 1 ~ 8 のいずれか一項に記載の半導体装置において、

$N_1 > N_2$ である半導体装置。

20

【請求項 11】

請求項 1 ~ 10 のいずれか一項に記載の半導体装置において、

前記第 1 フィールドプレート電極は、前記ゲート電極に接続し、前記ゲート電極と一体として形成されている半導体装置。

【請求項 12】

請求項 1 ~ 10 のいずれか一項に記載の半導体装置において、

少なくとも前記ゲート電極を覆うように設けられた第 1 層間絶縁層と、

前記ソース領域に接続するソース電極をさらに備え、

前記第 1 フィールドプレート絶縁層は、前記第 1 層間絶縁層の一部を含み、

前記第 1 フィールドプレート電極は前記ソース電極に接続している半導体装置。

30

【請求項 13】

請求項 12 に記載の半導体装置において、

前記ゲート電極に接続するとともに、平面視で前記第 1 ドリフト領域の一部と重なるように設けられた第 2 フィールドプレート電極をさらに備え、

前記第 1 層間絶縁層は、少なくとも前記ゲート電極および前記第 2 フィールドプレート電極を覆うように設けられている半導体装置。

【請求項 14】

請求項 1 ~ 10 のいずれか一項に記載の半導体装置において、

前記ゲート電極に接続するとともに、平面視で前記第 1 ドリフト領域の一部と重なるように設けられた第 2 フィールドプレート電極と、

前記半導体基板上に設けられ、前記ゲート電極および前記第 2 フィールドプレート電極の上面と同一面を形成するように設けられた第 1 層間絶縁層と、
をさらに備え、

40

前記第 1 フィールドプレート絶縁層は、前記第 1 層間絶縁層の一部を含み、

前記第 1 フィールドプレート電極は、前記第 1 フィールドプレート絶縁層のうち、前記第 1 層間絶縁層上および前記第 2 フィールドプレート電極上に接している半導体装置。

【請求項 15】

請求項 1 ~ 14 に記載の半導体装置において、

50

前記半導体基板上に接し、平面視で前記チャンネル領域と重なる領域に開口部を有する下地絶縁層をさらに備え、

前記ゲート絶縁層は、前記開口部に露出した前記半導体基板上、および前記下地絶縁層上に接して設けられ、

前記第1フィールドプレート絶縁層は、前記下地絶縁層の一部および前記ゲート絶縁層の一部を含む半導体装置。

【請求項16】

半導体基板に第1導電型の不純物を導入することにより、第1ドリフト領域を形成する第1ドリフト領域工程と

前記半導体基板に第1導電型の不純物を注入することにより、平面視で前記第1ドリフト領域に接するように、第2ドリフト領域を形成する第2ドリフト領域形成工程と、

前記半導体基板に第1導電型の不純物を注入することにより、平面視で前記第1ドリフト領域のうち前記第2ドリフト領域と反対側の領域から離間した位置に、ソース領域を形成する工程と、

前記半導体基板に前記第1ドリフト領域および前記第2ドリフト領域よりも高い不純物濃度で第1導電型の不純物を注入することにより、平面視で前記第1ドリフト領域から離間するとともに、平面視で前記第2ドリフト領域のうち前記第1ドリフト領域と反対側の領域に接するように、ドレイン領域を形成する工程と、

前記半導体基板上に、平面視で前記ソース領域および前記第1ドリフト領域に挟まれたチャンネル領域に重なるようにゲート絶縁層を形成するゲート絶縁層形成工程と、

少なくとも平面視で前記第1ドリフト領域と前記第2ドリフト領域の一部と重なるように、前記ゲート絶縁層よりも厚く第1フィールドプレート絶縁層を形成する第1フィールドプレート絶縁層形成工程と、

前記ゲート絶縁層上に接するとともに、平面視で前記チャンネル領域と重なるようにゲート電極を形成する工程と、

前記第1フィールドプレート絶縁層上に接し、平面視で前記第1ドリフト領域と前記第2ドリフト領域の一部と重なるように、第1フィールドプレート電極を形成する工程と、を備え、

前記第1ドリフト領域形成工程、前記第2ドリフト領域形成工程、前記ゲート絶縁層形成工程および前記第1フィールドプレート絶縁層形成工程において、前記第1ドリフト領域の深さを t_1 、前記第1ドリフト領域の不純物濃度を N_1 、前記第2ドリフト領域の深さを t_2 、前記第2ドリフト領域の不純物濃度を N_2 としたとき、下記式(1)を満たすように、前記第1ドリフト領域、前記第2ドリフト領域、前記ゲート絶縁層および前記第1フィールドプレート絶縁層を形成する半導体装置の製造方法。

【数2】

$$\sigma_1 N_1 < \sigma_2 N_2 \sqrt{\frac{2t_{OX}^*}{t_{FP}^*}} \quad \dots(1)$$

(ただし、 t_{OX}^* は前記ゲート絶縁層の電気的膜厚、 t_{FP}^* は前記第1ドリフト領域と前記第2ドリフト領域との境界における前記第1フィールドプレート絶縁層の電気的膜厚である。なお、電気的膜厚は、誘電率と物理的膜厚との積である。)

【請求項17】

請求項16に記載の半導体装置の製造方法において、

前記半導体基板は、主面にIII族窒化物半導体層を備える半導体装置の製造方法。

【請求項18】

請求項16または17に記載の半導体装置の製造方法において、

10

20

30

40

50

前記ゲート絶縁層形成工程は、
 前記半導体基板上に、下地絶縁層を形成する工程と、
 前記下地絶縁層のうち、少なくとも平面視で前記チャンネル領域に重なる位置にチャンネル開口部を形成する工程と、
 前記チャンネル開口部に露出した前記半導体基板上、および前記下地絶縁層上に、ゲート絶縁層を形成する工程と、
 を備え、

前記第1フィールドプレート絶縁層形成工程は前記ゲート絶縁層形成工程を含み、
 前記第1フィールドプレート絶縁層は、前記下地絶縁層および前記ゲート絶縁層を含む半導体装置の製造方法。

10

【請求項19】

請求項16～18のいずれか一項に記載の半導体装置の製造方法において、
 前記ゲート電極に接続するとともに、平面視で前記第1ドリフト領域の一部と重なるように、第2フィールドプレート電極を形成する工程と、
 少なくとも前記ゲート電極および前記第2フィールドプレート電極を覆うように第1層間絶縁層を形成する第1層間絶縁層形成工程と、
 前記第1層間絶縁層のうち平面視で前記ソース領域と重なる部分にソース開口部を形成する工程と、
 前記ソース開口部に金属を埋め込むことにより、ソース電極を形成する工程と、
 をさらに備え、

20

前記第1フィールドプレート絶縁層形成工程は、前記第1層間絶縁層形成工程を含み、
 前記第1フィールドプレート絶縁層は前記第1層間絶縁層の一部を含み、
 前記第1フィールドプレート電極形成工程において、
 前記第1フィールドプレート絶縁層のうち前記第1層間絶縁層上に、前記ソース電極に接続するように前記第1フィールドプレート電極を形成する半導体装置の製造方法。

【請求項20】

請求項16～18のいずれか一項に記載の半導体装置の製造方法において、
 前記ゲート電極に接続するとともに、平面視で前記第1ドリフト領域の一部と重なるように、第2フィールドプレート電極を形成する工程と、
 少なくとも前記ゲート電極および前記第2フィールドプレート電極を覆うように第1層間絶縁層を形成する第1層間絶縁層形成工程と、
 前記ゲート電極および前記第2フィールドプレート電極の上面と同一面を形成するように、前記第1層間絶縁層を平坦化する平坦化工程と、
 をさらに備え、

30

前記第1フィールドプレート絶縁層形成工程は、前記第1層間絶縁層形成工程および前記平坦化工程を含み、
 前記第1フィールドプレート絶縁層は前記第1層間絶縁層の一部を含み、
 前記第1フィールドプレート電極形成工程において、
 前記第1フィールドプレート絶縁層のうち、前記第1層間絶縁層上および前記第2フィールドプレート電極上に接するように、前記第1フィールドプレート電極を形成する半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、半導体装置を高耐圧化させるため、様々な構造の半導体装置が提案されている。

【0003】

特許文献1（特開2009-158821号公報）には、以下のような半導体装置が記

50

載されている。P型半導体基板には、N型の第1ドリフト領域が形成されている。第2ドリフト領域は、第1ドリフト領域と連続するように形成され、第1ドリフト領域よりも底面の深さが深く形成されている。第2ドリフト領域のN型の不純物濃度は第1ドリフト領域よりも高い。また、N型のドレイン領域は、第2ドリフト領域に接触して形成されている。N型のソース領域は、第1ドリフト領域と離間して形成されている。これにより、半導体基板面と平行な方向の電界が両ドリフト領域によって二段階に緩和される。また、基板面に垂直な方向の電界を緩和する効果を高めることができるとされている。

【0004】

また、特許文献2（特開昭61-180483号公報）には、以下のような高耐圧MOS型半導体装置が記載されている。ゲートは、第1導電型の半導体基板の一主面上に、ゲート絶縁膜を介して形成されている。ソース領域は、第2導電型の高濃度領域であり、ゲートの一方の端部直下を含み、半導体基板の一主面に形成されている。第1ドリフト領域は、第2導電型で低濃度であり、ゲートの他方の端部直下を含み、半導体基板の一主面に形成されている。第2ドリフト領域は、第2導電型で中濃度領域であり、第1ドリフト領域に継続して、半導体基板の一主面に形成されている。フィールド（プレート）電極は、第1および第2ドリフト領域上にゲート絶縁膜よりも厚い層間絶縁膜を介して形成され、ソース領域に接続されている。これにより、半導体装置を高耐圧化することができ、またはオン抵抗が低下することによる高電流化することができるとされている。

10

【0005】

また、特許文献3（特開2006-202847号公報）には、以下のような半導体装置が記載されている。基板表面には、N+型ソース領域、チャンネル領域およびN+型ドレイン領域が順に形成されている。ソース領域から基板の下方にかけて、縦型バイポーラトランジスタが形成されている。P型基板上には、縦型バイポーラトランジスタに接続するN+型の埋め込み層が形成されている。また、ドレイン領域とチャンネル領域との間には、N-型のドリフト領域が形成されている。これにより、ドレイン端での電流集中を防止して静電放電に対する耐性に優れた半導体装置を得ることができるとされている。

20

【0006】

また、特許文献4（特開2007-027641号公報）には、以下のような半導体装置が記載されている。p型半導体基板上には、p型ボディ領域が形成されている。ボディ領域の表面領域には、n+型ソース領域が形成されている。半導体基板上には、n+型ドレイン領域が形成されている。ソース領域とドレイン領域の間には、n-型ドリフト領域が形成されている。ボディ領域上には、ゲート絶縁膜が形成されている。ドリフト領域上には、保護絶縁膜が形成されている。ゲート絶縁膜上および保護絶縁膜上の一部には、ゲート電極が形成されている。さらに、ゲート電極上、ソース領域上およびドレイン領域上には、シリサイド膜が形成されている。これにより、ゲート抵抗を十分に低抵抗化することができるとともに、高耐圧が得られるとされている。

30

【0007】

また、特許文献5（特開2009-164651号公報）には、以下のような半導体装置が記載されている。エピタキシャル・シリコン層上には、LOCOS膜を介して、ゲート電極が形成されている。LOCOS膜の左側には、P型の第1のドリフト層が形成されている。平面視でゲート電極を挟んでLOCOS膜の右側には、P+型のソース層が形成されている。第1のドリフト層よりも深い領域に、P型の第2のドリフト層が形成されている。第1および第2のドリフト層と接して、複数層からなるP型のドレイン層が形成されている。これにより、高いゲート耐圧およびソース・ドレイン耐圧を有するとともに、低いオン抵抗を有したトランジスタを得ることができるとされている。

40

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2009-158821号公報

【特許文献2】特開昭61-180483号公報

50

【特許文献3】特開2006-202847号公報

【特許文献4】特開2007-027641号公報

【特許文献5】特開2009-164651号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

上記のように、ソース領域およびドレイン領域の間に設けられたドリフト領域や、ドリフト領域上に絶縁層を介して設けられたフィールドプレート電極を備える横型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) が開示されている。しかし、発明者は、半導体装置の構成によっては、ドリフト領域中の電界強度が偏ってしまう可能性があることを見出した。

10

【課題を解決するための手段】

【0010】

本発明によれば、

半導体基板と、

前記半導体基板に設けられた第1導電型のソース領域と、

前記半導体基板に設けられ、平面視で前記ソース領域から離間して設けられた第1導電型の第1ドリフト領域と、

前記半導体基板のうち、平面視で前記ソース領域および前記第1ドリフト領域に挟まれた領域であるチャンネル領域と、

20

前記半導体基板に設けられ、平面視で前記第1ドリフト領域のうち前記ソース領域と反対側の領域に接している第1導電型の第2ドリフト領域と、

前記半導体基板に設けられ、平面視で前記第1ドリフト領域から離間するとともに、平面視で前記第2ドリフト領域のうち前記第1ドリフト領域と反対側の領域に接しており、前記第1ドリフト領域および前記第2ドリフト領域よりも不純物濃度が高い第1導電型のドレイン領域と、

前記チャンネル領域上に設けられたゲート絶縁層と、

前記ゲート絶縁層上に接し、平面視で前記チャンネル領域と重なるように設けられたゲート電極と、

前記半導体基板上に設けられ、少なくとも平面視で前記第1ドリフト領域と前記第2ドリフト領域の一部と重なるように設けられ、前記ゲート絶縁層よりも厚い第1フィールドプレート絶縁層と、

30

前記第1フィールド絶縁層上に接し、平面視で前記第1ドリフト領域と前記第2ドリフト領域の一部と重なるように設けられた第1フィールドプレート電極と、

を備え、
前記第1ドリフト領域の深さを t_1 、前記第1ドリフト領域の不純物濃度を N_1 、前記第2ドリフト領域の深さを t_2 、前記第2ドリフト領域の不純物濃度を N_2 としたとき、下記式(1)を満たす半導体装置が提供される。

【0011】

【数1】

40

$$\sigma_1 N_1 < \sigma_2 N_2 \sqrt{\frac{2t_{OX}^*}{t_{FP}^*}} \quad \dots(1)$$

【0012】

(ただし、 t_{OX}^* は前記ゲート絶縁層の電気的膜厚、 t_{FP}^* は前記第1ドリフト領域と前記第2ドリフト領域との境界における前記第1フィールドプレート絶縁層の電気的膜

50

厚である。なお、電氣的膜厚は、誘電率と物理的膜厚との積である。)

【0013】

本発明によれば、

半導体基板に第1導電型の不純物を導入することにより、第1ドリフト領域を形成する第1ドリフト領域工程と

前記半導体基板に第1導電型の不純物を注入することにより、平面視で前記第1ドリフト領域に接するように、第2ドリフト領域を形成する第2ドリフト領域形成工程と、

前記半導体基板に第1導電型の不純物を注入することにより、平面視で前記第1ドリフト領域のうち前記第2ドリフト領域と反対側の領域から離間した位置に、ソース領域を形成する工程と、

前記半導体基板に前記第1ドリフト領域および前記第2ドリフト領域よりも高い不純物濃度で第1導電型の不純物を注入することにより、平面視で前記第1ドリフト領域から離間するとともに、平面視で前記第2ドリフト領域のうち前記第1ドリフト領域と反対側の領域に接するように、ドレイン領域を形成する工程と、

前記半導体基板上に、平面視で前記ソース領域および前記第1ドリフト領域に挟まれたチャンネル領域に重なるようにゲート絶縁層を形成するゲート絶縁層形成工程と、

少なくとも平面視で前記第1ドリフト領域と前記第2ドリフト領域の一部と重なるように、前記ゲート絶縁層よりも厚く第1フィールドプレート絶縁層を形成する第1フィールドプレート絶縁層形成工程と、

前記ゲート絶縁層上に接するとともに、平面視で前記チャンネル領域と重なるようにゲート電極を形成する工程と、

前記第1フィールドプレート絶縁層上に接し、平面視で前記第1ドリフト領域と前記第2ドリフト領域の一部と重なるように、第1フィールドプレート電極を形成する工程と、を備え、

前記第1ドリフト領域形成工程、前記第2ドリフト領域形成工程、前記ゲート絶縁層形成工程および前記第1フィールドプレート絶縁層形成工程において、前記第1ドリフト領域の深さを d_1 、前記第1ドリフト領域の不純物濃度を N_1 、前記第2ドリフト領域の深さを d_2 、前記第2ドリフト領域の不純物濃度を N_2 としたとき、上記式(1)を満たすように、前記第1ドリフト領域、前記第2ドリフト領域、前記ゲート絶縁層および前記第1フィールドプレート絶縁層を形成する半導体装置の製造方法が提供される。

【0014】

本発明によれば、ソース領域およびドレイン領域の間には、第1ドリフト領域および第2ドリフト領域が設けられている。第1フィールドプレート電極は、第1フィールドプレート絶縁層上に接し、平面視で第1ドリフト領域と第2ドリフト領域の一部と重なるように設けられている。このとき、これらを構成する物性値は、上記式(1)を満たしている。これにより、半導体装置内の電界強度を偏りなく分布させることができる。また、ゲート電極および第1ドリフト領域の間、または第1ドリフト領域および第2ドリフト領域の間等における電界強度が大きくなることを抑制することができる。したがって、電界が局所的に集中することを抑制して、高耐圧化した半導体装置を提供することができる。

【発明の効果】

【0015】

本発明によれば、電界が局所的に集中することを抑制して、高耐圧化した半導体装置を提供することができる。

【図面の簡単な説明】

【0016】

【図1】第1の実施形態に係る半導体装置の構成を示す断面図である。

【図2】第1の実施形態に係る半導体装置の構成を示す回路図である。

【図3】第1の実施形態に係る第1ドリフト領域の深さに対する電界強度の関係を示した図である。

【図4】第1の実施形態に係る半導体装置の構成を説明するための図である。

【図 5】第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 6】第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 7】第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 8】第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 9】第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 10】比較例の半導体装置の構成を示す断面図である。

【図 11】第 1 の実施形態の効果の説明するための図である。

【図 12】第 2 の実施形態に係る半導体装置の構成を示す断面図である。

【図 13】第 3 の実施形態に係る半導体装置の構成を示す断面図である。

【図 14】第 3 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

10

【図 15】第 3 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 16】第 4 の実施形態に係る半導体装置の構成を示す断面図である。

【図 17】第 4 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 18】第 4 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 19】第 4 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 20】第 5 の実施形態に係る半導体装置の構成を示す断面図である。

【図 21】第 6 の実施形態に係る半導体装置の構成を示す断面図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

20

【0018】

(第 1 の実施形態)

図 1 ~ 図 4 を用い、第 1 の実施形態に係る半導体装置 10 について説明する。この半導体装置 10 は、以下の構成を備えている。第 1 導電型のソース領域 110 は、半導体基板 100 に設けられている。第 1 導電型の第 1 ドリフト領域 140 は、半導体基板 100 に設けられ、平面視でソース領域 110 から離間して設けられている。半導体基板 100 のうち、平面視でソース領域 110 および第 1 ドリフト領域 140 に挟まれた領域には、チャンネル領域 130 が形成されている。第 1 導電型の第 2 ドリフト領域 150 は、半導体基板 100 に設けられ、平面視で第 1 ドリフト領域 140 のうちソース領域 110 と反対側の領域に接している。第 1 導電型のドレイン領域 120 は、半導体基板 100 に設けられ、平面視で第 1 ドリフト領域 140 から離間しているとともに、平面視で第 2 ドリフト領域 150 のうち第 1 ドリフト領域 140 と反対側の領域に接している。また、第 1 導電型のドレイン領域 120 は、第 1 ドリフト領域 140 および第 2 ドリフト領域 150 よりも不純物濃度が高い。チャンネル領域 130 上には、ゲート絶縁層 200 が設けられている。ゲート電極 400 は、ゲート絶縁層 200 上に接し、平面視でチャンネル領域 130 重なるように設けられている。第 1 フィールドプレート絶縁層 300 は、半導体基板 100 上に設けられ、少なくとも平面視で第 1 ドリフト領域 140 と第 2 ドリフト領域 150 の一部と重なるように設けられている。また、第 1 フィールドプレート絶縁層 300 は、ゲート絶縁層 200 よりも厚い。第 1 フィールドプレート電極 420 は、第 1 フィールドプレート絶縁層 300 上に接し、平面視で第 1 ドリフト領域 140 と第 2 ドリフト領域 150 の一部と重なるように設けられている。さらに、第 1 ドリフト領域 140 の深さを d_1 、第 1 ドリフト領域 140 の不純物濃度を N_1 、第 2 ドリフト領域 150 の深さを d_2 、第 2 ドリフト領域 150 の不純物濃度を N_2 としたとき、下記式 (1) を満たす。

30

40

【0019】

【数 1】

$$\sigma_1 N_1 < \sigma_2 N_2 \sqrt{\frac{2t_{OX}^*}{t_{FP}^*}} \dots(1)$$

【0020】

ただし、 t_{OX}^* はゲート絶縁層 200 の電氣的膜厚、 t_{FP}^* は第 1 ドリフト領域 140 と第 2 ドリフト領域 150 との境界における第 1 フィールドプレート絶縁層 300 の電氣的膜厚である。なお、電氣的膜厚は、誘電率と膜厚との積である。以下、詳細を説明する。

10

【0021】

まず、図 1 を用い、半導体装置 10 の全体構造について、説明する。図 1 は、第 1 の実施形態に係る半導体装置 10 の構成を示す断面図である。

【0022】

図 1 のように、半導体装置 10 は、横型 MOSFET である。この半導体装置 10 は、たとえば、10V 以上 1000V 未満の電圧が印加される電源用 IC として用いられる。具体的には、半導体装置 10 は、たとえば、コンピュータ、車載用電子機器、民生用電子機器または通信機器などの電源 IC に用いられる。また、第 1 ドリフト領域 140 および第 2 ドリフト領域 150 の横方向の長さ、不純物濃度の構成によっては、1000V 以上の高電圧が印加される、電力、輸送機器向け等の電力変換機にも用いることができる。

20

【0023】

第 1 の実施形態では、たとえば、半導体基板 100 の少なくとも主面側は、III 族窒化物半導体からなる III 族窒化物半導体層 104 である。半導体基板 100 は、たとえば、下地基板 102 と、III 族窒化物半導体からなる III 族窒化物半導体層 104 を備えている。III 族窒化物半導体層 104 は、下地基板 102 の主面上に設けられている。下地基板 102 は、たとえば、Si 基板、サファイア基板、SiC 基板または GaN 基板（バルク GaN 基板）である。好ましくは、下地基板 102 は、たとえば、Si 基板である。これにより、Si 系の半導体製造装置を流用することができる。

30

【0024】

下地基板 102 と III 族窒化物半導体層 104 との間には、バッファ層（不図示）が設けられていてもよい。バッファ層は、下地基板 102 と III 族窒化物半導体層 104 との格子定数の差に基づいて、適切な材料が用いられる。具体的には、バッファ層は、たとえば、AlGaN 層、またはその積層構造である。

【0025】

III 族窒化物半導体層 104 には、ソース領域 110、チャネル領域 130、第 1 ドリフト領域 140、第 2 ドリフト領域 150 およびドレイン領域 120 が形成されている。これにより、横型 MOSFET が形成されている。ここで、III 族窒化物半導体は、Si 系の半導体装置と比較して、高い耐圧性と、飽和ドリフト速度を有している。これにより、高耐圧で低損失なスイッチング素子を形成することができる。具体的には、III 族窒化物半導体層 104 は、たとえば、GaN 層である。また、III 族窒化物半導体層 104 の面方位のうち、半導体基板 100 の法線方向の面方位は、たとえば (0001) (c-面) である。

40

【0026】

ここで、III 族窒化物半導体層 104 に FET が形成されている場合、当該 FET は、n チャネル型である。ただし、p チャネル型であってもよい。

【0027】

III 族窒化物半導体層 104 は、たとえば、真性半導体である。言い換えれば、III 族窒

50

化物半導体層 104 のうち、ソース領域 110 およびドレイン領域 130 の間に位置する部分には、p 型の不純物領域が形成されていない。また、少なくともチャンネル領域 130 の不純物濃度は、たとえば、 $1 \times 10^{-16} \text{ atoms/cm}^3$ 以下である。このような場合に、後述する半導体装置 10 の構成を備えていることにより、顕著に高耐圧化させることができる。

【0028】

また、ソース領域 110、第 1 ドリフト領域 140、第 2 ドリフト領域 150 およびドレイン領域 120 は、たとえば、n 型である。すなわち、上記した「第 1 導電型」とは、たとえば n 型である。当該 n 型の不純物は、たとえば、Si である。これにより、III 族窒化物半導体層 104 において、容易に n チャンネル型 FET を形成することができる。

10

【0029】

なお、以下において、「半導体基板 100 に」とした場合には、特に断りのない限り、「半導体基板 100 のうちの III 族窒化物半導体層 104 に」であることを含んでいる。また、「第 1 導電型」は、n 型であるとする。

【0030】

n 型のソース領域 110 は、半導体基板 100 に設けられている。ここで、ソース領域 110 等の不純物が導入された領域は、たとえば、n 型不純物をイオン注入することにより形成されている。また、ここでいう「ソース領域 110」等の「不純物が導入された範囲」は、半導体基板 100 のうち不純物濃度が $1 \times 10^{16} \text{ atoms/cm}^3$ 以上である領域をいう。言い換えれば、「不純物が導入された範囲」は、半導体基板 100 の不純物濃度に対して、10 倍以上高い濃度である領域をいう。なお、当該領域の不純物濃度が半導体基板 100 の不純物濃度に対して差が無い場合は、「不純物が導入された範囲」は最も不純物濃度が高い場所を頂点としたガウス分布であると仮定したときに頂点からまで（ここでの は標準偏差の意）の領域であってもよい。なお、上記した「不純物が導入された範囲」の定義は、「ソース領域 110」、「第 1 ドリフト領域 140」、「第 2 ドリフト領域 150」および「ドレイン領域 120」について適用される。また、当該定義は、不純物が導入された領域のうち、平面視での幅、半導体基板 100 の主面と垂直の方向における深さに対して適用される。

20

【0031】

n 型の第 1 ドリフト領域 140 は、半導体基板 100 に設けられており、平面視でソース領域 110 から離間して設けられている。半導体基板 100 のうち平面視でソース領域 110 および第 1 ドリフト領域 140 に挟まれた領域には、チャンネル領域 130 が形成されている。チャンネル領域 130 の長さは、所望のオン抵抗、オフ抵抗またはドレイン・ソース間電流の大きさなどによって決定される。チャンネル領域 130 の典型的な長さは、たとえば 100 nm 以上 10 μm 未満である。

30

【0032】

n 型の第 2 ドリフト領域 150 は、半導体基板 100 に設けられ、平面視で第 1 ドリフト領域 140 のうちソース領域 110 と反対側の領域に接している。第 2 ドリフト領域 150 は、たとえば、第 1 ドリフト領域 140 よりも深く形成されている。なお、第 1 ドリフト領域 140 および第 2 ドリフト領域 150 における不純物濃度は、ソース領域 110 よりも低い。

40

【0033】

なお、第 1 ドリフト領域 140 および第 2 ドリフト領域 150 のうち、ソース領域 110 からドレイン領域 120 に向かう方向の長さについても、所望のオン抵抗、オフ抵抗またはドレイン・ソース間電流の大きさなどによって決定される。第 1 ドリフト領域 140 および第 2 ドリフト領域 150 のうち、ソース領域 110 からドレイン領域 120 に向かう方向の長さは、たとえば、100 nm 以上 10 μm 未満である。

【0034】

n 型のドレイン領域 120 は、半導体基板 100 に設けられ、平面視で第 1 ドリフト領域 140 から離間しているとともに、平面視で第 2 ドリフト領域 150 のうち第 1 ドリフ

50

ト領域 140 と反対側の領域に接している。ここでいう「ドレイン領域 120 が平面視で第 1 ドリフト領域 140 から離間している」とは、ドレイン領域 120 が第 1 ドリフト領域 140 と接していないことを意味する。これにより、ゲート電極 400 と第 1 ドリフト領域 140 との間での電界集中を緩和することができる。

【0035】

また、ドレイン領域 120 は、第 1 ドリフト領域 140 および第 2 ドリフト領域 150 よりも不純物濃度が高い。ドレイン領域 120 と同様にして、ソース領域 110 も第 1 ドリフト領域 140 および第 2 ドリフト領域 150 よりも不純物濃度が高いことが好ましい。ソース領域 110 およびドレイン領域 120 の不純物濃度は、第 1 ドリフト領域 140 および第 2 ドリフト領域 150 よりも 10 倍以上高いことが好ましい。具体的には、ソース領域 110 およびドレイン領域 120 の不純物濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 以上であるとき、第 1 ドリフト領域 140 および第 2 ドリフト領域 150 の不純物濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 未満であることが好ましい。これにより、ソース・ドレイン間電圧によって電界が集中することを抑制することができる。

10

【0036】

なお、図 1 では、ドレイン領域 120 の深さが第 2 ドリフト領域 150 等よりも深い場合を示しているが、ドレイン領域 120 の深さは第 2 ドリフト領域 150 よりも浅くてもよい。

【0037】

ゲート絶縁層 200 は、チャンネル領域 130 上に接して設けられている。ゲート絶縁層 200 は、たとえば、スパッタにより形成された SiO_2 、 SiN 、 Al_2O_3 である。そのほか、ゲート絶縁層 200 は、 Ta_2O_5 などの高誘電率材料により形成されていてもよい。

20

【0038】

ゲート電極 400 は、ゲート絶縁層 200 上に接し、平面視でチャンネル領域 130 に重なるように設けられている。

【0039】

第 1 フィールドプレート絶縁層 300 は、半導体基板 100 上に設けられ、少なくとも平面視で第 1 ドリフト領域 140 と第 2 ドリフト領域 150 の一部と重なるように設けられている。ここでいう「第 1 フィールドプレート絶縁層 300」とは、後述する第 1 フィールドプレート電極 420 と半導体基板 100 の主面との間に設けられた絶縁層のことである。また、ここでいう「第 1 フィールドプレート絶縁層 300」は、ゲート絶縁層 200 と独立に形成されている必要は無く、ゲート絶縁層 200 の一部を含んでいてもよい。第 1 の実施形態では、第 1 フィールドプレート絶縁層 300 は、下地絶縁層 320 の一部と、ゲート絶縁層 200 一部とを含んでいる。下地絶縁層 320 は、半導体基板 100 上に接して設けられており、平面視でチャンネル領域 130 と重なる領域に開口部を有している。また、上述したゲート絶縁層 200 は、下地絶縁層 320 の開口部に露出したチャンネル領域 130 上、および下地絶縁層 320 上に設けられている。これにより、第 1 フィールドプレート絶縁層 300 をゲート絶縁層 200 よりも厚くすることができる。なお、下地絶縁層 320 は、たとえば、CVD (Chemical Vapor Deposition) により形成された、 SiO_2 、 SiN などである。

30

40

【0040】

第 1 フィールドプレート電極 420 は、第 1 フィールドプレート絶縁層 300 上に接し、平面視で第 1 ドリフト領域 140 と第 2 ドリフト領域 150 の一部と重なるように設けられている。言い換えれば、第 1 フィールドプレート電極 420 の一端は、平面視で第 1 ドリフト領域 140 および第 2 ドリフト領域 150 の境界よりもドレイン領域 120 側に位置している。また、第 1 フィールドプレート電極 420 は第 1 フィールドプレート絶縁層 300 上に設けられていることにより、第 1 フィールドプレート電極 420 の下面は、ゲート電極 400 の下面よりも半導体基板 100 の上面から離間している。

【0041】

50

第1の実施形態では、第1フィールドプレート電極420は、ゲート電極400に接続している。また、第1フィールドプレート電極420は、ゲート電極400と一体として形成されている。第1フィールドプレート電極420は、ゲート電極400と同じ材料により形成されている。なお、この場合では、ゲート電極400と第1フィールドプレート電極420との間に、界面は形成されていない。また、ゲート電極400、第1フィールドプレート電極420の材料は、たとえば、Alおよび/またはTiNなどである。このように、第1フィールドプレート電極420をゲート電極400と一体として形成することにより、製造工程を簡略化することができる。

【0042】

さらに、第1フィールドプレート電極420を覆うように、第1層間絶縁層520が設けられていてもよい。第1層間絶縁層520は、たとえば、SiO₂、SiN、SiON、SiOC、SiOCH、SiCOHまたはSiOFなどである。

【0043】

ソース電極440は、平面視でソース領域110と重なるように設けられ、第1層間絶縁層520、ゲート絶縁層200および下地絶縁層320を貫通してソース領域110に接続している。また、ドレイン電極460は、平面視でドレイン領域120と重なるように設けられ、第1層間絶縁層520、ゲート絶縁層200および下地絶縁層320を貫通してドレイン領域120に接続している。また、ソース電極440、ドレイン電極460の材料は、たとえば、AlまたはTiNなどである。

【0044】

次に、図2を用い、第1の実施形態に係る半導体装置10の回路について説明する。図2は、第1の実施形態に係る半導体装置10の構成を示す回路図である。図2のように、第1の実施形態の半導体装置10は、たとえば、DC-DCコンバータである。この回路は、たとえば、降圧型のコンバータである。この半導体装置10は、たとえば、DC-DCコントローラIC800、2つのnチャネルFET11、インダクタ820およびコンデンサ840を備えている。2つのnチャネルFET11は、V_{IN}とGNDとの間に直列に接続されている。また、このnチャネルFET11は、たとえば、図1で示されたFETである。nチャネルFET11のゲート電圧は、DC-DCコントローラIC800によって制御されている。2つのnチャネルFET11の間からは、インダクタ820を介してV_{OUT}が取り出される。なお、インダクタ820とV_{OUT}との間は、コンデンサ840を介してGNDに接続されている。また、DC-DCコントローラIC800は、たとえば、V_{IN}から入力されたDC信号をパルスに変換する。変換したパルスにより、nチャネルFET11は、インダクタ820にエネルギーを蓄え、次いでそのエネルギーをV_{OUT}に放出するという動作を交互に繰り返す。第1の実施形態によれば、nチャネルFET11は、安定的にスイッチング機能を発揮することができる。

【0045】

次に、図3および図4を用い、第1の実施形態に係る半導体装置10の構成について、さらに詳細に説明する。図3は、第1の実施形態に係る第1ドリフト領域140の深さに対する電界強度の関係を示した図である。図4は、第1の実施形態に係る半導体装置10の構成を説明するための図である。

【0046】

図3は、ゲート電圧を0V、ドレイン・ソース間電圧を100Vとしたときの電界強度の第1ドリフト領域140の深さ d_1 の依存性についてシミュレーションした結果を示している。ゲート絶縁層200の厚さ(t_{ox})は50nm、第1ドリフト領域140と第2ドリフト領域150との境界における第1フィールドプレート絶縁層300の厚さ(t_{FP})は300nm、第2ドリフト領域150の不純物濃度(N_2)は $5 \times 10^{18} \text{ cm}^{-2}$ 、第2ドリフト領域150の深さ(d_2)は15nm、第1ドリフト領域140の不純物濃度(N_1)は $2 \times 10^{18} \text{ cm}^{-2}$ であると仮定した。横軸は、第1ドリフト領域140の深さ d_1 (単位nm)である。また、縦軸は、電界強度(単位MV/cm)である。実線は、ゲート電極400および第1ドリフト領域140間の電界強度を示している

10

20

30

40

50

。また、点線は、第1ドリフト領域140および第2ドリフト領域150間の電界強度を示している。

【0047】

図3のように、ゲート電極400および第1ドリフト領域140間の電界強度は、第1ドリフト領域140の深さ d_1 が大きくなるにつれて、大きくなる傾向にある。一方、第1ドリフト領域140および第2ドリフト領域150間の電界強度は、第1ドリフト領域140の深さ d_1 に対して下に凸の傾向を示す。第1ドリフト領域140の深さ d_1 が30nm以下の領域では、第1ドリフト領域140および第2ドリフト領域150間の電界強度は、第1ドリフト領域140の深さ d_1 が大きくなるにつれて、小さくなる傾向にある。

10

【0048】

ここで、ゲート電極400および第1ドリフト領域140間の電界強度と、第1ドリフト領域140および第2ドリフト領域150間の電界強度とが等しくなるときの第1ドリフト領域140の深さ d_1 を d_{1c} とする。第1ドリフト領域140の深さ d_1 が d_{1c} のとき、半導体装置10内の電界強度が最も均等（一様）に分布する。言い換えれば、このとき、半導体装置10内の電界強度の最大値を、最も小さくすることができる。

【0049】

また、第1ドリフト領域140および第2ドリフト領域150間の電界強度は、第1ドリフト領域140の深さ d_1 に対して、あまり大きく変わらない。反対に、ゲート電極400および第1ドリフト領域140間の電界強度は、第1ドリフト領域140の深さ d_1 に対して大きく依存している。したがって、第1ドリフト領域140の深さ d_1 を d_{1c} より小さくすることにより、半導体装置10内の電界強度を全体的に小さくすることができる。特に、第1ドリフト領域140の深さ d_1 を d_{1c} より小さくすることにより、ゲート電極400および第1ドリフト領域140間の電界強度を小さくすることができる。

20

【0050】

図4(a)は、様々な条件において、 d_{1c} を算出した結果を示している。図4のように、発明者は、第1ドリフト領域140の深さを d_1 、第1ドリフト領域140の不純物濃度を N_1 、第2ドリフト領域150の深さを d_2 、第2ドリフト領域150の不純物濃度を N_2 としたとき、 d_{1c} が $d_2 N_2 / N_1$ に比例することを見出した。この比例定数を C としたとき、 d_{1c} を下記式(2)で表すことができる。

30

【0051】

【数2】

$$\sigma_{1c} = C_{\sigma} \sigma_2 \frac{N_2}{N_1} \quad \dots (2)$$

【0052】

また、図4(b)は、ゲート絶縁層200の厚さを t_{ox} としたときの上記比例定数 C のゲート絶縁層200の厚さ t_{ox} 依存性を示している。図4のように、発明者は、比例定数 C がゲート絶縁層200の厚さ t_{ox} の平方根に比例することを見出した。図中の実線は、比例定数 C がゲート絶縁層200の厚さ t_{ox} の平方根に比例する関数をフィッティングしたものである。発明者は、半導体装置10における具体的なパラメータから、上記した関数を下記式(3)により表せることを見出した。ここで、ゲート絶縁層200の電氣的膜厚を t_{ox}^* 、第1ドリフト領域140と第2ドリフト領域150との境界における第1フィールドプレート絶縁層300の電氣的膜厚を t_{fp}^* としたとき、比例定数 C を以下の式(3)のように表すことができる。

40

【0053】

【数3】

$$C_{\sigma} = \sqrt{\frac{2t_{OX}^*}{t_{FP}^*}} \quad \dots(3)$$

【0054】

上記式(3)のうち、 t_{OX}^* および t_{FP}^* は、上述のように、それぞれゲート絶縁層200および第1フィールドプレート絶縁層300の電気的膜厚を示している。ここでいう「電気的膜厚」とは、絶縁膜の物理的膜厚と誘電率との積のことをいう。なお、「物理的膜厚」とは、対象となる層のうち断面視で下面から上面までの厚さのことをいう。

【0055】

したがって、ゲート絶縁層200の誘電率を ϵ_{OX} 、ゲート絶縁層200の物理的膜厚を t_{OX} としたとき、ゲート絶縁層200の電気的膜厚 t_{OX}^* を以下の式(4)のように表すことができる。

【0056】

【数4】

$$t_{OX}^* = \epsilon_{OX} t_{OX} \quad \dots(4)$$

【0057】

また、第1フィールドプレート絶縁層300の誘電率を ϵ_{FP}^* 、ゲート絶縁層200の物理的膜厚を t_{FP} としたとき、第1フィールドプレート絶縁層300の電気的膜厚 t_{FP}^* を以下の式(5)のように表すことができる。

【0058】

【数5】

$$t_{FP}^* = \epsilon_{FP}^* t_{FP} \quad \dots(5)$$

【0059】

なお、第1フィールドプレート絶縁層300が複数の(たとえばN層の)絶縁層によって形成されている場合、それぞれの絶縁層の誘電率を ϵ_j 、物理的膜厚を t_j ($1 \leq j \leq N$) としたとき、第1フィールドプレート絶縁層300の誘電率 ϵ_{FP}^* 、ゲート絶縁層200の物理的膜厚 t_{FP} をそれぞれ以下の式(6)、式(7)のように表すことができる。

【0060】

【数6】

$$\epsilon_{FP}^* = \frac{\sum_j^N \epsilon_j t_j}{t_{FP}} \quad \dots(6)$$

【0061】

10

20

30

40

【数 7】

$$t_{FP} = \sum_j^N t_j \quad \dots (7)$$

【0062】

第1の実施形態のように、第1フィールドプレート絶縁層300は、ゲート絶縁層200および下地絶縁層320が積層されることにより形成されている。この場合、ゲート絶縁層200の誘電率並びに厚さ、および下地絶縁層320の誘電率並びに厚さを、式(6)および式(7)に代入し、さらに式(5)を計算することにより、第1フィールドプレート絶縁層300の電気的膜厚 t_{FP}^* を求めることができる。

10

【0063】

以上により、第1ドリフト領域140の深さ d_1 が d_{1c} より小さいとき、下記式(1)を満たす。

【0064】

【数 8】

$$\sigma_1 N_1 < \sigma_2 N_2 \sqrt{\frac{2t_{OX}^*}{t_{FP}^*}} \quad \dots (1)$$

20

【0065】

上記式(1)を満たすことにより、ゲート電極400および第1ドリフト領域140の間、または第1ドリフト領域140および第2ドリフト領域150の間における電界強度が大きくなることを抑制することができる。

30

【0066】

ここで、第1ドリフト領域140の不純物濃度 N_1 は、たとえば、第2ドリフト領域150の不純物濃度 N_2 よりも小さい。このとき、第1ドリフト領域140、第2ドリフト領域150およびドレイン領域120の順で不純物濃度が高くなっている。このような構成とすることにより、イオン注入後の活性化工程によって、容易に不純物濃度が段階的に異なる不純物領域を形成することができる。また、 $N_1 < N_2$ である場合、式(1)を満たすように不純物注入エネルギーなどの他のパラメータを調整することにより、第1ドリフト領域140の深さ d_1 が第2ドリフト領域150の深さ d_2 よりも大きい構成とすることができる。ただし、第1ドリフト領域140は、ドレイン領域120から離間している。これにより、半導体装置10中の電界強度を安定的に最小化して耐圧を維持するとともに、オン抵抗を可能な限り下げることができる。

40

【0067】

一方で、第1ドリフト領域140の不純物濃度 N_1 は、たとえば、第2ドリフト領域150の不純物濃度 N_2 よりも大きくてもよい。このとき、第1ドリフト領域140は、半導体基板100の表面付近に形成されていれば、式(1)を満たす範囲が広がる。イオン注入などにより不純物領域の深さを制御することが困難な場合、 $N_1 > N_2$ で且つ第1ドリフト領域140の深さ d_1 を浅くすることにより、容易に式(1)を満たす構成を形成することができる。この場合でも、半導体装置10中の電界強度を安定的に最小化して耐圧を維持するとともに、オン抵抗を可能な限り下げることができる。

【0068】

50

次に、図5～図9を用い、第1の実施形態に係る半導体装置10の製造方法について説明する。図5～図9は、第1の実施形態に係る半導体装置10の製造方法を説明するための断面図である。第1の実施形態に係る半導体装置10の製造方法は、以下の工程を備えている。まず、半導体基板100に、第1導電型の不純物を注入することにより、第1ドリフト領域140を形成する(第1ドリフト領域形成工程)。次いで、半導体基板100に、第1導電型の不純物を注入することにより、平面視で第1ドリフト領域140に接するように、第2ドリフト領域150を形成する(第2ドリフト領域形成工程)。次いで、半導体基板100に、第1導電型の不純物を注入することにより、平面視で第1ドリフト領域140のうち第2ドリフト領域150と反対側の領域から離間した位置に、ソース領域110を形成する。次いで、半導体基板100に、第1ドリフト領域140および第2ドリフト領域150よりも高い不純物濃度で第1導電型の不純物を注入することにより、平面視で第1ドリフト領域140から離間するとともに、平面視で第2ドリフト領域150のうち第1ドリフト領域140と反対側の領域に接するように、ドレイン領域120を形成する。次いで、半導体基板100上に、平面視でソース領域110および第1ドリフト領域140に挟まれたチャンネル領域130に重なるようにゲート絶縁層200を形成する(ゲート絶縁層形成工程)。次いで、少なくとも平面視で第1ドリフト領域140と第2ドリフト領域150の一部と重なるように、ゲート絶縁層200よりも厚く、第1フィールドプレート絶縁層300を形成する(第1フィールドプレート絶縁層形成工程)。次いで、ゲート絶縁層200上に接するとともに、平面視でチャンネル領域130と重なるように、ゲート電極400を形成する。次いで、第1フィールドプレート絶縁層300上に接し、平面視で第1ドリフト領域140と第2ドリフト領域150の一部と重なるように、第1フィールドプレート電極420を形成する。上記工程のうち、第1ドリフト領域形成工程、第2ドリフト領域形成工程、ゲート絶縁層形成工程および第1フィールドプレート絶縁層形成工程において、上述した式(1)を満たすように、第1ドリフト領域140、第2ドリフト領域150、ゲート絶縁層200および第1フィールドプレート絶縁層300を形成する。以下、詳細を説明する。

【0069】

図5(a)のように、まず、半導体基板100を準備する。図1で示したように、半導体基板100は、下地基板102の主面上にIII族窒化物半導体層104を備えている。ここでは、III族窒化物半導体層104は、たとえば、GaNである。次いで、半導体基板100上に、保護層240を形成する。ここでは、たとえば、半導体基板100の表面を酸化することにより保護層240を形成する。具体的には、保護層240は、たとえばGa₂O₃である。なお、保護層240をスパッタなどにより形成してもよい。

【0070】

次いで、図5(b)のように、保護層240上に、フォトリジスト層600を形成する。次いで、露光および現像により、平面視で第1ドリフト領域140の形成領域に、フォトリジスト層600に開口部(符号不図示)を形成する。次いで、イオン注入装置により、当該開口部に、第1導電型の不純物を注入する。このとき、第1ドリフト領域140の深さを d_1 、第1ドリフト領域140の不純物濃度を N_1 が上記した式(1)を満たすように、不純物注入量、加速電圧等を調整する。これにより、第1ドリフト領域140を形成する(第1ドリフト領域形成工程)。ここでは、上述のように、n型の不純物として、Siを注入する。以下では、「第1導電型」が「n型」であり、「第1導電型の不純物」がn型の不純物であるSiであるとして説明する。次いで、たとえば、アッシングなどにより、フォトリジスト層600を除去する。

【0071】

次いで、図6(a)のように、保護層240上に、再度、フォトリジスト層600を形成する。次いで、露光および現像により、平面視で第1ドリフト領域140に接するように、フォトリジスト層600に開口部(符号不図示)を形成する。次いで、当該開口部に、n型の不純物としてSiを注入する。このとき、第2ドリフト領域150の深さを d_2 、第2ドリフト領域150の不純物濃度を N_2 が上記した式(1)を満たすように、不純

物注入量、加速電圧等を調整する。これにより、平面視で第1ドリフト領域140に接するように、第2ドリフト領域150を形成する(第2ドリフト領域形成工程)。次いで、たとえば、アッシングなどにより、フォトリジスト層600を除去する。

【0072】

次いで、図6(b)のように、保護層240上に、再度、フォトリジスト層600を形成する。次いで、露光および現像により、平面視で第1ドリフト領域140のうち第2ドリフト領域150と反対側の領域から離間した位置、および平面視で第1ドリフト領域140から離間するとともに平面視で第2ドリフト領域150のうち第1ドリフト領域140と反対側の領域に接するように、フォトリジスト層600に開口部(符号不図示)を形成する。すなわち、ソース領域110およびドレイン領域120の形成領域に、フォトリジスト層600に開口部を形成する。次いで、当該開口部に、n型の不純物としてSiを注入する。これにより、平面視で第1ドリフト領域140のうち第2ドリフト領域150と反対側の領域から離間するように、ソース領域110を形成する。また、平面視で第1ドリフト領域140から離間するとともに平面視で第2ドリフト領域150のうち第1ドリフト領域140と反対側の領域に接するように、ドレイン領域を形成する。

10

【0073】

このとき、第1ドリフト領域140および第2ドリフト領域150よりも高い不純物濃度で、ドレイン領域120を形成する。また、ドレイン領域120と同様にしてソース領域110も、第1ドリフト領域140および第2ドリフト領域150よりも高い濃度で形成することが好ましい。上述のように、ソース領域110およびドレイン領域120の不純物濃度を、第1ドリフト領域140および第2ドリフト領域150よりも10倍以上高くなるように形成することが好ましい。これにより、ソース・ドレイン間電圧によって電界が集中することを抑制することができる。

20

【0074】

以上の工程により、たとえば、チャンネル領域130の長さが100nm以上10 μ m未満となるように、チャンネル領域130を形成する。また、第1ドリフト領域140および第2ドリフト領域150のうち、ソース領域110からドレイン領域120に向かう方向の長さが100nm以上10 μ m未満となるように、第1ドリフト領域140および第2ドリフト領域150を形成する。

【0075】

次いで、たとえば、アッシングなどにより、フォトリジスト層600を除去する。さらに、プラズマエッチングまたはウェットエッチングにより、保護層240を除去する。

30

【0076】

ここで、たとえば、700以上1300未満でアニール処理を行うことにより、ソース領域110、第1ドリフト領域140、第2ドリフト領域150およびドレイン領域120に注入された不純物を活性化させる。これにより、注入されたイオンと結晶構成原子とを置換させることができる。また、イオン注入でダメージを受けた半導体基板100の結晶性を回復させることができる。なお、半導体基板100の主面が保護層240で覆われた状態でアニール処理を行ってもよい。これにより、半導体基板100の窒素が抜けることを抑制することができる。

40

【0077】

次いで、図7(a)のように、たとえば、CVDにより、半導体基板100上に、下地絶縁層320を形成する。下地絶縁層320として、たとえば、SiO₂、SiNを成膜する。次いで、たとえば、RIE(Reactive Ion Etching)により、下地絶縁層320のうち、少なくとも平面視でチャンネル領域130と重なる位置に、チャンネル開口部210を形成する。

【0078】

次いで、図7(b)のように、たとえば、スパッタにより、チャンネル開口部210に露出した半導体基板100上、および下地絶縁層320上に、ゲート絶縁層200を形成する。ゲート絶縁層200をスパッタにより形成することにより、膜質の良いゲート絶縁層

50

200を形成することができる。ゲート絶縁層200として、たとえば、 SiO_2 、 SiN 、 Al_2O_3 を成膜する。このようにして、平面視でチャンネル領域130に重なるように、ゲート絶縁層200を形成する(ゲート絶縁層形成工程)。また、下地絶縁層320およびゲート絶縁層200を積層することにより、第1フィールドプレート絶縁層300を形成する。このようにして、少なくとも平面視で第1ドリフト領域140と第2ドリフト領域150の一部と重なるように、第1フィールドプレート絶縁層300を形成する(第1フィールドプレート絶縁層形成工程)。この場合、第1フィールドプレート絶縁層形成工程はゲート絶縁層形成工程を含んでいる。また、第1フィールドプレート絶縁層300は、下地絶縁層320の一部およびゲート絶縁層200の一部を含んでいる。

【0079】

ここで、以上のゲート絶縁層形成工程および第1フィールドプレート絶縁層形成工程において、ゲート絶縁層200の厚さ t_{OX} 、ゲート絶縁層200の誘電率 ϵ_{OX} 、第1フィールドプレート絶縁層300の誘電率 ϵ_{FP} 、第1ドリフト領域140と第2ドリフト領域150との境界における第1フィールドプレート絶縁層300の厚さ t_{FP} が上述した式(1)を満たすように、成膜材料、成膜条件等を調整する。なお、第1フィールドプレート絶縁層300はゲート絶縁層200および下地絶縁層320が積層されることにより形成されているため、 ϵ_{FP} および t_{FP} は、ゲート絶縁層200の厚さ t_{OX} 、ゲート絶縁層200の誘電率 ϵ_{OX} 、下地絶縁層320の誘電率 ϵ_{UL} 、および下地絶縁層320の厚さ t_{UL} から上述した式(4)により算出する。

【0080】

また、ゲート絶縁層200として用いられる材料が高温に強くない材料(たとえば Al_2O_3)である場合、ゲート絶縁層形成工程を、下地絶縁層320を形成する工程よりも後に行う方が好ましい。この場合、下地絶縁層320を形成する前にゲート絶縁層形成工程を行った場合、ゲート絶縁層200の膜質が劣化する可能性がある。したがって、ゲート絶縁層形成工程を、下地絶縁層320を形成する工程よりも後に行うことにより、ゲート絶縁層200の膜質が劣化することを抑制することができる。

【0081】

次いで、図8(a)のように、スパッタにより、ゲート絶縁層200上に金属膜を形成する。たとえば、金属膜として、 Al および/または TiN を成膜する。次いで、当該金属膜上にフォトレジスト層(不図示)を形成する。露光および現像により、平面視でチャンネル領域130と重なる位置、および平面視で第1ドリフト領域140並びに第2ドリフト領域の一部と重なる位置に残存するように、フォトレジスト層をパターンニングする。このフォトレジスト層600をマスクとして、プラズマエッチングまたはウェットエッチングにより、金属膜をエッチングする。次いで、たとえば、アッシングによりフォトレジスト層を除去する。以上により、ゲート絶縁層200上に接するとともに、平面視でチャンネル領域130と重なるように、ゲート電極400を形成する。また、第1フィールドプレート絶縁層300上に接し、平面視で第1ドリフト領域140と第2ドリフト領域150の一部と重なるように、第1フィールドプレート電極420を形成する。また、第1フィールドプレート電極420をゲート電極400と接続するように形成する。この場合では、第1フィールドプレート電極420を、たとえば、ゲート電極400と一体として形成する。これにより、製造工程を簡略化することができる。

【0082】

次いで、図8(b)のように、たとえば、CVDにより、ゲート絶縁層200、ゲート電極400および第1フィールドプレート電極420上に、第1層間絶縁層520を形成する。第1層間絶縁層520として、たとえば、 SiO_2 、 SiN 、 SiON 、 SiOC 、 SiOCH 、 SiCOH または SiOF を成膜する。

【0083】

次いで、図9(a)のように、RIEにより、平面視でソース領域110に重なる位置に、第1層間絶縁層520、ゲート絶縁層200および下地絶縁層320を貫通して半導体基板100の上面に接するソース開口部430を形成する。同時に、RIEにより、平

10

20

30

40

50

面視でドレイン領域 120 に重なる位置に、第 1 層間絶縁層 520、ゲート絶縁層 200 および下地絶縁層 320 を貫通して半導体基板 100 の上面に接するドレイン開口部 450 を形成する。

【0084】

次いで、図 9 (b) のように、たとえば、スパッタにより、ソース開口部 430 並びにドレイン開口部 450 の側面並びに底面、および第 1 層間絶縁層 520 上に、金属を形成する。これにより、ソース開口部 430 およびドレイン開口部 450 の内部に、金属を埋め込む。具体的には、スパッタにより、Al および / または TiN などを成膜する。次いで、CMP (Chemical Mechanical Polishing) により、第 1 層間絶縁層 520 上を平坦化する。これにより、ソース電極 440 のピアおよびドレイン電極 460 のピアを形成する。

10

【0085】

その後、ダマシン法により、第 1 層間絶縁層 520 上に、多層配線構造 (不図示) を形成してもよい。また、多層配線構造の最上層に、電極パッド (不図示) を形成してもよい。

【0086】

以上により、第 1 の実施形態に係る半導体装置 10 を得ることができる。

【0087】

次に、図 10 および図 11 を用い、第 1 の実施形態の効果について説明する。図 10 は、比較例の半導体装置の構成を示す断面図である。また、図 11 は、第 1 の実施形態の効果

20

【0088】

図 10 (a) のように、比較例の半導体装置 A は、第 1 の実施形態に係る半導体装置 10 と異なり、第 2 ドリフト領域 150 および第 1 フィールドプレート電極 420 が設けられていない。他の構成は、第 1 の実施形態と同様である。

【0089】

図 10 (b) のように、比較例の半導体装置 B は、第 1 の実施形態に係る半導体装置 10 と異なり、第 2 ドリフト領域 150 が設けられていない。なお、第 1 フィールドプレート電極 420 は設けられている。他の構成は、第 1 の実施形態と同様である。

【0090】

図 10 (c) のように、比較例の半導体装置 C は、第 1 の実施形態に係る半導体装置 10 と異なり、第 1 ドリフト領域 140 が第 2 ドリフト領域 150 よりも深く形成されている。さらに、第 1 ドリフト領域 140 は、ドレイン領域 120 と接している。他の構成は、第 1 の実施形態と同様である。

30

【0091】

図 11 (a) は、ゲート電圧を 0 V、ドレイン・ソース間電圧を 100 V としたときの電界強度の分布を示している。横軸は、それぞれの半導体装置における平面視での位置である。また、縦軸は、電界強度 (単位 MV/cm) である。点線は、比較例の半導体装置 A を示している。破線は、比較例の半導体装置 B を示している。また、実線は、第 1 の実施形態に係る半導体装置 10 を示している。

40

【0092】

図 11 (a) のように、比較例の半導体装置 A は第 1 フィールドプレート電極 420 が設けられていないため、ゲート電極 400 および第 1 ドリフト領域 140 間の電界強度が局所的に大きくなっている。このような場合、ゲート電極 400 および第 1 ドリフト領域 140 間に電界が集中し、ゲート絶縁層 200 が絶縁破壊を起こす可能性がある。

【0093】

また、比較例の半導体装置 B は第 1 フィールドプレート電極 420 が設けられているため、ゲート電極 400 および第 1 ドリフト領域 140 間の電界強度は緩和されている。しかし、反対に、第 1 ドリフト領域 140 およびドレイン領域 120 間の電界強度が局所的に大きくなってしまっている。この原因は、第 1 フィールドプレート電極 420 が不純物

50

濃度の高いドレイン領域 120 と近くなったことにより、電界が集中したと考えられる。

【0094】

一方、第 1 の実施形態に係る半導体装置 10 は、ゲート電極 400 および第 1 ドリフト領域 140 間の電界と、ゲート電極 400 および第 1 ドリフト領域 140 間の電界強度は、ともに緩和されている。当該半導体装置 10 内では、電界強度が一様に分布している。このように、第 1 の実施形態では、電界が局所的に集中することを抑制することができる。

【0095】

図 11 (b) は、ゲート電圧を 0 V、ドレイン・ソース間電圧を 100 V としたときの表面ポテンシャルの分布を示している。横軸は、それぞれの半導体装置における平面視での位置である。また、縦軸は、ポテンシャルエネルギー（単位 eV）である。図中のそれぞれの半導体装置は、たとえば、以下のような構成である場合を示している。比較例の半導体装置 C のうち、第 1 ドリフト領域 140 の深さ d_1 は 50 nm、第 2 ドリフト領域 150 の深さ d_2 は 15 nm である。なお、上述のように、比較例の半導体装置 C において、第 1 ドリフト領域 140 はドレイン領域 120 に接している。一方、第 1 の実施形態の半導体装置 10 のうち、第 1 ドリフト領域 140 の深さ d_1 は 5 nm、第 2 ドリフト領域 150 の深さ d_2 は 15 nm である。なお、上述のように、第 1 の実施形態に係る半導体装置 10 において、第 1 ドリフト領域 140 はドレイン領域 120 から離間している。

10

【0096】

図 11 (b) のように、比較例の半導体装置 C では、第 2 ドリフト領域 150 から第 1 ドリフト領域 140 までの領域の電位がドレイン領域 120 の電位に近い値となっている。第 1 ドリフト領域 140 または第 2 ドリフト領域 150 がドレイン領域 120 と独立して形成されているにもかかわらず、ドレイン領域 120 が平面視で第 1 ドリフト領域 140 および第 2 ドリフト領域 150 を含むように一体として形成されていると同等となってしまう。このような場合、ゲート電極 400 および第 1 ドリフト領域 140 間の電界強度が大きくなってしまふ。

20

【0097】

一方、第 1 の実施形態に係る半導体装置 10 のうち、第 1 ドリフト領域 140 は、ドレイン領域 120 から離間して形成されている。これにより、第 1 ドリフト領域 140 からドレイン領域 120 までの領域において、緩やかな傾斜で電位が分布している。このような理由においても、第 1 の実施形態では、電界強度が偏ることがない。

30

【0098】

第 1 の実施形態によれば、ソース領域 110 およびドレイン領域 120 の間には、第 1 ドリフト領域 140 および第 2 ドリフト領域 150 が設けられている。第 1 フィールドプレート電極 420 は、第 1 フィールドプレート絶縁層 300 上に接し、平面視で第 1 ドリフト領域 140 と第 2 ドリフト領域 150 の一部と重なるように設けられている。このとき、これらを構成する物性値は、上記式 (1) を満たしている。これにより、半導体装置 10 内の電界強度を偏りなく分布させることができる。また、ゲート電極 400 および第 1 ドリフト領域 140 の間、または第 1 ドリフト領域 140 および第 2 ドリフト領域 150 の間等における電界強度が大きくなることを抑制することができる。

40

【0099】

さらに、第 1 の実施形態によれば、第 1 導電型の不純物領域のみを形成することにより、半導体装置 10 を高耐圧化させることができる。ここで、たとえば、不純物領域を形成する半導体層が n 型および p 型の両方の導電性を制御できる場合、たとえば、ソース領域 110 またはドレイン領域 120 の下方に、これらと逆の導電型のハロー領域（またはポケット領域とも呼ばれる）などを形成する場合がある。この場合、ハロー領域が設けられていることにより、ドレイン・ソース間のパンチスルーを抑制することができる。したがって、ソース領域 110 またはドレイン領域 120 の近傍に、これらと逆導電型の不純物領域を形成することによって、半導体装置 10 内の電界を緩和することが可能となる。しかし、導電制御が困難な半導体材料である場合、ソース領域 110 またはドレイン領域 1

50

20と逆導電型の不純物領域を設けることは困難である可能性がある。そこで、第1導電型の不純物領域のみにより第1の実施形態のような構成を形成することにより、導電制御が困難な半導体材料であっても半導体装置10を安定的に高耐圧化させることができる。たとえば、上述のように、半導体基板100が、導電制御が困難なIII族窒化物半導体層104等を含む場合に特に有効である。

【0100】

以上により、第1の実施形態によれば、電界が局所的に集中することを抑制して、高耐圧化した半導体装置10を提供することができる。

【0101】

(第2の実施形態)

図12は、第2の実施形態に係る半導体装置10の構成を示す断面図である。第2の実施形態は、第1ドリフト領域140および第2ドリフト領域150に加え、ドリフト領域がさらに設けられている点を除いて、第1の実施形態と同様である。以下、詳細を説明する

【0102】

図12のように、n型の第3ドリフト領域160は、平面視で第2ドリフト領域150とドレイン領域120との間に設けられている。第3ドリフト領域160は、第2ドリフト領域150と接するとともに、ドレイン領域120とも接している。ここで、第3ドリフト領域160の不純物濃度は、たとえば、第1ドリフト領域140および第2ドリフト領域150よりも高い。一方で、第3ドリフト領域160の不純物濃度は、たとえば、ドレイン領域120よりも低い。

【0103】

また、第3ドリフト領域160の深さは、たとえば、第2ドリフト領域150よりも深い。これにより、第2ドリフト領域150は、ドレイン領域120から離間している。また、第2ドリフト領域150は、ドレイン領域120と接していない。

【0104】

第1フィールドプレート電極420は、たとえば、第1の実施形態と同様に、第1フィールドプレート絶縁層300上に接している。また、第1フィールドプレート電極420は、平面視で第1ドリフト領域140と第2ドリフト領域150の一部と重なるように設けられている。

【0105】

第2の実施形態に係る半導体装置10の製造方法は、以下の点を除いて、第1の実施形態と同様である。

【0106】

第2ドリフト領域150を形成する工程の後、ドレイン領域120を形成する工程の前に、第2ドリフト領域150のうち第1ドリフト領域140と反対側の領域に接するように、第3ドリフト領域160を形成する。このとき、第1ドリフト領域140および第2ドリフト領域150よりも高い不純物濃度で、且つ、ドレイン領域120よりも低い不純物濃度で、第3ドリフト領域160を形成する。次いで、平面視で第3ドリフト領域160のうち第2ドリフト領域と反対側の領域に接するように、ドレイン領域120を形成する。

【0107】

以降の工程は、第1の実施形態と同様である。

【0108】

第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。さらに、第2の実施形態によれば、平面視で第2ドリフト領域150とドレイン領域120の間には、さらにドリフト領域が設けられている。これにより、ゲート電極400およびドレイン領域120との間の電界を段階的に緩和することができる。したがって、さらに半導体装置10の耐圧を向上させることができる。

【0109】

10

20

30

40

50

以上、第2の実施形態では、第1フィールドプレート電極420は、平面視で第1ドリフト領域140、第2ドリフト領域150の一部と重なるように設けられている場合について説明した。または、第1フィールドプレート電極420は、平面視で第1ドリフト領域140、第2ドリフト領域150、および第3ドリフト領域160の一部と重なるように設けられていてもよい。この場合、第1フィールドプレート絶縁層300の厚さ t_{FP} は、第2ドリフト領域150と第3ドリフト領域160との境界における厚さであると置き換えて、半導体装置10は式(1)を満たす構成であればよい。

【0110】

(第3の実施形態)

図13は、第3の実施形態に係る半導体装置10の構成を示す断面図である。第3の実施形態は、以下の点を除いて、第1の実施形態と同様である。第1層間絶縁層520は、少なくともゲート電極400を覆うように設けられている。ソース電極440は、ソース領域110に接続している。また、第1フィールドプレート絶縁層300は、第1層間絶縁層520の一部を含んでいる。第1の実施形態における第1フィールドプレート電極420がゲート電極400に接続しているのに対して、第2の実施形態では第1フィールドプレート電極420がソース電極440に接続している。以下、詳細を説明する

10

【0111】

図13のように、第1の実施形態と同様にして、III族窒化物半導体層104には、ソース領域110、チャンネル領域130、第1ドリフト領域140、第2ドリフト領域150およびドレイン領域120が形成されている。

20

【0112】

下地絶縁層320は、半導体基板100上に接して設けられており、平面視でチャンネル領域130と重なる領域に開口部を有している。また、ゲート絶縁層200は、下地絶縁層320の開口部に露出したチャンネル領域130上、および下地絶縁層320上に設けられている。ゲート電極400は、ゲート絶縁層200上に接し、平面視でチャンネル領域130に重なるように設けられている。

【0113】

第3の実施形態では、第2フィールドプレート電極480は、ゲート電極400に接続している。第2フィールドプレート電極480は、平面視で第1ドリフト領域140の一部と重なるように設けられている。反対に、第2フィールドプレート電極480は、平面視で第2ドリフト領域150と重なっていない。言い換えれば、第2フィールドプレート電極480の一端は、平面視で第1ドリフト領域140および第2ドリフト領域150の境界よりもソース領域110側に位置している。また、第2フィールドプレート電極480は、ゲート電極400と一体として形成されていてもよい。

30

【0114】

第1層間絶縁層520は、たとえば、ゲート電極400および第2フィールドプレート電極480を覆うように設けられている。第1層間絶縁層520上に、さらに第2層間絶縁層540が設けられていてもよい。第2層間絶縁層540は、たとえば、第1層間絶縁層520よりも高密度の材料に形成されていてもよい。これにより、第2層間絶縁層540は、第1層間絶縁層520に対してエッチング選択性を有するエッチングストップ層として機能させることができる。第2層間絶縁層540の材料は、たとえば、SiCN、SiC、SiON、SiCO、SiCONまたはSiNなどである。

40

【0115】

ここで「第1フィールドプレート絶縁層300」は、上述のように、第1フィールドプレート電極420と半導体基板100の主面との間に設けられた絶縁層である。第2の実施形態では、第1フィールドプレート絶縁層300は、第1層間絶縁層520の一部を含んでいる。ここでは、さらに、第1フィールドプレート絶縁層300は、第2層間絶縁層540の一部を含んでいる。したがって、第1フィールドプレート絶縁層300は、下地絶縁層320の一部、ゲート絶縁層200の一部、第1層間絶縁層520の一部および第2層間絶縁層540の一部を含んでいる。

50

【 0 1 1 6 】

ソース電極 4 4 0 は、平面視でソース領域 1 1 0 と重なるように設けられている。また、ソース電極 4 4 0 は、下地絶縁層 3 2 0、ゲート絶縁層 2 0 0、第 1 層間絶縁層 5 2 0 および第 2 層間絶縁層 5 4 0 を貫通して、ソース領域 1 1 0 に接続している。

【 0 1 1 7 】

第 1 フィールドプレート電極 4 2 0 は、第 1 フィールドプレート絶縁層 3 0 0 のうち、第 2 層間絶縁層 5 4 0 上に接している。また、第 1 フィールドプレート電極 4 2 0 は、平面視で第 1 ドリフト領域 1 4 0 と第 2 ドリフト領域 1 5 0 の一部と重なるように設けられている。また、第 1 フィールドプレート電極 4 2 0 はソース電極 4 4 0 に接続している。また、第 1 フィールドプレート電極 4 2 0 は、ソース電極 4 4 0 と一体として形成されている。第 1 フィールドプレート電極 4 2 0 は、ソース電極 4 4 0 と同じ材料により形成されている。また、ソース電極 4 4 0、第 1 フィールドプレート電極 4 2 0 の材料は、たとえば、Al および / または TiN などである。このように、第 1 フィールドプレート電極 4 2 0 をソース電極 4 4 0 と一体として形成することにより、製造工程を簡略化することができる。

10

【 0 1 1 8 】

さらに、当該半導体装置 1 0 のうち、それぞれの構成は、上述の式 (1) を満たすように形成されている。なお、上述のように、第 1 フィールドプレート絶縁層 3 0 0 は、下地絶縁層 3 2 0、ゲート絶縁層 2 0 0、第 1 層間絶縁層 5 2 0 および第 2 層間絶縁層 5 4 0 が積層されることにより形成されている。したがって、第 1 フィールドプレート絶縁層 3 0 0 の電気的膜厚 t_{FP}^* は、式 (5)、式 (6) および式 (7) から下地絶縁層 3 2 0、ゲート絶縁層 2 0 0、第 1 層間絶縁層 5 2 0 および第 2 層間絶縁層 5 4 0 の誘電率と物理的膜厚との積の総和により求めることができる。

20

【 0 1 1 9 】

次に、図 1 4 および図 1 5 を用い、第 3 の実施形態に係る半導体装置 1 0 の製造方法について説明する。図 1 4 および図 1 5 は、第 1 の実施形態に係る半導体装置 1 0 の製造方法を説明するための断面図である。第 3 の実施形態に係る半導体装置 1 0 の製造方法は、第 1 フィールドプレート電極 4 2 0 をソース電極 4 4 0 に接続する点を除いて、第 1 の実施形態と同様である。以下、詳細を説明する。

【 0 1 2 0 】

第 1 の実施形態と同様にして、図 7 (b) までの工程を行う。半導体基板 1 0 0 には、ソース領域 1 1 0、チャンネル領域 1 3 0、第 1 ドリフト領域 1 4 0、第 2 ドリフト領域 1 5 0 およびドレイン領域 1 2 0 が形成されている。さらに、半導体基板 1 0 0 上には、下地絶縁層 3 2 0 が形成されている。また、チャンネル 1 3 0 上および下地絶縁層 3 2 0 上には、ゲート絶縁層 2 0 0 が形成されている。

30

【 0 1 2 1 】

図 1 4 (a) のように、スパッタにより、ゲート絶縁層 2 0 0 上に金属膜を形成する。たとえば、金属膜として、Al および / または TiN を成膜する。次いで、当該金属膜上にフォトリジスト層 (不図示) を形成する。露光および現像により、平面視でチャンネル領域 1 3 0 と重なる位置、および平面視で第 1 ドリフト領域 1 4 0 の一部と重なる位置に残存するように、フォトリジスト層をパターニングする。このフォトリジスト層をマスクとして、プラズマエッチングまたはウェットエッチングにより、金属膜をエッチングする。次いで、たとえば、アッシングによりフォトリジスト層を除去する。以上により、ゲート絶縁層 2 0 0 上に接するとともに、平面視でチャンネル領域 1 3 0 と重なるように、ゲート電極 4 0 0 を形成する。また、ゲート電極 4 0 0 に接続するとともに、平面視で第 1 ドリフト領域 1 4 0 の一部と重なるように、第 2 フィールドプレート電極 4 8 0 を形成する。この場合のように、第 2 フィールドプレート電極 4 8 0 を、たとえばゲート電極 4 0 0 と一体として形成する。これにより、製造工程を簡略化することができる。

40

【 0 1 2 2 】

次いで、図 1 4 (b) のように、たとえば、CVD により、ゲート絶縁層 2 0 0、ゲー

50

ト電極 400 および第 2 フィールドプレート電極 480 上に、第 1 層間絶縁層 520 を形成する。さらに、ここでは、第 1 層間絶縁層 520 上に、たとえば、第 1 層間絶縁層 520 よりも高密度の材料からなる第 2 層間絶縁層 540 を形成する。第 2 層間絶縁層 540 として、たとえば、SiCN、SiC、SiON、SiCO、SiCON または SiN を成膜する。

【0123】

次いで、図 15 (a) のように、RIE により、平面視でソース領域 110 に重なる位置に、第 2 層間絶縁層 540、第 1 層間絶縁層 520、ゲート絶縁層 200 および下地絶縁層 320 を貫通して半導体基板 100 の上面に接するソース開口部 430 を形成する。同時に、RIE により、平面視でドレイン領域 120 に重なる位置に、第 2 層間絶縁層 540、第 1 層間絶縁層 520、ゲート絶縁層 200 および下地絶縁層 320 を貫通して半導体基板 100 の上面に接するドレイン開口部 450 を形成する。

10

【0124】

次いで、図 15 (b) のように、ソース開口部 430 並びにドレイン開口部 450 の側面並びに底面、および第 2 層間絶縁層 540 上に、たとえば、スパッタにより、金属を形成する。これにより、ソース開口部 430 およびドレイン開口部 450 の内部に、金属を埋め込む。具体的には、スパッタにより、Al および / または TiN などを成膜する。次いで、CMP により、第 2 層間絶縁層 540 上の金属を平坦化する。次いで、当該金属上にフォトリソ層 (不図示) を形成する。露光および現像により、平面視でソース領域 110 と重なる位置、および平面視で第 1 ドリフト領域 140 および第 2 ドリフト領域 150 の一部と重なる位置に残存するように、フォトリソ層をパターニングする。このフォトリソ層をマスクとして、プラズマエッチングまたはウエットエッチングにより、金属をエッチングする。次いで、たとえば、アッシングによりフォトリソ層を除去する。以上により、ソース開口部 430 に金属を埋め込むことにより、ソース領域 110 に接続するように、ソース電極 440 を形成する。また、第 1 フィールドプレート絶縁層 300 上に接し、平面視で第 1 ドリフト領域 140 と第 2 ドリフト領域 150 の一部と重なるように、第 1 フィールドプレート電極 420 を形成する。また、第 1 フィールドプレート電極 420 をソース電極 440 と接続するように形成する。この場合では、第 1 フィールドプレート電極 420 を、たとえば、ソース電極 440 と一体として形成する。これにより、製造工程を簡略化することができる。

20

30

【0125】

以降の工程は、第 1 の実施形態と同様である。

【0126】

第 3 の実施形態によれば、第 1 フィールドプレート電極 420 がソース電極 440 に接続している。この場合でも第 1 の実施形態と同様の効果を得ることができる。さらに第 3 の実施形態によれば、フィールドプレート電極が複数設けられている。ここでは、たとえば、ゲート電極 400 に接続する第 2 フィールドプレート電極 480、ソース電極 440 に接続する第 1 フィールドプレート電極 420 が設けられている。これにより、さらに効率的に、半導体装置 10 内の電界集中を緩和することができる。

【0127】

40

以上、第 3 の実施形態では、フィールドプレート電極が二つ設けられている場合について説明したが、フィールドプレート電極はさらに多段に設けられていてもよい。また、さらに、第 2 の実施形態のように、第 3 ドリフト領域 160 等の複数のドリフト領域が設けられていてもよい。

【0128】

また、第 3 の実施形態では、第 2 フィールドプレート電極 480 が設けられている場合について説明したが、第 2 フィールドプレート電極 480 は無くてもよい。その場合、下地絶縁層 320 は無くてもよい。この場合でも、第 4 の実施形態と同様の効果を得ることができる。

【0129】

50

(第4の実施形態)

図16は、第4の実施形態に係る半導体装置10の構成を示す断面図である。第4の実施形態は、第1フィールドプレート電極420が第2フィールドプレート電極480上に接している点を除いて、第1の実施形態、または第3の実施形態の一部と同様である。

【0130】

図16のように、第1の実施形態と同様にして、III族窒化物半導体層104には、ソース領域110、チャンネル領域130、第1ドリフト領域140、第2ドリフト領域150およびドレイン領域120が形成されている。

【0131】

下地絶縁層320は、半導体基板100上に接して設けられており、平面視でチャンネル領域130と重なる領域に開口部を有している。また、ゲート絶縁層200は、下地絶縁層320の開口部に露出したチャンネル領域130上、および下地絶縁層320上に設けられている。ゲート電極400は、ゲート絶縁層200上に接し、平面視でチャンネル領域130に重なるように設けられている。

10

【0132】

また、第2フィールドプレート電極480は、第2の実施形態と同様に、ゲート電極400に接続している。第2フィールドプレート電極480は、平面視で第1ドリフト領域140の一部と重なるように設けられている。

【0133】

第1層間絶縁層520は、半導体基板100上に設けられ、ゲート電極400および第2フィールドプレート電極480の上面と同一面を形成するように設けられている。

20

【0134】

第1フィールドプレート絶縁層300は、第1層間絶縁層520の一部を含んでいる。第4の実施形態では、第1フィールドプレート絶縁層300は、下地絶縁層320、ゲート絶縁層200および第1層間絶縁層520が積層されることにより形成されている。

【0135】

第1フィールドプレート電極420は、第1フィールドプレート絶縁層300のうち、第1層間絶縁層520上および第2フィールドプレート電極480上に接している。なお、第1フィールドプレート電極420は、平面視で第1ドリフト領域140と第2ドリフト領域150の一部と重なるように設けられている。この場合では、第1フィールドプレート電極420は、ゲート電極400と異なる材料で形成されていてもよい。

30

【0136】

さらに、当該半導体装置10のうち、それぞれの構成は、上述の式(1)を満たすように形成されている。第1フィールドプレート絶縁層300の電気的膜厚 t_{FP}^* は、式(5)、式(6)および式(7)から下地絶縁層320、ゲート絶縁層200および第1層間絶縁層520の誘電率と物理的膜厚との積の総和により求めることができる。

【0137】

次に、図17~図19を用い、第4の実施形態に係る半導体装置10の製造方法について説明する。図17~図19は、第4の実施形態に係る半導体装置10の製造方法を説明するための断面図である。第4の実施形態に係る半導体装置10の製造方法は、第1フィールドプレート電極420を第2フィールドプレート電極480上に接するように形成する点を除いて、第1の実施形態または第2の実施形態の一部と同様である。以下、詳細を説明する。

40

【0138】

第2の実施形態と同様にして、図14(a)までの工程を行う。ゲート絶縁層200上には、平面視でチャンネル領域130と重なるように、ゲート電極400が形成されている。また、ゲート電極400に接続するとともに、平面視で第1ドリフト領域140の一部と重なるように、第2フィールドプレート電極480が形成されている。

【0139】

次いで、図17(a)のように、たとえば、CVDにより、ゲート絶縁層200、ゲ-

50

ト電極 400 および第 2 フィールドプレート電極 480 上に、第 1 層間絶縁層 520 を形成する。

【0140】

次いで、図 17 (b) のように、CMP により、ゲート電極 400 および第 2 フィールドプレート電極 480 の上面と同一面を形成するように、第 1 層間絶縁層 520 を平坦化する (平坦化工程)。

【0141】

次いで、図 18 (a) のように、たとえば、スパッタにより、ゲート電極 400 および第 2 フィールドプレート電極 480 上に、金属膜を形成する。当該金属膜として、たとえば、Al および / または TiN などを成膜する。次いで、金属膜上にフォトレジスト層 (不図示) を形成する。露光および現像により、平面視で少なくとも第 1 ドリフト領域 140 と第 2 ドリフト領域 150 の一部と重なる領域に残存するように、フォトレジスト層をパターニングする。次いで、たとえば、アッシングによりフォトレジスト層を除去する。以上により、第 1 フィールドプレート絶縁層 300 のうち、第 1 層間絶縁層 520 上および第 2 フィールドプレート電極 480 上に接するように、第 1 フィールドプレート電極 420 を形成する。また、少なくとも平面視で第 1 ドリフト領域 140 と第 2 ドリフト領域 150 の一部と重なるように、第 1 フィールドプレート電極 420 を形成する。

10

【0142】

次いで、図 18 (b) のように、たとえば、CVD により、第 1 層間絶縁層 520 上、および第 1 フィールドプレート電極 420 上を覆うように、第 2 層間絶縁層 540 を形成する。

20

【0143】

次いで、図 19 (a) のように、RIE により、平面視でソース領域 110 に重なる位置に、第 2 層間絶縁層 540、第 1 層間絶縁層 520、ゲート絶縁層 200 および下地絶縁層 320 を貫通して、半導体基板 100 の上面に接するソース開口部 430 を形成する。同時に、RIE により、平面視でドレイン領域 120 に重なる位置に、第 2 層間絶縁層 540、第 1 層間絶縁層 520、ゲート絶縁層 200 および下地絶縁層 320 を貫通して、半導体基板 100 の上面に接するドレイン開口部 450 を形成する。

【0144】

次いで、図 19 (b) のように、たとえば、スパッタにより、ソース開口部 430 並びにドレイン開口部 450 の側面並びに底面および第 2 層間絶縁層 540 上に、金属を形成する。これにより、ソース開口部 430 およびドレイン開口部 450 の内部に、金属を埋め込む。具体的には、具体的には、スパッタにより、Al および / または TiN などを成膜する。

30

【0145】

以降の工程は第 1 の実施形態と同様である。

【0146】

第 4 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。さらに、第 4 の実施形態によれば、第 1 フィールドプレート電極 420 がゲート電極 400 および第 2 フィールドプレート電極 480 上に接している。これにより、さらに効率的に、半導体装置 10 内の電界集中を緩和することができる。

40

【0147】

以上、第 4 の実施形態では、フィールドプレート電極が二つ設けられている場合について説明したが、フィールドプレート電極はさらに多段に積層して設けられていてもよい。また、さらに、第 2 の実施形態のように、第 3 ドリフト領域 160 等の複数のが設けられていてもよい。

【0148】

以上、第 1 から 4 の実施形態において、ソース電極 440 およびドレイン電極 460 をスパッタにより形成したが、これに限定されるものではない。ソース電極 440 およびドレイン電極 460 をダマシン法によって Cu を埋め込むことにより形成してもよい。その

50

他、ソース電極 440 およびドレイン電極 460 を CVD によって W を埋め込むことにより形成してもよい。

【0149】

(第5の実施形態)

図20は、第5の実施形態に係る半導体装置10の構成を示す断面図である。第5の実施形態は、半導体基板100がSi基板である点を除いて、第1の実施形態と同様である。

【0150】

図20のように、第5の実施形態のうち、断面視での構造は、第1の実施形態と同様である。

10

【0151】

第5の実施形態では、半導体基板100は、たとえば、Si基板である。第1の実施形態と異なり、半導体基板100に、材質の異なる半導体層は形成されていない。すなわち、半導体基板100の表面近傍に、直接、横型MOSFETが形成されている。

【0152】

また、第1導電型がn型であり、半導体装置10がnチャンネルFETを含む場合は、半導体基板100は、たとえば、p型Si基板である。一方、第1導電型がp型であり、半導体装置10がpチャンネルFETを含む場合は、半導体基板100はn型Si基板であってもよい。

【0153】

また、ソース領域110およびドレイン領域120の下方に、これらと逆の導電型のハロー領域(不図示)がさらに形成されていてもよい。

20

【0154】

ゲート電極400、ソース電極440およびドレイン電極460は、第1の実施形態と同様に、たとえば、スパッタにより、Alおよび/またはTiNなどによって形成されていてもよい。または、これらの電極は、ダマシン法によってCuを埋め込むことにより形成されていてもよい。また、これらの電極は、CVDによってWを埋め込むことにより形成してもよい。

【0155】

第5の実施形態によれば、第1の実施形態と同様の効果を得ることができる。さらに第5の実施形態によれば、半導体基板100はSi基板である。これにより、半導体基板100のコストを低減し、安価に半導体装置10を提供することができる。また、制御用ICを同一チップ上に作り込むことができる。これにより、より広い範囲の製品形態に半導体装置10を適用することができる。また、半導体基板100に含まれる欠陥を低減して、基板耐圧を向上させた半導体装置10を提供することができる。

30

【0156】

(第6の実施形態)

図21は、第6の実施形態に係る半導体装置10の構成を示す断面図である。第6の実施形態は、ゲート絶縁層200上に下地絶縁層320が設けられている点を除いて、第1の実施形態、または第5の実施形態と同様である。

40

【0157】

第6の実施形態では、半導体基板100は、たとえば、Si基板である。半導体基板100には、ソース領域110、チャンネル領域130、第1ドリフト領域140、第2ドリフト領域150およびドレイン領域120が形成されている。

【0158】

ゲート絶縁層200は、半導体基板100に接して設けられている。下地絶縁層320は、ゲート絶縁層200上に設けられている。したがって、第1フィールドプレート絶縁層300は、ゲート絶縁層200および下地絶縁層320の順で積層されることにより形成されている。また、第1フィールドプレート電極420は、第1フィールドプレート絶縁層300のうち下地絶縁層320の上面に接して設けられている。

50

【 0 1 5 9 】

また、ゲート絶縁層 2 0 0 は、下地絶縁層 3 2 0 に対してエッチング選択性を有する材料により形成されている。具体的には、下地絶縁層 3 2 0 がたとえば SiO_2 により形成されている場合に、ゲート絶縁層 2 0 0 はたとえば SiN により形成されている。

【 0 1 6 0 】

次に、第 6 の実施形態に係る半導体装置 1 0 の製造方法について概略を説明する。第 6 の実施形態に係る半導体装置 1 0 の製造方法は、以下の点を除いて、第 1 の実施形態と同様である。

【 0 1 6 1 】

第 1 の実施形態と同様にして、図 5 (a) から図 6 (b) までを行う。このとき、保護層 2 4 0 は無くてもよい。次いで、保護層 2 4 0 を形成した場合はこれを除去する。または、保護層 2 4 0 がゲート絶縁層 2 0 0 であってもよい。

10

【 0 1 6 2 】

次いで、半導体基板 1 0 0 上の全面にゲート絶縁層 2 0 0 を形成する。次いで、ゲート絶縁層 2 0 0 上に、下地絶縁層 3 2 0 を形成する。次いで、R I E により、下地絶縁層 3 2 0 にチャンネル開口部 2 1 0 を形成する。

【 0 1 6 3 】

以降の工程は、第 1 の実施形態と同様である。

【 0 1 6 4 】

第 6 の実施形態によれば、第 1 の実施形態または第 5 の実施形態と同様の効果を得ることができる。さらに第 6 の実施形態のように、半導体基板 1 0 0 の材質に応じて、ゲート絶縁層 2 0 0 を下地絶縁層 3 2 0 よりも先に形成することもできる。

20

【 0 1 6 5 】

以上、第 5 および第 6 の実施形態において、半導体基板 1 0 0 が Si 基板である場合を説明したが、この場合において第 1 ~ 第 4 の実施形態の構成を適用してもよい。

【 0 1 6 6 】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

【 符号の説明 】

【 0 1 6 7 】

30

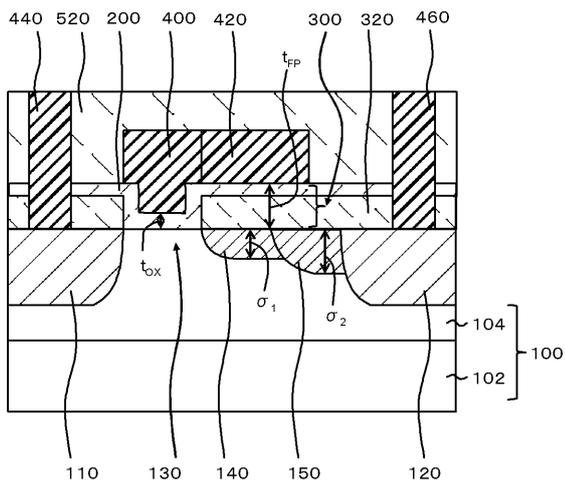
- 1 0 半導体装置
- 1 0 0 半導体基板
- 1 0 2 下地基板
- 1 0 4 III族窒化物半導体層
- 1 1 0 ソース領域
- 1 2 0 ドレイン領域
- 1 3 0 チャンネル領域
- 1 4 0 第 1 ドリフト領域
- 1 5 0 第 2 ドリフト領域
- 1 6 0 第 3 ドリフト領域
- 2 0 0 ゲート絶縁層
- 2 1 0 チャンネル開口部
- 2 4 0 保護層
- 3 0 0 第 1 フィールドプレート絶縁層
- 3 2 0 下地絶縁層
- 4 0 0 ゲート電極
- 4 2 0 第 1 フィールドプレート絶縁層
- 4 3 0 ソース開口部
- 4 4 0 ソース電極
- 4 5 0 ドレイン開口部

40

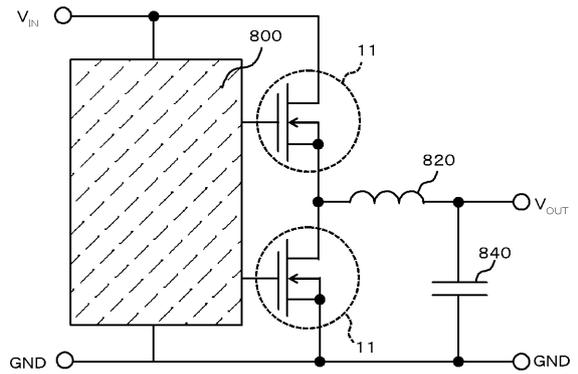
50

- 460 ドレイン電極
- 480 第2フィールドプレート絶縁層
- 520 第1層間絶縁層
- 540 第2層間絶縁層
- 600 フォトレジスト層
- A 比較例
- B 比較例
- C 比較例

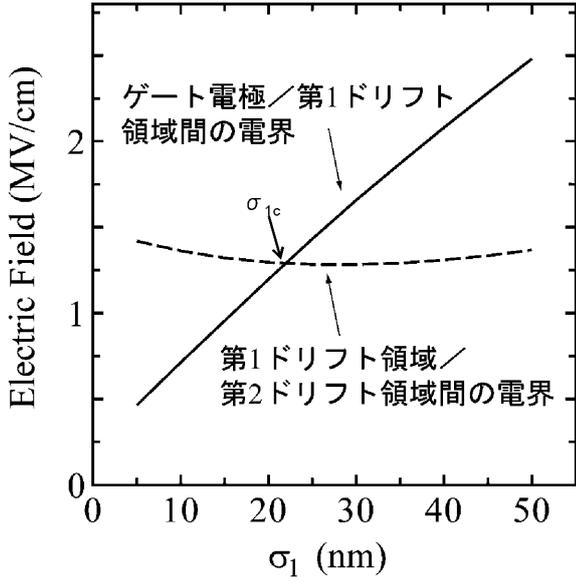
【図1】



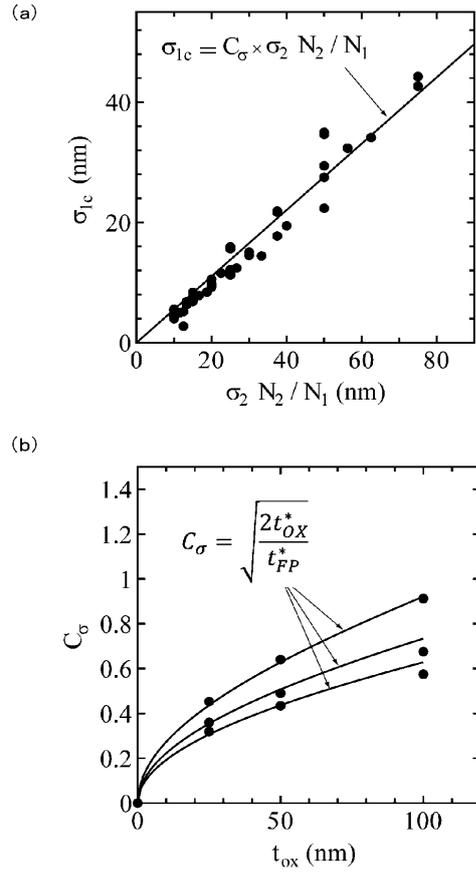
【図2】



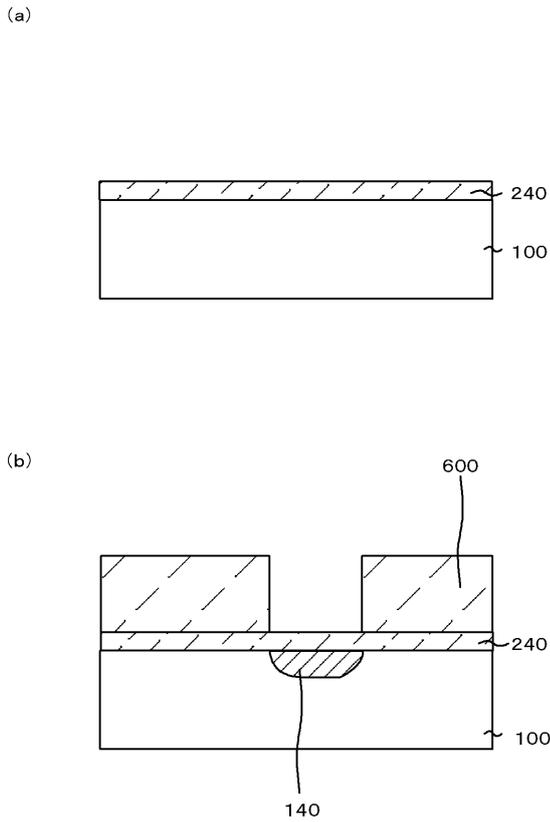
【 図 3 】



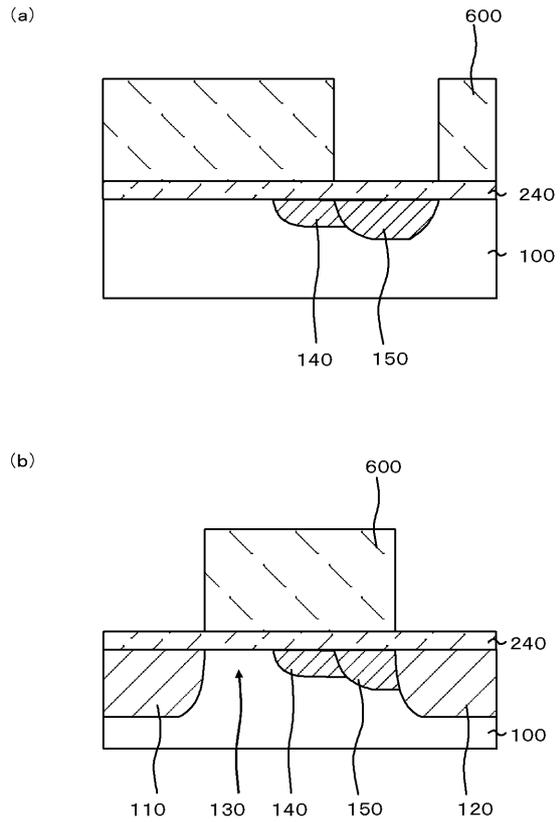
【 図 4 】



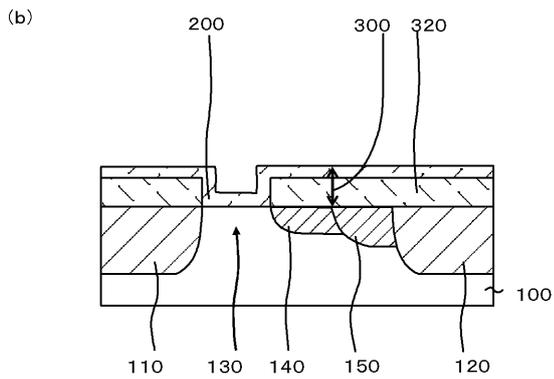
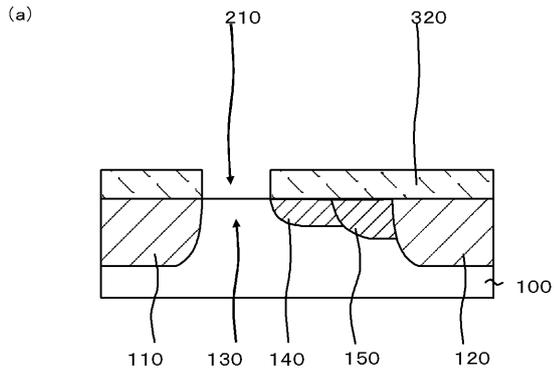
【 図 5 】



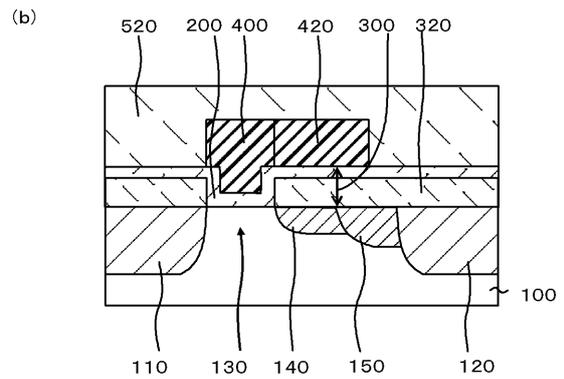
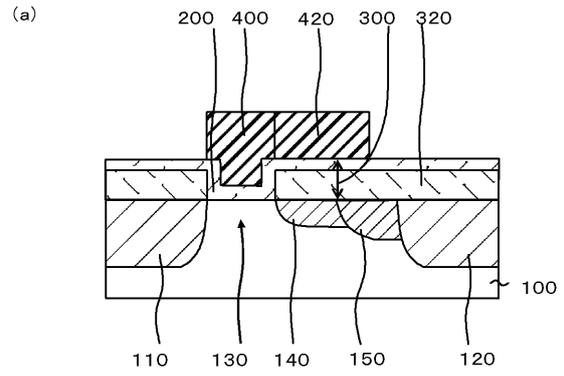
【 図 6 】



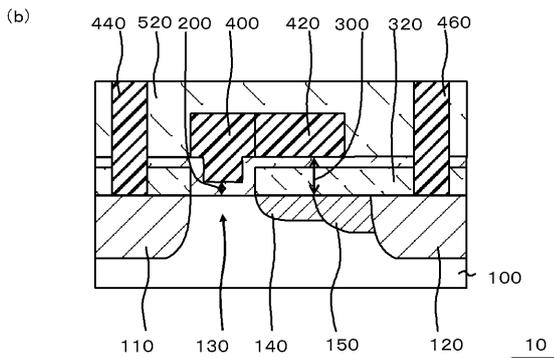
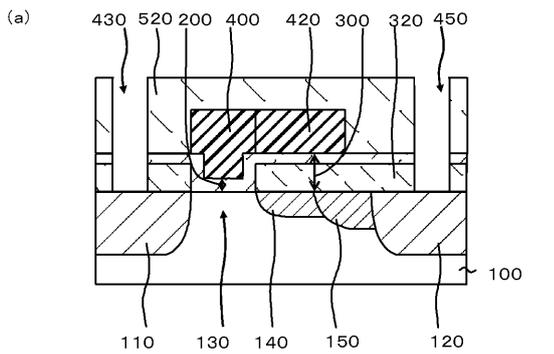
【 図 7 】



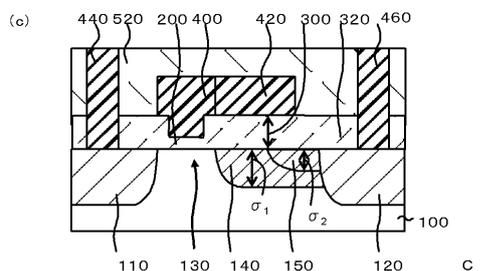
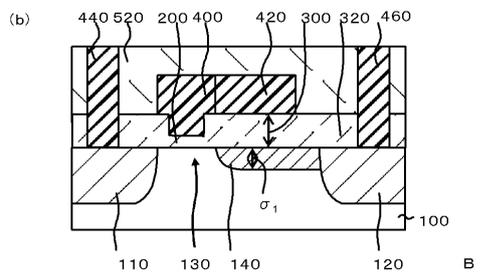
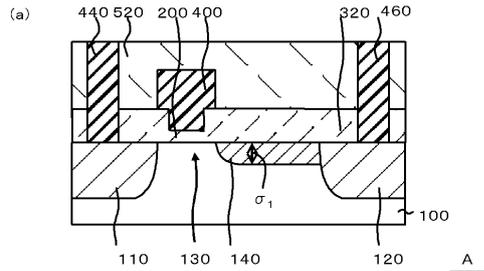
【 図 8 】



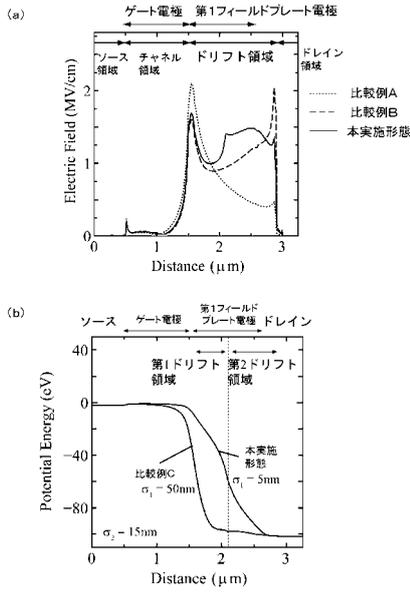
【 図 9 】



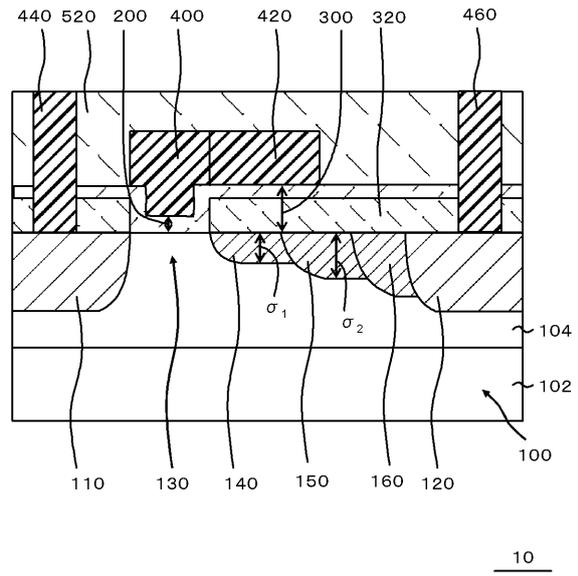
【 図 10 】



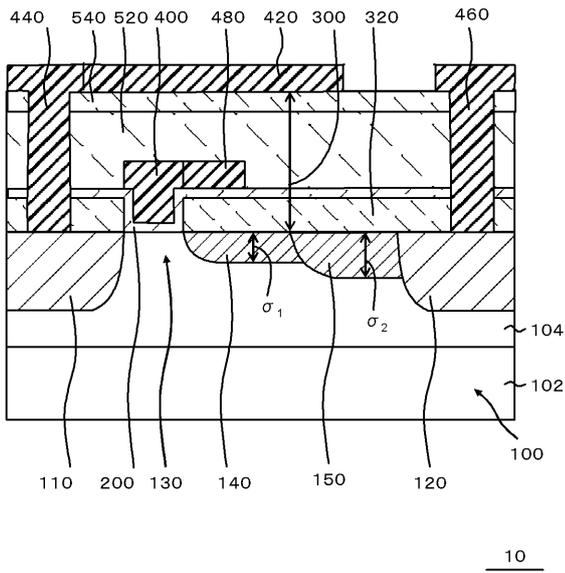
【図 1 1】



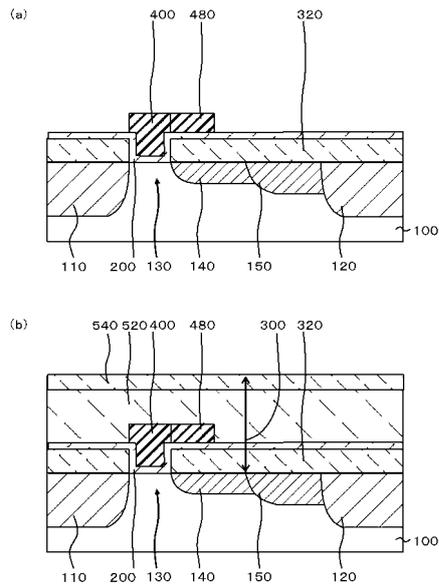
【図 1 2】



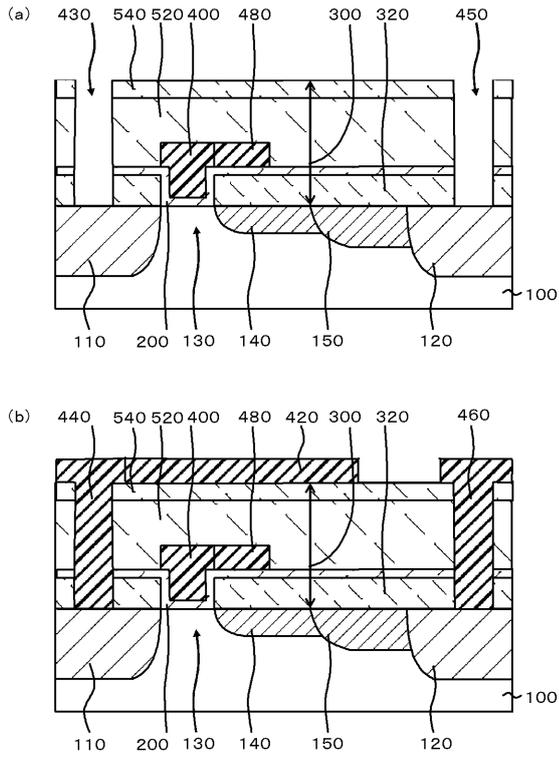
【図 1 3】



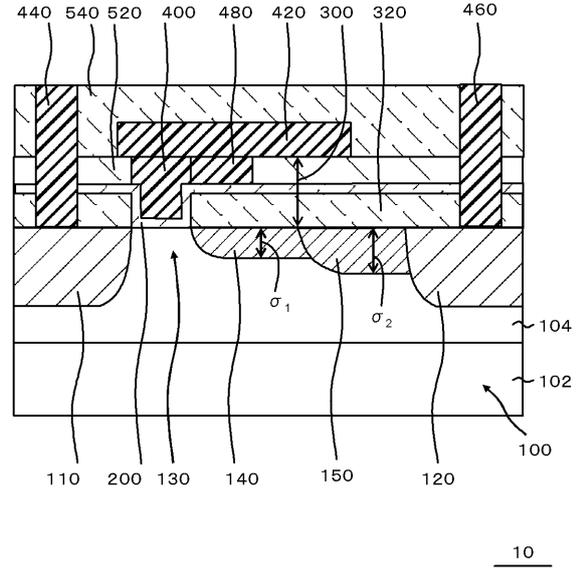
【図 1 4】



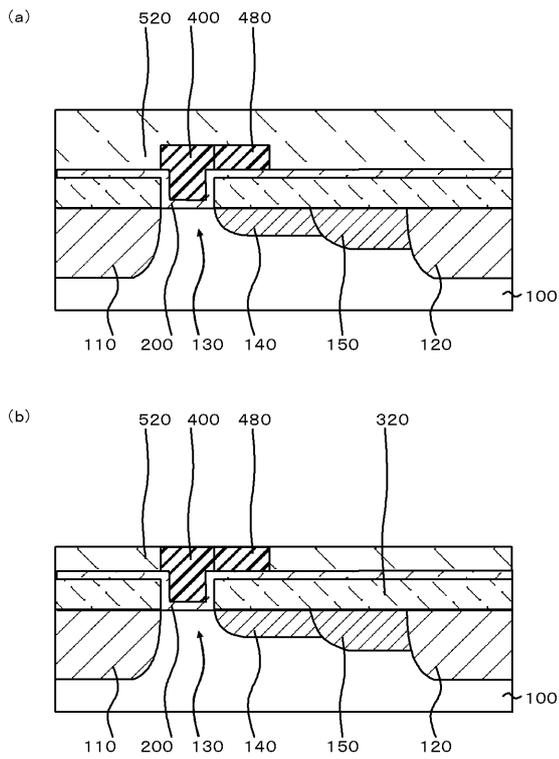
【図 15】



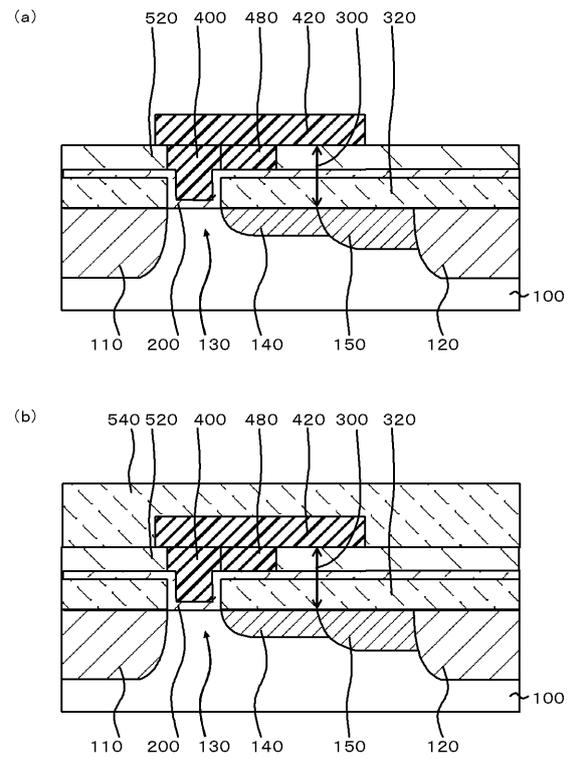
【図 16】



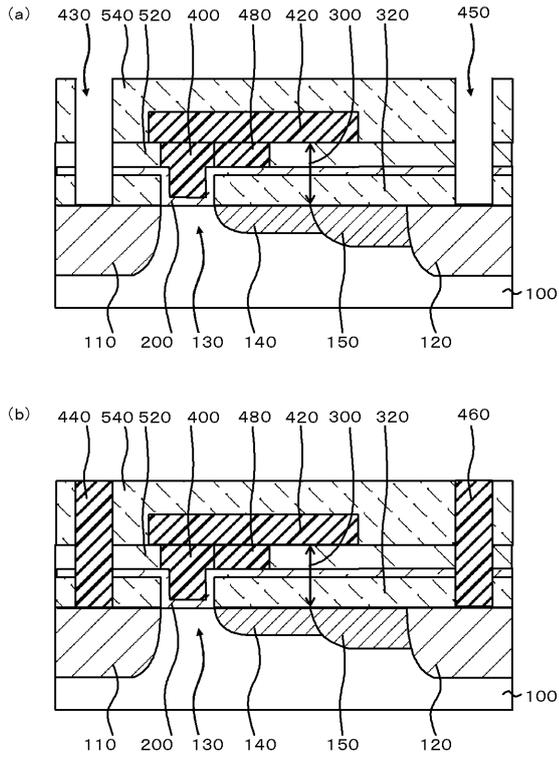
【図 17】



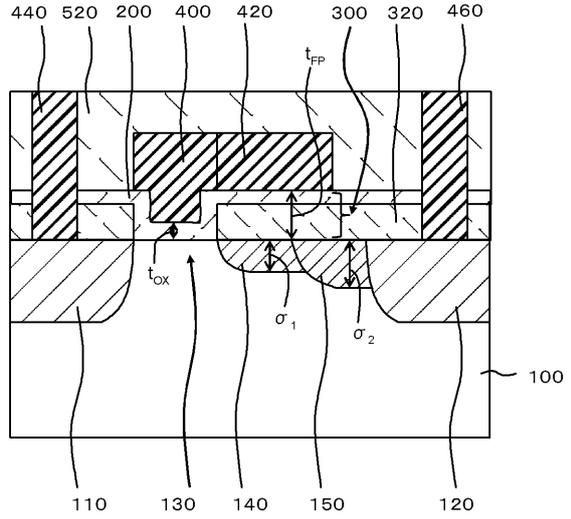
【図 18】



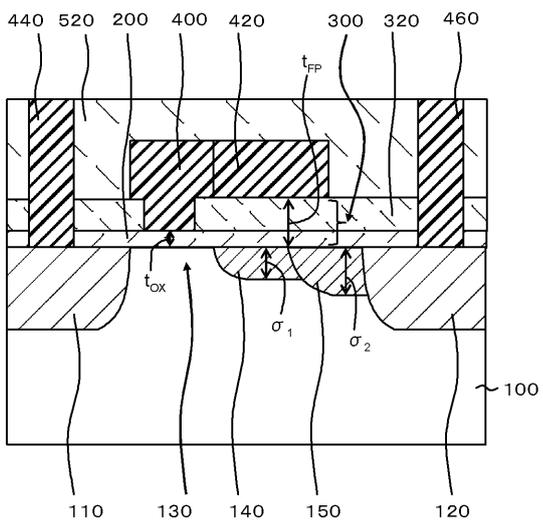
【 図 1 9 】



【 図 2 0 】



【 図 2 1 】



フロントページの続き

(51)Int.Cl.	F I		テーマコード(参考)
H 0 1 L 29/786 (2006.01)	H 0 1 L 29/58		G
H 0 1 L 29/06 (2006.01)	H 0 1 L 29/78	6 1 6 A	
	H 0 1 L 29/78	6 1 8 B	
	H 0 1 L 29/78	6 1 8 F	
	H 0 1 L 29/78	6 1 6 S	
	H 0 1 L 29/78	6 2 6 C	
	H 0 1 L 29/78	6 1 6 V	
	H 0 1 L 29/78	6 1 9 A	
	H 0 1 L 29/78	6 1 7 J	
	H 0 1 L 29/06	3 0 1 F	
	H 0 1 L 29/06	3 0 1 D	

Fターム(参考)	5F110	AA13	BB12	CC02	DD01	DD04	DD05	DD12	EE01	EE03	EE14
		EE22	EE44	FF01	FF02	FF03	FF09	FF28	FF29	GG04	GG34
		GG35	HJ01	HJ04	HJ07	HJ13	HJ23	HL01	HL03	HL11	HL22
		HL23	HL24	HM12	HM15	NN03	NN22	NN23	NN24	NN28	NN35
		NN71	NN72	QQ08	QQ19						
	5F140	AA25	AB01	AC36	BA01	BA02	BA06	BA09	BA20	BD07	BD11
		BD12	BD18	BE03	BE09	BF05	BF11	BF20	BF42	BG30	BG36
		BG40	BH13	BH15	BH17	BH18	BH21	BH30	BH47	BH49	BJ05
		BJ11	BJ20	BJ27	BJ29	BK13	BK21	BK25	CA02	CA03	CA06
		CC01	CC02	CC03	CC08	CC09	CC12	CD09			