

[12] 发明专利申请公开说明书

[21] 申请号 99804437.7

[43] 公开日 2001 年 5 月 9 日

[11] 公开号 CN 1294755A

[22] 申请日 1999.1.28 [21] 申请号 99804437.7

[30] 优先权

[32]1998.1.28 [33]NO [31]19980385

[32]1998.6.2 [33]NO [31]19982518

[86] 国际申请 PCT/NO99/00022 1999.1.28

[87] 国际公布 WO99/44229 英 1999.9.2

[85] 进入国家阶段日期 2000.9.25

[71] 申请人 薄膜电子有限公司

地址 挪威奥斯陆

[72] 发明人 P·-E·诺尔达尔 G·I·莱斯塔德

H·G·古德森

[74] 专利代理机构 中国专利代理(香港)有限公司

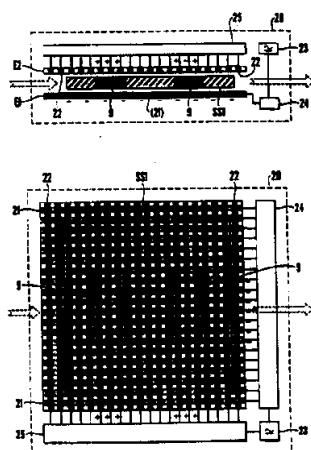
代理人 梁永 陈景峻

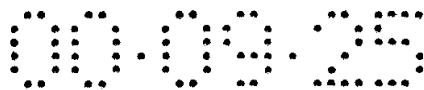
权利要求书 3 页 说明书 18 页 附图页数 10 页

[54] 发明名称 产生二维或三维导电或半导体结构的方法, 擦除该结构的方法及产生上述电路结构所用的电场发生器/调制器

[57] 摘要

在一种在复合基体中产生二维或三维导电或半导体结构的方法中, 其中的基体是由两种或多种空间上隔开的材料构成的, 一电场施加到各个材料上, 或者电场是根据一协议而空间场调制的, 上述协议代表使上述材料结构响应于所述电场所产生的预定导电或半导体结构的图案。所述材料结构组成的基体因此包括这种三维结构。在一种全面擦除的方法中, 对基体施加一电场, 直到基体中的材料响应于电场全部到达非导电态。在能构图或产生导电或半导体结构的电场发生器/调制器(EFGM)中, 两个电极装置(E1, E2)包括在平行的平面内相互间隔开提供的平行条形(21, 22), 由此形成矩阵状结构。电极装置(E1, E2)是连接到电源(23)的过交连器件(24, 25)。EFGM(20)适于在电极器件(E1, E2)中间接收薄膜材料以便产生所述结构。





权 利 要 求 书

1. 一种在复合基体中产生二维或三维导电或半导电结构的方法：其中的基体是由以一个或多个在空间上分开的同质材料结构提供的一种或多种材料分别组成的；其中的材料响应于所供给的能量可产生状态的特定和/或化学变化，从而引起由非导电态至导电态或半导电态或是相反的转变，或者是材料导电模式的转变；其中的每种材料结构都制成薄层的形式，特征在于通过为单独的一层施加具有指定场强的电场和/或具有使材料对由电场供给的能量产生特定响应的特性的电场，在每种情况下按照预定的协议对电场的空间调制代表在相关的材料结构中预定的导电或半导电结构的图形，借此在各个层中响应于电场所供给的能量，产生按协议预定图形的二维导电或半导电结构，然后优选所得的两层或更多层而成为堆叠结构，这样由相邻的各个单层形成的复合基体提供了三维的导电或半导电结构。

2. 按照权利要求 1 的方法，特征在于通过有图形的电极在与薄层基本平行的平面内空间调制电场，按照预定协议向电极选择供给电压而产生点或线势场，从而产生导电或半导电结构。

3. 按照权利要求 1 的方法，特征在于由两层或更多层形成的堆叠结构是在每层产生了导电或半导电结构后结合而成的层状多层结构，由之形成的复合基体具有三维的导电或半导电结构。

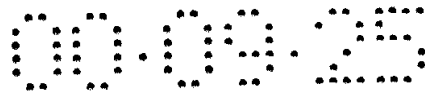
4. 按照权利要求 3 的方法，特征在于形成的多层结构是由两个或更多个自支撑薄层叠成的堆叠结构。

5. 按照权利要求 4 的方法，特征在于先确定某一层，在它与邻层叠片后，将所述的第一层中的两个或多个二维的导电或半导电结构按照协议与邻层中的一个或多个二维导电或半导电结构进行对准，这样就沿相反方向产生一个或多个穿过这些层的纵向的导电或半导体通道。

6. 按照权利要求 5 的方法，特征在于提供导电或半导电结构，它按照协议穿过这一层而与此层中的一个或多个二维导电或半导电结构形成导电的或半导体的连接。

7. 按照权利要求 6 的方法，特征在于产生的每个通道的电导率或导电模式在层间是不变的。

8. 按照权利要求 6 的方法，特征在于产生的每个通道的电导率或



导电模式在层间是改变的。

9. 一种全面擦除复合基体中产生的二维或三维导电或半导电结构的方法，其中的基体是分别由一种或多种材料组成的一个或多个在空间上分开的同质材料结构构成的；其中的材料可响应于所供给的能量产生状态的特定和/或化学变化，从而引起由非导电态至导电态或半导电态或是相反的转变，或者是材料导电模式的转变；其中的每种材料结构都制成薄层的形式，特征在于对复合基体全面施加具有指定场强的电场和/或具有对由电场供给的能量适合于材料产生特定响应的特性的电场，直至复合基体中的材料响应于电场所供的能量全部达到其导电或非导电态。

10. 用于在复合基体中制图形和产生二维或三维导电或半导电结构的电场发生器/调制器 (EFGM)，其中的基体是分别由一种或多种材料组成的一个或多个在空间上分开的同质材料结构构成的；其中的材料可响应于所供给的能量产生状态的特定和/或化学变化，从而引起由非导电态至导电态或半导电态或是相反的转变，或者是材料导电模式的转变；其中的每种材料结构都制成薄层的形式；所述电场发生器/调制器 (20) 的特征在于包含：在一平面内形成具有许多平行的条形电极 (21) 的第一电极区 (E1)；在与第一个平面平行并与之间隔一定距离的第二平面内具有许多平行的条形电极 (22) 的第二电极区 (E2)，这样电极 (21、22) 的取向基本上是相互正交的，如矩阵那样排列，电极区 (E1、E2) 通过交连装置 (24、25) 与控制电源 (23) 相连；电场发生器/调制器电极区之间的间隙可以接受分立件或连续带式的薄膜材料，薄膜材料可被连续或间歇地送过间隙而不与电极区接触，它同时具有定位和对准，因而基本上是在一与电极区平行的平面内通过间隙的，这样在电极区 (E1、E2) 的交连装置 (24、25) 由电源供电时对电极 (21、22) 进行选择来产生点、线或面势场，就可按照确定的协议产生导电或半导电结构。

11. 权利要求 10 的电场发生器/调制器，特征在于每个电极区 (E1、E2) 中的电极 (21、22) 分别做在衬底的表面上或表面中，彼此相对。

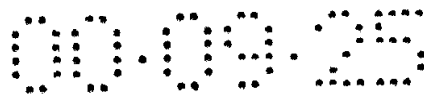
12. 权利要求 11 的电场发生器/调制器，特征在于条形电极 (21、22) 被做成衬底的一部分，并成为衬底材料中的导电结构。



13. 权利要求 10 的电场发生器/调制器, 特征在于电极区 (E1、E2) 间的距离是可控的, 取决于薄膜材料的厚度。

14. 权利要求 10 的电场发生器/调制器, 特征在于每个电极区 (E1、E2) 中电极条 (21、22) 的相互间距在 0.1 至 1.0 μm 间。

15. 权利要求 10 的电场发生器/调制器, 特征在于每个电极区 (E1、E2) 中的电极条 (21、22) 基本上具有 0.1 至 1.0 μm 的恒定宽度。



说明书

产生二维或三维导电或半导电结构的方法，擦除该结构的方法
及产生上述电路结构所用的电场发生器/调制器

5 本发明涉及在复合基体中产生二维或三维导电或半导电结构的方法，其中的基体是由一种或多种材料组成的在空间上分开的同质材料结构构成的，其中的材料响应于所供给的能量可产生状态的特定和/或化学变化，从而引起由非导电态至导电态或半导电态或是相反的转变，或者是材料导电模式的转变，其中的每种材料结构都制成薄层的形式。本发明也涉及在复合基体中全面擦除所产生的二维或三维导电或半导电结构的方法，其中的基体是由两种或多种材料组成的在空间上分开的同质材料结构构成的，其中的材料响应于所供给的能量可产生状态的特定和/或化学变化，从而引起由非导电态至导电态或半导电态或是相反的转变，或者是材料导电模式的转变，其中的每种材料结构都制成薄层的形式。最后，本发明涉及电场发生器/调制器（EFGM），它用来在复合基体中制作图形和产生二维或三维的导电或半导电结构，其中的基体是分别由一种或多种材料组成的一个或多个在空间上分开的同质材料结构构成的，其中的材料响应于所供给的能量可产生状态的特定和/或化学变化，从而引起由非导电态至导电态或半导电态或是相反的转变，或者是材料导电模式的转变，其中的每种材料结构都制成薄层的形式。

尤其是本发明涉及制作用于电子电路中的二维或三维绝缘的、电阻的、导电的或半导体的图形和结构，更特别的是这种电子电路是由单层或几层薄膜堆叠而成的。

25 微电子技术的发展表现了一种稳定的趋势，即器件的尺寸更小，价格更低。已证实的预言表明其性能将提高，而每个单元或器件的价格将下降。然而今天的微电子技术实质上是建立在晶体硅的基础上的，降低回报的趋势在增长，这主要是由于与超高分辨率光刻技术的复杂性相关联的固有限制以及材料加工要求的增加。因此对基于晶体硅的当前技术的推断，不能预期在性能或价格上有急剧的突破，而进一步的改进将需要制造厂和制造设备，这都需要极强的资金投入。

另一方面基于薄膜技术的微电子学预期在不久的将来就会投入生



产，在性能和价格方面都代表着真正的突破。由晶体的无机半导体转向微晶、多晶或无定形无机或有机半导体将对微电子器件的生产引入全新的边界条件，特别是材料毛坯的形式因素，使之可能做到大面积，即衬底可以是大的薄片而非由尺寸有限的锭条上切下的晶片，还有在构筑器件时有很大的机动性，这在预计明天的电子学技术时都是根本的因素。在本发明中特别强调使用有机材料，这是因为易于使用大面积的多层坯料精确地控制厚度来进行加工，及其有巨大的潜力对所希望的材料性质作化学加工。

特别是在无定形材料的电子学器件使用之前就可实现其预期的潜力，在某些领域还需进一步的发展。近些年已作出努力来改善有机半导电薄膜材料的半导体性质，晶体管的性能已有了急剧的提高，现在已能与无定形硅基的晶体管相匹敌（如参见 Y.Y. Lin, D.J. Gundlach, S.F. Nelson and T.N. Jackson, “并五苯基有机薄膜晶体管（Pentacene-Based Organic Thin Film Transistors）”，IEEE Transactions on Electron Devices, August 1997）。其他在进行的计划将是用镀膜工艺制作薄膜，以在低温下产生有机和无定形硅半导体膜，并可适用于广范围的有机和无机衬底材料。这就导致了用大量制造的方法开发大面积的极便宜的电子器件。

无论这方面的进展如何，还是缺少怎样全面而令人满意地解决适于在薄膜结构中便宜灵活地大量生产电互连来形成电子电路的制造工艺。当前的无定形硅基器件的电流通道和导电图形都是用传统的方法，如光刻和真空金属化来制作的。后一方法以前也已用于验证有机基半导体薄膜器件的电路（如参见 A.R. Brown & al., “聚合物晶体管制作的逻辑门及其在环路振荡器中的应用（Logic gates made from polymer transistors and their use of ring oscillators）”，Science 270: 972-974 (1995)）。另外，用导电“墨水”的丝网印刷技术已用于在柔性的聚合物衬底上制作晶体管（如参见 F. Garnier & al., “通过印刷技术实现的全聚合物场效应晶体管（All-polymer field-effect transistor realized by printing techniques）”，Science 265: 1884-1886 (1994)）。尽管光刻可提供较高的分辨率，但比较复杂而且典型地要包括湿法化学腐蚀工序，这在多层有机薄膜结构的大量生产中是不希望有的。用墨水的丝网印刷技术也远非理想，因为它只提供了低的至中等的分辨

率，而且还是“湿”法。

作为以前工艺的例子，显然也可提到可用的专利文献美国专利 No. 5043251 (Sonnenschein & al.)，在此专利中提出一种无定形聚合物三维光刻工艺，用来在聚合物材料中瞬间产生永久性的图形，它是在人工操作的条件下在稳定的无定形态聚合物膜或非晶层中进行掺杂。在制作图形时，薄膜受到光学掩蔽，通过掩模在足够的强光下曝光，烧蚀掉暴露的部分，在膜中留下清楚的三维印记。这个工艺与其他工艺一起被用于制作数据存储光盘。而且从美国专利 No.5378916 (Mantell) 得知一种单晶结构的光敏器件，其不同的部分有不同的组分。特别是这种结构形成了二维列阵，它的第一光敏区是由一种材料制成的，在受到预定的第一个波长范围的光照时，在此材料中产生电子-空穴对。而另一个光敏区由另一种材料制成，它在受到另一个明显地不同于第一个波长范围的光照时产生电子-空穴对。还从美国专利 No.5677041 (Samyling) 知道一种晶体管是在衬底上的光敏材料中形成掺杂层而制成的。这种光敏材料与其他材料一起可以是聚酰亚胺、聚合物、有机介电材料、导体或半导体。衬底可为硅、石英、砷化镓、玻璃、陶瓷、金属或聚酰胺。在掺杂层上有另一种光敏材料形成的中性或未掺杂层。在中性层中形成第一和第二源/漏区，并向下延伸到掺杂层上部。在中性层上部的第一源/漏区与第二源/漏区之间形成栅区，这样在栅区下面的掺杂层中产生了沟道区。漏/源和栅电极是按照所希望的电极图案，通过有图形的掩模光照中性层的最上部并对光强进行调制来实现的。此外也可使用相移掩模。

最后，从 D.M. de Leeuw & al. 的文章“聚合物集成电路和发光二极管 (Polymeric integrated circuits and light-emitting diodes)”，IEDM, pp. 331-336 (1997) 知道一种完全由聚合物制成的 MISFET，所用的聚合物材料在紫外线的照射下能表现出所希望的电学性质。在光化学法制作掺杂的导电的聚苯胺图形时，使用了所谓的 PANI 薄膜。将薄膜溶解在适当的溶剂中，光激励器施加到溶液上，则在适当的衬底如聚酰亚胺膜上产生沉积。然后将 PANI 膜通过掩模在远紫外线中曝光，在曝露的区域原来导电的聚苯胺转变为不导电的白苯胺绿形式。因此，这里的起点是导电的聚合物膜，原来的方块电阻是 $1 \text{ k}\Omega/\text{方块}$ ，曝光后方块电阻则大于 $10^{13} \Omega/\text{方块}$ 。以这种方式可在其他的导电基体

中产生介电结构。图 1 表示 Leeuw 等的 MISFET，它包括聚酰亚胺衬底 1 与 PANI 薄膜，用适当的掩模进行紫外曝光后在其他部分还导电的薄膜材料 3 中形成了绝缘结构 6。在 PANI 薄膜中仍导电的区域 3 分别确定了 MISFET 晶体管的源电极和漏电极。在 PANI 膜上面还淀积有一层有机半导体材料聚噻噁基乙烯撑或 PTV 薄膜 4。这一层 4 实质上确定了 MISFET 晶体管的电参数。聚乙烯醇 PVP 膜 5 被淀积在 PTV 膜 4 上形成了晶体管的栅极绝缘层，它对紫外线和可见光是不透明的。在 PVP 膜 5 上再淀积另一个 PANI 层，并用紫外线照射产生图形，这就形成了绝缘结构 6。还有一个导电区 2 形成了 MISFET 结构的栅电极。

如果几个上述的这种晶体管以薄膜叠层的形式结合起来形成电路，在一个晶体管的，例如，源极与漏极和另一个晶体管的栅极间必须使用纵向电流通道的。原则上，这样的纵向电流通道的实现，如在结构中纵向腐蚀的台阶上淀积金属膜。另一个类似的方法是在电路板上使用通孔镀覆来实现电路板上下两面电流通道的纵向连接。

本发明的主要目的是提供在大面积的柔性衬底上改进制作微电子元件的导电连接和电极的方法，所用的工艺要能大量地廉价生产。特别是本发明的一个目的是提供这样的制作方法，它可以用于叠层的实际器件中，例如大量的相邻薄膜层叠起来而产生三维电路结构。因此本发明将有可能灵活和便宜地，同时又异常简单而精确地制作器件，例如平面显示器件、逻辑电路、存储器件等。

本发明还有一个目的是提供原位擦除这样的三维电路结构的方法，这样，结构中的材料又转变为原来的初始状态，然后用适当的方法重新构成例如与原来不同图形或结构的三维导电和半导体结构。

上述的特点与优点是用本发明的方法来实现的，即对分开的各层施加指定场强和/或其特性适于材料对电场所供给的能量产生特定响应的电场，在每种情况下按照在相关材料结构中预定的导电或半导体结构图形的协议对电场进行空间调制，这样就在各层中响应于电场所供给的能量产生了按照协议预定的图形的二维导电或半导体结构，然后优选出两个或多个层形成叠层结构，这样就形成了由分开的相邻各层构成的具有三维导电或半导体结构的复合基体。



而本发明的优点是，电场的空间调制是在与被调制层基本平行的平面内进行的，通过有电极图形的电极装置按照预定的协议为电极选择供给电压来产生点或线势场，从而产生导电或半导电结构。

5 本发明的优点是，在每层产生了导电或半导电结构后，由两层或多层叠起来形成的堆叠结构构成了具有三维导电或半导电结构的复合基体。

本发明也有这样的优点，即为由两个或多个自支撑层叠合形成的多层结构定位。在相邻各层叠合后的某一层最好这样来定位，在所述的第一层中的两个或多个二维导电或半导电结构与邻层的一个或多个二维导电或半导电结构进行对准，借以产生沿相反方向穿过各层的一个或多个纵向导电或半导电结构。

10 最后，本发明的优点是提供了导电或半导电结构，它按照协议形成了穿过这一层的纵向通道，成为这层中一个或多个二维导电或半导电结构的导电或半导体的连接，产生的每个通道的电导率或导电模式在层间可以是不变的，也可以是改变的。

按照本发明全面擦除结构的方法是向复合基体全面施加指定场强和/或其特性适于材料对电场所供给的能量产生特定响应的电场，直至复合基体中的材料响应于电场所供给的能量，全部达到其导电的或非导电的状态。

20 本发明的电场发生器/调制器包括：在一平面内的许多平行的条形电极组成的第一电极区；在距第一电极区一定间隔而由许多平行的条形电极组成的第二电极区，其平面平行于第一电极区，这样两组电极基本上是互相正交的如矩阵那样排列，电极区通过其交连装置与可控电源相连。电场发生器/调制器的电极区之间的间隙可以接受分立件或连续带形式的薄膜材料，薄膜材料可被连续或间歇地送过间隙而不与电极区接触，它同时相对于电极区定位和对准，因而是在一与电极区基本平行的平面内通过间隙的。这样，通过交连装置为电极区供电，在电极区中选择的电极间产生点、线或面势场，就可按照确定的协议产生导电或半导电结构。每个电极区中的电极最好面对面地做在各自的衬底表面上或衬底表面内，并且/或者其连接最好做成衬底的一部分而在衬底材料中形成导电结构。

而且本发明的优点是，电极区之间的间隙是可控的，依赖于薄膜



材料的厚度。

最后本发明的优点是，每个电极区中电极的间距在 0.1 和 1.0 μm 之间，每个电极区中的电极实质上具有 0.1 至 1.0 μm 的恒定宽度。

5 现在将结合对基本原理的综述及带有附图的示例来对本发明作更详细的说明。

图 1 表示一个 MISFET，其电极是按照以前的工艺由光致转变材料形成的。

10 图 2a、b 分别示意地表示本发明电场发生器/调制器 (EFGM) 示例的截面图和俯视图，这是按照本发明的方法产生电路结构所用的第一步。

图 2c、d 分别示意地表示图 2a、b 所示的 EFGM 的截面图和俯视图，这是按照本发明的方法产生电路结构所用的第二步。

图 2e、f 分别示意地表示图 2a、b 所示的 EFGM 的截面图和俯视图，这是按照本发明的方法产生电路结构所用的第三步。

15 图 3 示意地表示按照本发明产生电路结构的方法的示例，将各个单层叠合成为多层结构。

图 4 是个剖面图，它表示用图 2a-f 所示的步骤产生的穿过多层结构的导电和半导体结构

20 图 5 是层状多层结构的示意剖面图，它含有按照本发明的方法产生的导电或半导体结构。

图 6 是按照本发明的方法产生的二极管结构的示意剖面图。

图 7 是按照本发明的方法产生的 MOSFET 结构的示意剖面图。

图 8 是按照本发明的方法产生的基于图 7 的 MOSFET 结构的逻辑反相器结构的示意剖面图。

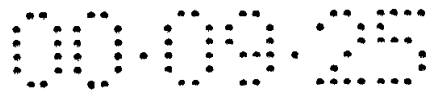
25 图 9 是用 CMOS 技术实现的与门的相应电路图。

图 10 a-d 是按照本发明产生的与门结构的分层平面图，它是使用图 7 所示的 MOSFET 结构按照图 8 的相应电路构成的。

图 11 是图 10 的与门结构各层叠置起来。

30 图 12 是图 10 的与门结构另一变种的示意图，它是由分立的 MOSFET 结构垂直互连而成的。

本发明的方法的基本原理是在空间上原位控制可转变材料 (CM) 的图形来产生具有明确导电模式和导电程度的三维结构，可



转变材料 (CM) 具有这样的性质, 它的电学性质在光照、加热或电场的影响下可发生可逆或不可逆的变化。按照本发明产生这样的结构的方法是基于使用电场, 直流或交流电场。这种三维的导电或半导电结构可先使电场的直接影响局限在一个单层上而成为这种的二维结构, 再把各个单层结合成多层结构而成为三维的。典型的电场致转变材料 (EFCM) 将是有机材料, 例如一个低聚物或多聚物分子在受到如一定场强或频率的电场作用下发生由第一个初始状态到第二个新状态的相变。如下面所述, 先假定由第一到第二个状态最重要的变化是导电程度的变化。下面将对用电场产生和擦除导电或半导电结构的方法结合附图的描述作一般的和更明确的讨论。

对于聚合物如聚苯胺, 如前面 de Leeuw 等的文章所述, 观察到在两个状态间的电导比高达 10^{10} 。在这种情况下为在单个电路中产生导电连接, 要涉及单层的光致转变材料由导电至不导电态的原位转变。在掺杂的聚苯胺膜 (PANI 膜) 中, 导电连接是用图形掩模在远紫外线下曝光来实现的。

多层不同的电场致转变材料可堆叠在一个衬底上, 衬底可以是柔性的也可以刚性的, 可以是导电的也可以是不导电的。可将许多单层的场致转变材料在空间控制的电场作用下按照所需的图形做成导电的、半导电的或绝缘的, 然后将这些层结合成多层堆。场致转变材料的多层堆与多层薄膜电路相结合是特别有意义的, 后者需要在几层中形成导电连线、电流通路、连接点或电极, 这样就可精确控制一层中的导电结构与其上、下层中导电结构的空问关系。薄膜场效应晶体管 (TFET) 就是一个例子, 在一层中必须正确安排其源、漏电极相对于栅电极和插入的绝缘层以及半导体层的位置。另一个例子是层间的电连接, 在许多情况下传统的解决协议是不能令人满意的, 例如加入许多台阶而在适当的点间形成开槽或通道, 然后用导电材料填充或铸入这些沟槽而形成不同层间的电连接; 同时在电路板中要使用镀覆的通孔以形成从电路板前面到背面的连接。第三种情况是产生电容, 即形成由一个绝缘层隔开的两个相对的导电层。显然, 在多层结构中, 不仅是高电导的, 而且高绝缘电阻的和半导电的图形都是十分重要的。如下面将要更详细解释的, 这类图形可用本发明的产生导电或半导电结构或图形的方法来产生。下面将准确和清楚地描述怎样使图



形和三维结构成为很好的或很坏的导体。

这里所述的多层结构与半导体薄膜集成起来形成完整的电路是特别有意义的。目前的微电子电路是开发通常的硅衬底的半导体性质，其标准的制作程序自动地限于实现这样的架构，即将所有的有源器件集成在衬底上。如果按照本发明的方法对叠起来的每个单层进行转变来产生三维的导电或半导电结构，这样形成的整个器件在尺寸和复杂性方面实质上是没有任何限制的，只要把更多的层叠起来就可以十分简单地调整其规模。由于每一层可做得很薄，如 10-100 nm 的量级，所得电路图形的体密度，因而也就是单位重量或体积的性能可以极高。而且可以实现混合结构，即在传统的硅基电子电路上面形成含有电场致转变电子学结构的各个薄层，使之与硅基电路一起工作。

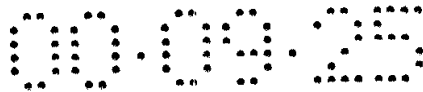
本发明的基本目的是以单片的形式在多层材料内产生三维的导电的、半导体的或电阻的结构，所述的结构是用点、线或面电位形式的电场来产生的。现在将结合图 2a-f 来描述用电场产生所需结构的方法的示例。

图 2a 表示按照本发明的电场发生器/调制器的截面图，它是用作电场致转变材料的电学图形产生装置。电场发生器/调制器既可在空间上，亦即在平面内或二维上，产生电场，也可在空间上调制电场，而在此平面内产生所需图形的导电或半导电结构。因此在下面将把电场发生器/调制器缩写为 EFGM。在图 2a 的截面图和图 2b 的俯视图中所示的 EFGM20 包括由细的平行电极 21 组成的第一电极区 E1 和另一个电极区 E2，它在平行于第一电极区 E1 并与之隔开的平面内。电极区 E2 同样由细的平行电极 22 组成，其取向与第一电极区 E1 中的电极 21 基本上是正交的。电极区 E1、E2 与电源 23 相连，这里所示为直流电压源，但电源 23 也可为交流电压源。电源 23 通过电极区 E1、E2 各自的交连装置 24、25 与电极 21、22 相连。电极区 E1、E2 间的间隙允许在其间插入电场致转变材料 EFCM，在图 2a 中标作 SS1，而未与电极区接触。电极区 E1、E2 可做成自支撑或有支撑的薄膜，在每种情况下电极 21、22 都是嵌在薄膜中的。同样地，场致转变材料 EFCM 层 SS1 可为连续的薄带，它基本上插入 EFGM20 中在电极区 E1、E2 间连续运动。在例如电极区 E1 的电极 21 和电极区 E2 的电极 22 间施加电压，则在电极 21 和 22 间的相交处形成垂直于 SS1 层的电



场，在电极 21、22 间受电场影响的区域场致转变材料 SS1 即可由非导电态转变为导电态。如果以这种方式对一个电极 21 和另一个电极 22 分别供电寻址，则在其相交处得到近似的点电势场。如果对电极区 E1 中的一个电极 21 和电极区 E2 中的所有电极 22 寻址，则沿所讨论的电极 21 得到实质上为线电位形式的势场，相应地在电极区 E1、E2 间的 SS1 层中将产生，例如，线状的导电结构。如果在电极区 E1 中许多的电极 21 是彼此并列的，相应地在电极区 E2 中许多的电极 22 也是彼此并列的，则在电极之间的相交处将产生面电势场，在 SS1 层中，例如，将产生面状的电学结构。例如，在图 2a、2b 中产生的这样的导电结构实质上为面结构，但也可能产生线结构的点，依赖于电场产生的方式。

图 2c 和 2d 分别为截面图和俯视图，表示怎样用 EFGM20 中的电极区 E1、E2 以适当的方式寻址而在第二层中产生，例如，导电结构 9。图 2e、2f 相应地也表示截面图和俯视图，这是带有第三层 SS3 的 EFGM20，这里的 SS3 层是带有图形的，例如，半导体结构 10。如图 2a-f 所示，每个单独的层 SS1、SS2、SS3 都可产生场致转变材料 EFCM 图形，但正如前面所述这些层可以自支撑的单 EFCM 膜的形式存在，然后组合成多层膜堆，这样的结构示意地示于图 3。用 EFCM 的导电和半导体结构制作电路可如图所示使用几路连续运动的 EFCM 带。图 3 中的每个带或膜表示为三个膜 EFCM1、EFCM2、EFCM3，并使分开的 EFGM20 中的每一路在电场作用下转变成所需的空间图形。然后组合成多层结构 MLS，如用胶合或热辅助叠合。多层结构 MLS 可做在一衬底上，当然是不受电场影响的衬底，但叠成层状结构的工艺步骤还是一样的。在每种情况下得到的柔性的带 MLS，可折叠，或卷绕，或切割成段来作成单个电路。在图 3 中场致转变材料 EFCM 的三条带或膜 EFCM1、EFCM2、EFCM3 由各自的供带盘 R_a 驱动，分路输送，每一路都由校直卷轴 R_{b1} 、 R_{b2} 、 R_{b3} 、 R_{b4} 使带子拉紧和定位而通过 EFGM20。完成图形的膜 EFCM1、EFCM2、EFCM3 经传导轴 R_c 输运，在进一步调整位置后通过叠合盘 R_d 而叠合成多层结构 MLS。这个多层结构，如同所述，可包括衬底 1，它是由另一个供带盘 R_a 作为单独的一路来驱动的，并与转变的膜材料 EFCM 一起在叠合盘 R_d 中叠合。对于如图 2a-f 所示的这样叠合和转变的三层，则可得到如图 4



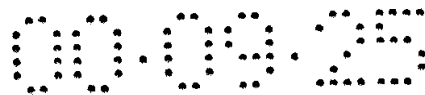
的示意截面图所示的在衬底 1 上的电路结构。在所示的每一层 SS1、SS2、SS3 中，导电结构 9 与半导体结构 10 如同所示那样彼此垂直接触或水平延伸，而一起形成这种具有所需图形的三维结构。

在如图 2a 和图 2b 所示的电场发生器/调制器 (EFGM20) 中，电极区 E1、E2 可做在不导电材料的衬底中或衬底上，电极 21、22 可做
5 在衬底的两个表面上，也可嵌在衬底中。它们也可在衬底材料本身中形成导电结构。在每个电极区 E1、E2 中电极 21、22 的宽度和间距取决于导电结构或半导体结构的分辨率和可作到的图形间隔。与今天的半导体工艺一致，电极 21、22 的宽度和相应的间距在 0.1 和 1.0 μ
10 m 之间。用现在的工艺完全可以在衬底上的薄膜中用纳米工艺，如印制法或化学法，实现电极 21、22 的宽度，例如，为 0.1 μ m 或更窄。按照本发明的方法实现的 EFGM20 的电路图形，至少在尺度上是与硅基电路工艺所用的微刻蚀技术所能达到的最佳结果一致的。为了优化电极间形成的势场，可以控制电极区 E1、E2 间的距离，这取决于要
15 在其中产生导电或半导体结构，即电路图形的薄膜材料的厚度。这种控制可通过未示出的微机械伺服控制法来实现，而众所周知这与操作者的技艺有关。此外，在产生电路图形期间，电极间的空间可充以高介电强度的绝缘气体，以免电极间发生击穿。

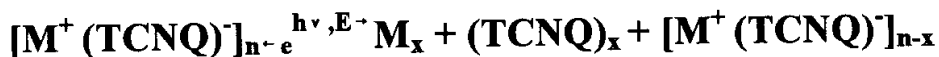
EFGM20 中的电源 23，如图 2a 和 2b 所示，可以是直流电源也可以是交流电源。最好做成可控电源，能为电极区 E1、E2 供给不同模式和特性的电流。为此，电源 23 和交连装置 24、25 将与未示出的外部控制设施连接，它可按照所需电路图形协议编程，而相应地控制在电极区 E1、E2 间的层状材料或薄膜材料中产生所需的导电或半导体结构。协议和所需的软件可从外部源装载到未示出的控制设施中，因此用 EFGM20 制作电路可以遥控。
25

现在将更详细地讨论可用在本发明的方法中的电场致转变材料 EFCM 以及可用在所说方法的示例中的特定技术。原位场致转变材料的基本原理是用空间调制和/或场强调制的电场来产生导电或半导体结构。转变本身还可以是可逆的或不可逆的。下面将给出这种具体的例子。必须说明的是 EFCM 现正处于早期开发阶段，预期在此领域正在进行的研究开发将大大增多可用的材料数目。
30

在本发明中特别愿意使用 EFCM 材料，因为它受到电场作用后保

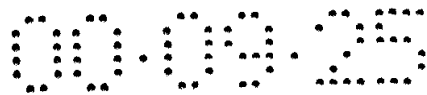


持这种状态直至再受到电场作用才恢复其初始状态。一般知道，这与其他不同的有机大分子和材料一起称作分子电子材料。这类材料的一个例子示于下面的文章中，Z.Y. Hua & G.R. Chen, “用于光学、电力或电子薄膜存储器的一种新材料 (A new material for optical, electrical and electronic thin film memories)”, Vacuum, Vol.43, No.11: 1019-1023(1992)。这种材料是由 TCNQ (四氰基奎诺二甲烷) 形成的一种有机金属电荷转移复合物 $M(TCNQ)$ ，TCNQ 起电子受主分子的作用，不同的金属作为富电子的施主。金属可以是 Li、Na、K、Ag、Cu 或 Fe。M(TCNQ) 可在施加电场下，也可以加热或光照的形式供给能量而从高阻抗态转变为低阻抗态。一般此反应可写作



这个过程是可逆的，因为以加热、电场或光照来供给能量 ε 就可得到逆反应。可逆反应使得 $M(TCNQ)$ 可用作双稳开关介质，如可擦除存储材料。在本发明的方法中只使用了电场而没有使用光照。在薄层中，如 100-200 nm， $M(TCNQ)$ 具有非线性电流-电压特性，有些可用作 ROM 和 RAM 型存储器。为此，特别有趣的是 $M(TCNQ)$ 可以稳定重复地做成电流控制双稳电开关。如在电寻址存储器中，高阻抗态可用来表示二进制的 1，而低阻抗态表示二进制的 0。这两个状态间的转变时间小于 400 ns。有关材料的更多的例子将在下面的文章 W. Xu & al., “具有电学双稳态的两种新的全有机络合物 (Two new all-organic complexes with electrical bistable states)”, Appl. Phys. Lett. 67:2241-2242 (1995) 和所附的参考文献中予以讨论。所述的材料是双稳的，在用电场使之由导电态转变为非导电态或逆变时具有明确的阈值。

在某些场致转变材料中，包括 TCNQ，也可在以加热的形式供给能量时发生由非导电态到导电态的转变。因为场致转变材料基本上是介电的或高电阻的，在电极上对材料施加适当频率的交变电场，在势场区会引起发热，加热可使这一区域的材料发生由非导电态到导电态的并发转变。这样在交变电源下工作时，热转变必须被考虑作电场引起的二次效应。为使产生的导电或半导体结构得到良好的空间界定，在材料中由交变电场引起的热场必须精确地加以控制。热场也将通过材料传播而引起温度上升，这可影响势场以外材料的电学性质，而势



场理想地应确定所产生的结构的范围。若把场致转变材料当作无限薄的层，温度的上升与由驱动电极的交点确定的，例如，点势场一起将在材料中影响到一个距离，这由下式的扩散长度来确定

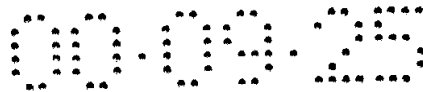
$$\mu = (\kappa / \pi f \rho c)^{1/2} \quad (1)$$

- 5 式中的材料参数 κ = 热导率，
 $f = 1/\tau$ 为特征频率，是脉宽 τ 的倒数，
 ρ = 材料密度，
 c = 材料比热。

按照(1)式，为减小热扩散而使所希望的导电或半导体结构得到
10 清晰的空间界定，应使用交流脉冲，它在势场区提供了高场强和快速的温度上升，场致转变材料也随之而快速转变。这是可以实现的：将高场强与高场频结合起来，使用厚度 100 nm 的薄膜形式的场致转变材料，并设想使用至多几个微秒的交流脉冲能有效地避免不需要的热扩散。在这样的情况下，也必须调节电场特性，使在理想地确定所产
15 生的导电和半导体结构的势场区产生所需程度的电导率。

在薄膜材料或其他电子材料中不同层间的电连接是在微电子器件的制造中存在的一个主要困难。在每一层的平面内和垂直于平面方向上精确定位导电通道是极其重要的，为产生垂直于各层的连接，典型地是形成通道或通孔，填以导电材料。在以前的工艺中实际制作孔时
20 采用钻孔、冲孔或腐蚀，用机械填充或电镀等方法添加导电材料。这种十分清楚的加工过程既复杂，成本又高，且精度有限。

在本发明中，电连接以及有源和钝化器件都可在同样的加工过程中产生，它以结构本身同样的空间精度确定了每层中的导电和半导体结构，而没有求助于其他更多的加工步骤。图 5 表示在这种特殊情况下，例如在 SS5 层中某个导电结构的一部分和与之隔开的 SS8 层中另
25 一个导电结构 9 的一部分间产生单个导电通道 9 的基本原理。在几个相邻层每层同一位置的小区域内导电或半导体结构的接点间，重复地进行转变，就形成图 5 所示的导电材料柱 9'，并从含有第一个导电结构的起始层 SS5 到含有第二个导电结构的终止层 SS8 逐步地得到导
30 电结构。导电柱 9' 的截面可通过选择电场图案来任意确定。直接扩展这一步骤可形成许多并列的导电柱，由图 5 可以明显地看到，这些柱可起止于不同的层。在某一指定层中带有导电结构 9，它与一个或



多个纵向导电结构 9' 的导电柱相连，后者将与这层中，如图 5 中的 SS6，安排的其他导电结构 9 或半导体结构 10 一起做成，而无须其他的或不同的工艺步骤。由非导电态到导电态或反之的转变程度，典型地可由场强和/或其时间特性来控制，可能也受电场持续时间的影响。因此连接不同的两层接点的导电柱，可选择其沿层间各段的电导率而使之成为电路中的电阻。

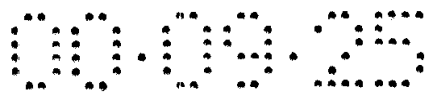
擦除形成的三维导电或半导体结构的方法是本发明的一部分。

原则上在各个单层中的导电或半导体结构可用图 2a-f 中任一个所示的 EFGM20 和适当的光谱调制来选择擦除。然而只有在把单层结合成多层结构 MLS 后才可对多层结构全面地进行擦除，在基体的情形，多层结构全面受到指定场强和/或特性的电场的作用，并可能由电场供给适于材料特定响应的能量。基体中的材料则将再发生转变，直至基体的全部都达到其不导电态，如果基体是由某种材料如 M (MTCNQ) 制成的就属于这种情况。M (MTCNQ) 材料的多层结构或基体此后可用新的导电和半导体结构来重组，但目前用电场还不可能。然而属于本申请者同时提交的国际专利申请 PCT/NO99/00023 所揭示的产生方法是可以使用的。

由于按照本发明的产生方法能够将适当的材料，直接或间接地(如在末一个例子中由于同时局部受热)在电场的作用下由其绝缘态转变为半导体态或反之，这就可能用这种方法来制作，例如，二极管和晶体管，并可与电阻、电容相连而形成完整的有源电子电路。形成有源元件和电路的一些更详细的例子将示于下面。

例 1

图 6 表示按照本发明的方法产生的具有导电和半导体结构的正偏 pn 结二极管，是用薄膜工艺由四个子层 SS1-SS4 构成的。SS2 和 SS3 层含有有源的半导体材料夹于分别在子层 SS1 和 SS4 中的电极 11 间。子层 SS2 中的半导体材料 10 是 n 型掺杂的半导体，而子层 SS3 中的相邻有源材料 10' 是 p 型掺杂的半导体。子层 SS1 和 SS4 中的电极 11 与同层中的横向导电结构或导电通道 9 接触。图 6 中二极管结构单层的厚度典型地为 100 nm，这样形成的整个多层结构的厚度小于 1 微米。二极管结构区域的横向范围取决于使用带有如图 2a-f 所示的电极区 E1、E2 的 EFGM 所能实现的空间分辨率，用传统的光刻法或用光



照转变材料和上述的国际专利申请 PCT/NO99/00023 所揭示的方法可以形成间距为 $0.2-1.0 \mu\text{m}$ 量级的电极 21、22。此外使用特殊的印制法或纳米技术和化学方法将能实现的电极结构要小一个量级。实际上可以设想，使用已有的工艺来制作电极装置能够在二维对点和线势场
5 进行空间调制至 $0.1 \mu\text{m}$ 的最小范围。

例 2 — MOSFET

图 7 示意地表示本发明所用的一个 MOSFET，是用薄膜工艺完全用有机材料制成的。子层 SS1 中提供的栅电极 12 与横向导电结构 9 相连，而子层 SS2 构成了栅绝缘层 13。子层 SS3 提供了半导体有源材
10 料 10，并对准为栅电极 10。源和漏电极 14 由最上层 SS4 提供并与同一层中的横向导电结构 9 相连。每个子层或由导电结构或由半导体结构以及介电区构成。这种 MOSFET 的厚度可为 $1/2 \mu\text{m}$ ，而在平面内目前的工艺可实现的范围，由至多几微米至小于 $1 \mu\text{m}$ ，参照例 1 所述。

15 例 3 — CMOS 逻辑反相器

图 7 的 MOSFET 结构现在可用于逻辑门电路，例如 CMOS 技术中的逻辑反相器，如图 8 所示。这种反相器是将背对背结构的具有公用栅电极的一个 n-MOSFET 和一个 p-MOSFET 的源和漏电极并联而成的。为此产生一纵向导电结构 15，它穿过所有各子层 SS1-SS7 而与
20 电极 14' 相连。反相器的输出讯号由此导电结构 15 送到图中左侧的横向导电结构 9 上。MOSFET 的公用栅极 12 通过图中右侧子层 SS4 中的横向导电结构 9 接收输入讯号。全部子层的厚度则小于 1 微米，实现的典型厚度约 $0.7 \mu\text{m}$ ，而反相器的横向范围将具有前面结合图 7 的 MOSFET 结构的讨论所述的同样尺度。

25 例 4 — CMOS 与门

像图 7 所示的 MOSFET 结构的有源元件可用于形成集成电路，这是将带有所需电学性质的结构的各个子层堆叠起来，完全用有机薄膜工艺来实现的。明确地讲，下面的例子是关于与门电路的，这是用图
7 所示的晶体管结构由 CMOS 技术来实现的。为了便于理解怎样使有源器件如场效应管与多层结构结合起来而成为功能器件，如与门，将
30 参考图 9，它表示互补 MOS 技术 (CMOS 技术) 与门的电路图。CMOS 与门是分别用增强型 n-MOSFET 和 p-MOSFET 作开关来实现的。两

个输入讯号 A 和 B 被分别送到 p-MOS Q_1 和 Q_2 的栅极和 n-MOS Q_3 和 Q_4 的栅极。如果输入讯号使 A 和 B 都为高电平，则输出讯号 \bar{X} 将为低电平。这时 Q_3 和 Q_4 将都是开态，而 p-MOS 开关 Q_1 和 Q_2 都将为关态，即没有电流流过，因而输出讯号降为低电平。与之对照，如果输入讯号 A 或 B 中有一个是低电平，或是二者都是低的，相应地 p-MOS 晶体管 Q_1 、 Q_2 将分别切换为开态，输出讯号 \bar{X} 则升高，因为串联的 n-MOS 管 Q_3 、 Q_4 中有一个或是两个都为关态而没有电流流过。正如将要看到的，器件 Q_1 、 Q_2 、 Q_3 、 Q_4 实现了一个与非门，而要实现与门，必须将与非门的输出与也是用 CMOS 技术实现的逻辑反相器相连，即分别用 p-MOS 开关 Q_2 与 n-MOS 开关 Q_6 并联。这是一个标准的 CMOS 反相器，如果其输入讯号 \bar{X} 为高电平，其输出讯号 X 将为输入讯号 \bar{X} 的反转，因而为低电平。反之，低输入讯号 \bar{X} 将被反转为高输出讯号 X，这相当于与非门的输入讯号都是高电平。换言之，很容易作到用图 9 所示的电路来实现一个与门，而且熟悉工艺的人将会了解到，可以相应地实现具有任意数目输入端的逻辑或门和或非门。然而，原则上用 CMOS 技术，如用图 7 所示的晶体管结构，实现的一种门电路与一种或多种反相器结合起来可以实现所有的逻辑运算。

实际上，与门电路完全可以用图 7 所示的 MOSFET 结构，由图 10a-10d 所示的薄膜工艺来实现。图 10a-10d 表示完全由薄膜工艺实现的与门，其有源和钝化器件由四个子层 SS1、SS3-SS5 来提供。第一个子层 SS1（图 10a）含有栅电极 g_1 - g_6 ，此处的下标对应于图 9 中 MOSFET Q_1 - Q_6 的下标。A 和 B 的输入讯号通过横向导电结构或电流通道 9 被分别送到栅电极 g_1 、 g_3 和 g_2 、 g_4 。相应地反相器的栅电极 g_5 、 g_6 与横向电流通道 9 相连。一纵向导电结构标作 15，符号 Δ 表示它由子层 SS1 纵向向上延伸。在图 10b 中的符号 Δ 和 ∇ 表示在 SS3 层中的纵向导电结构 15 纵向穿过这一层并向两侧延伸。SS3 层包含一些有源半导体材料区域 b_1 - b_6 （相应于图 7 中的结构 10），对应于 SS1 层中的栅电极 g_1 - g_6 。要注意的是独特的 SS2 层，除了纵向导电结构 15 也是穿过这层并向两侧延伸外，它是由介电材料构成的，形成了组成与门的 MOSFET Q_1 - Q_6 的公用栅绝缘层。SS2 层当然是介于 SS1 层和 SS3 层之间，但没有表示在图中。图 10c 的 SS4 层在 SS3 层上面并与 SS3



层紧邻，分别构成相应的 MOSFET Q_1 - Q_6 的源电极 s_1 - s_6 和漏电极 d_1 - d_6 。在 SS3 层中的有源半导体材料 b_1 - b_6 在这里由虚线表示。纵向电流通道 15 也穿过 SS4 层而向两侧延伸，并与子层 SS5 的横向电流通道 9 接触，如图 10d 所示。这个横向电流通道相应于 MOSFET Q_2 、 Q_3 的漏电极 d_2 和 d_3 间的连接，此外它也与 Q_1 的漏电极 d_1 相连。另一个横向电流通道 9 实现了 Q_3 的源电极 s_3 与 Q_4 的漏电极 d_4 的串联。源电极 s_4 和 s_6 由另外的横向导电结构 9 接地，而在 SS5 层最右边的横向导电结构 9 分别与 Q_1 、 Q_2 和 Q_5 的源电极 s_1 、 s_2 、 s_5 相连，并供给电压 V_{dd} 。在图 10d 的最上端还有一个横向电流通道 9，形成了 Q_5 、 Q_6 的漏电极 d_5 、 d_6 的并联以及输出线，标作 X。由 Q_1 、 Q_2 、 Q_3 、 Q_4 构成的与非门的输出讯号 \bar{X} 被送到纵向电流通道 15。图 11 示意地表示图 10 中的各层如何成为堆叠结构，这里包括了栅极绝缘层 SS2。然而为了弄清堆叠过程，打破子层 SS1-SS5 单独的分层表示，并由虚线表示纵向导电通道 15 穿过各层的过程。带有栅电极层的 SS1-SS5 座落于没有示出的下面的介电层上，图 11 所示的与门结构的总厚度为 $0.75 \mu\text{m}$ ，面积约 $100 \mu\text{m}^2$ ($12.8 \mu\text{m}^2$)。结构的体积因而为 $75 \mu\text{m}^3$ 。按照保守的空间分辨率，这意味着在 1mm^2 面积上可以实现约 10000 个这类逻辑门，而其厚度远低于 $1 \mu\text{m}$ 。相应地电流通道 9、15 一起的总长度变为 $60 \mu\text{m}$ 。

例 5 — 纵向堆叠 CMOS 电路的与门

用纵向堆叠的 MOSFET 结构可缩短与门的电流通道长度和大大简化结构，如图 12 所示。图中使用了与图 10 和 11 中同样的参考数字，还将看到纵向的与门结构利用了这样的事实，晶体管 Q_1 、 Q_3 的栅极 g_1 和 g_3 处于同一公共电位， Q_2 、 Q_4 的栅极 g_2 和 g_4 处于另一公共电位而 Q_5 、 Q_6 的栅极 g_5 和 g_6 处于第三个公共电位。因此晶体管 Q_1 - Q_6 以背对背结构的对管 Q_1 、 Q_3 ， Q_2 、 Q_4 ， Q_5 、 Q_6 共用相应的栅极 g_1 、 g_3 ， g_2 、 g_4 ， g_5 、 g_6 形成 CMOS 电路。每个 CMOS 电路被置于一隔离层上，在图 12 的每一 MOSFET 结构中是置于 Q_3 下面， Q_1 与 Q_4 和 Q_2 与 Q_5 之间。当然栅极 g 也由未明确标出的绝缘层构成各自的栅绝缘层，而与有源半导体材料 b 隔离。在图 10 和 11 中的横向电流通道现在实质上由穿过各层的纵向电流通道所取代，提供了与图 9 中所示的相当电路同样的连接。特别是将看到如在图 10 的结构中所示的也是纵向的电流通道 15，它将 Q_5 、 Q_6 的栅极 g_5 、 g_6 与 Q_2 、 Q_3 的漏电极 d_2 、 d_3 以



及 Q_1 的漏电极 d_1 连接起来。

图 12 的纵向与门结构包括衬底 1 是由总共 24 个子层构成的，其中 6 个较厚的绝缘层成为栅绝缘层，三个相应的厚绝缘层使成对的 MOSFET 结构相互隔离。按照图 11 所述的同样的尺寸，整个图 12 堆叠结构的厚度因而约 $3 \mu\text{m}$ ，座落于 $16 \mu\text{m}^2$ 的面积上。总体积变为小于 $50 \mu\text{m}^3$ ，较图 11 的结构小了 $1/3$ 。然而最重要的是，在图 11 的结构中由所示的尺寸其电流通道的长度为 $52 \mu\text{m}$ ，而图 12 的结构在一优选示例中此长度约为 $15 \mu\text{m}$ ，减小了 70% 。在这种连接中应特别注意，图 12 是示意的，而且为了表示得更清楚，纵向的电流通道的相互被平面的连接所取代。不过，这些通道可被置于与结构的一个侧面平行的同一平面内。

为了用光照转变的有机材料在薄膜中产生导电和半导电结构，在今天的薄膜技术范围内使用上述的工艺完全能够减小水平方向的线度，这样元件的密度至少可增加一个数量级。这就意味着在 1mm^2 的面积上可实现图 11 结构的这种门电路 10^5 个，其层厚远小于 $1 \mu\text{m}$ ，而图 12 的结构在相同的面积上可以稍好一些的因子实现 $6 \cdot 10^5$ 个门电路，这样器件的密度就比图 11 的结构增加 33% 。

各个单层的加工，即用电场进行转变而产生导电或半导电结构，并完成了图 2a-f 和图 3 所示的加工后，在各个单层结合成多层结构而形成堆叠的电路结构之前，还可进行一些后处理和修正，如可能的热处理。

例如在转变后可对各个单层进行热处理以控制导电和/或半导电结构的性质，如把单体转变为低聚物或多聚物、掺杂、晶化等。这些工艺都是熟知的并已得到广泛的应用，因而这里不再给出一些明确的示例。热处理也可用，例如，光照来完成。另一种可能是使用交变电场。原则上，也可用交变电场来影响 EFCM 的场致转变，而图 2a-f 中所示的电源 23 则当然必须是交流电压源。按照那样的连接，受到交流电场的电阻材料将被加热。用交流电场来产生由非导电态至，例如，导电态的转变就可发生对所产生的导电结构的加热，因而也可与转变过程同时原位发生所希望的热处理。

在各层中使用例如有机材料，并按照本发明使用电场来产生导电和半导电结构的转变，就可制作比用今日的无机半导体工艺所能达到

- 的更便宜和简单得多的电子器件。如果成卷成盘地制作图 7 所示的电路，就可进行大量和快速的生产而没有实质的尺寸限制。然而，将分开的单层结合成多层而形成堆叠结构，层与层间的对准是较为严格的，以保证纵向导电结构在分开的各层中对准的一致，在导电结构中如电极和有源半导体材料也要这样做。对准精度的要求由图形间距给出，这可在制作导电和导电结构时来实现，实际上也可用干涉法作控制和定位，或用光学标记、或是机械或电学的纳米工艺来实现。然而，这样的方法不属于本发明的范围，因而不作更多的讨论，但熟悉工艺的人必须关心这个问题。
- 10 可在远离电路制作处使用本发明的方法来产生各种结构，设计指定电路的多层结构的协议，然后下载，例如，控制软件而在生产方就地控制实际产生的电路图形。因此用户可按照自己的规格遥控电路的创制和生产，只要传送必须的指令和信息即可。这样本发明可提供具有全新内容的概念应用电路和顾客指定电路的生产。

说明书附图

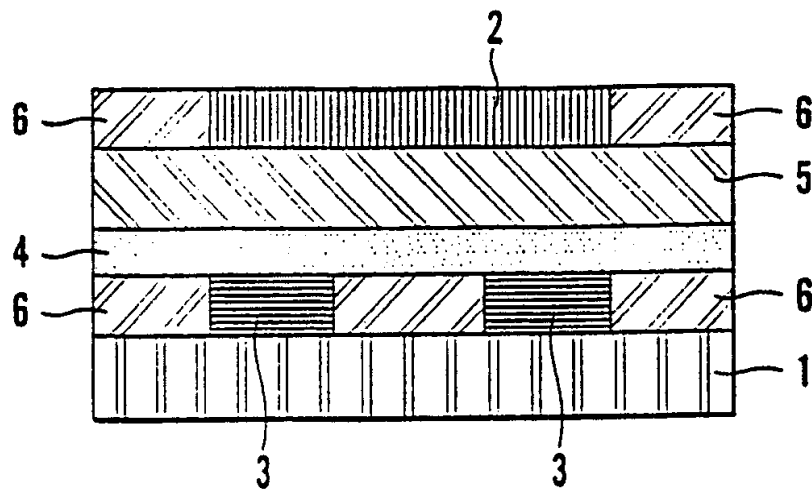


图 1 (现有技术)

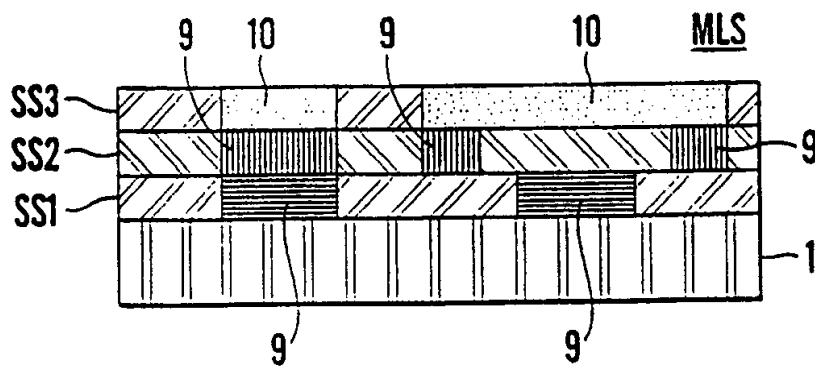


图 4

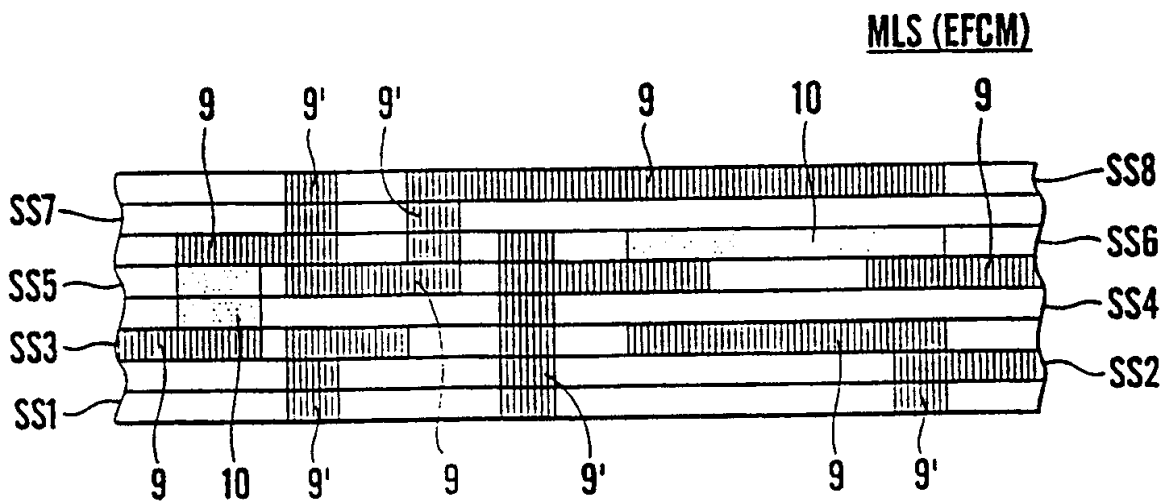


图 5

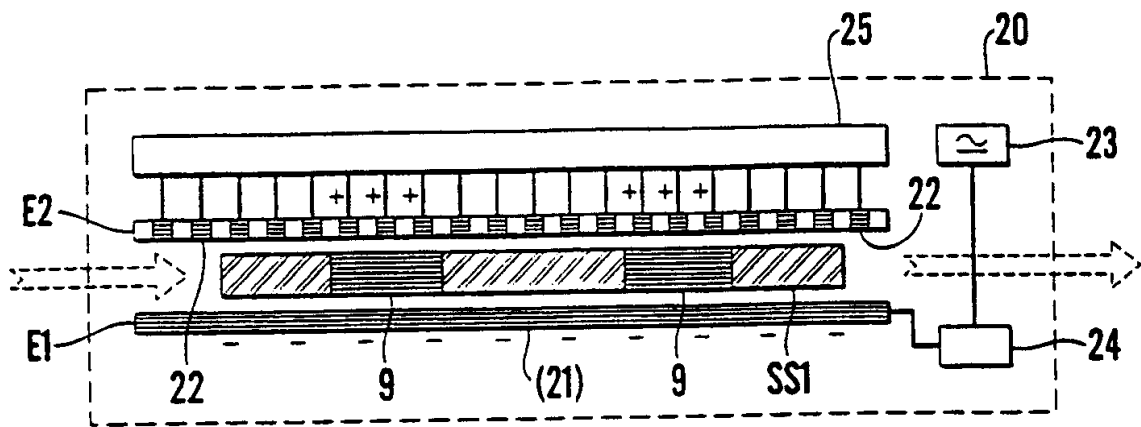


图 2a

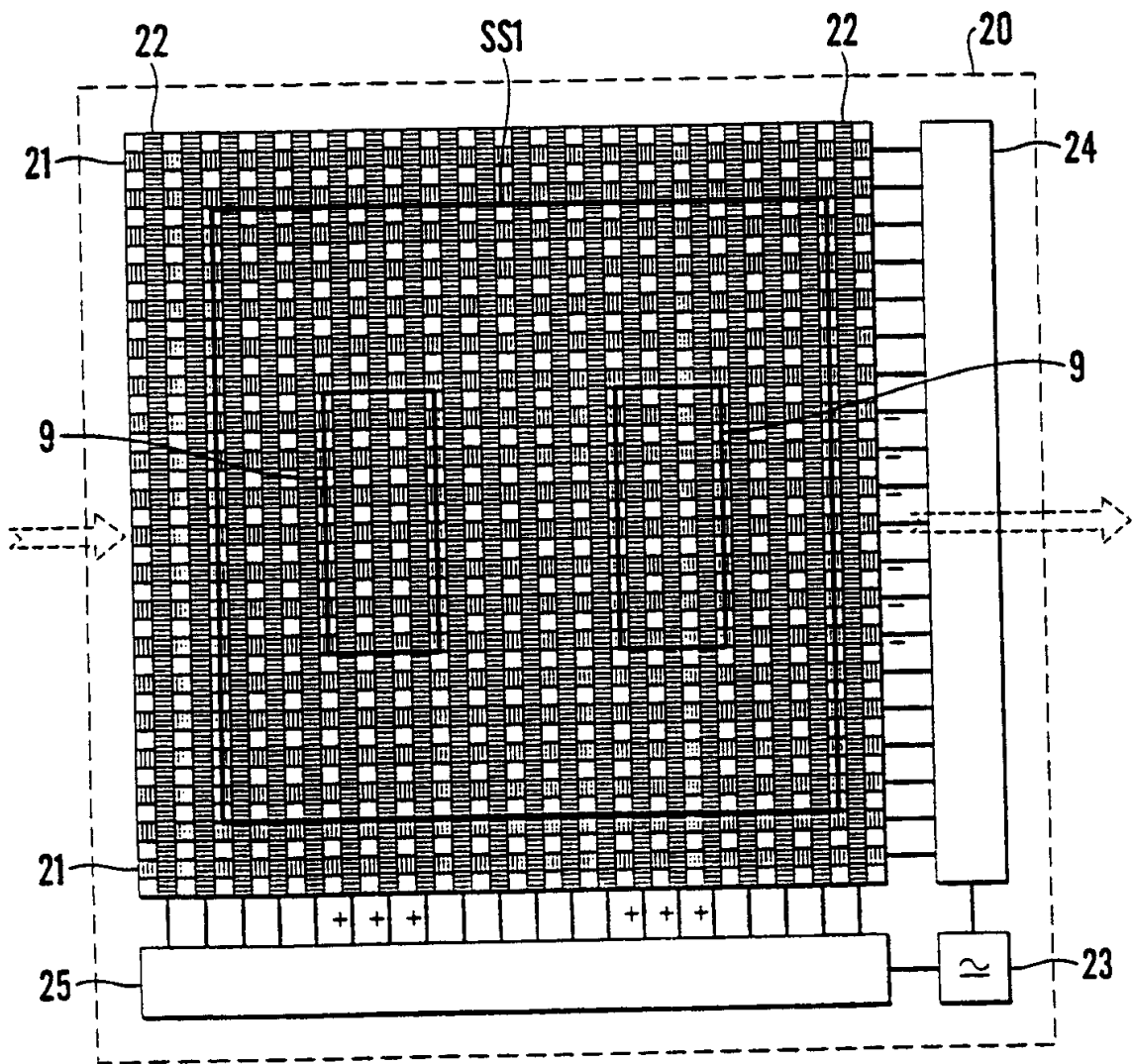


图 2b

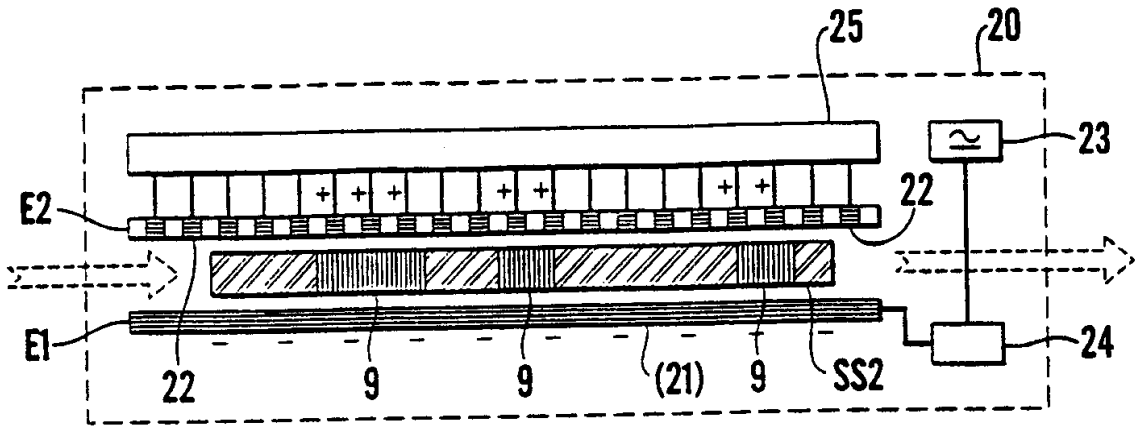


图 2c

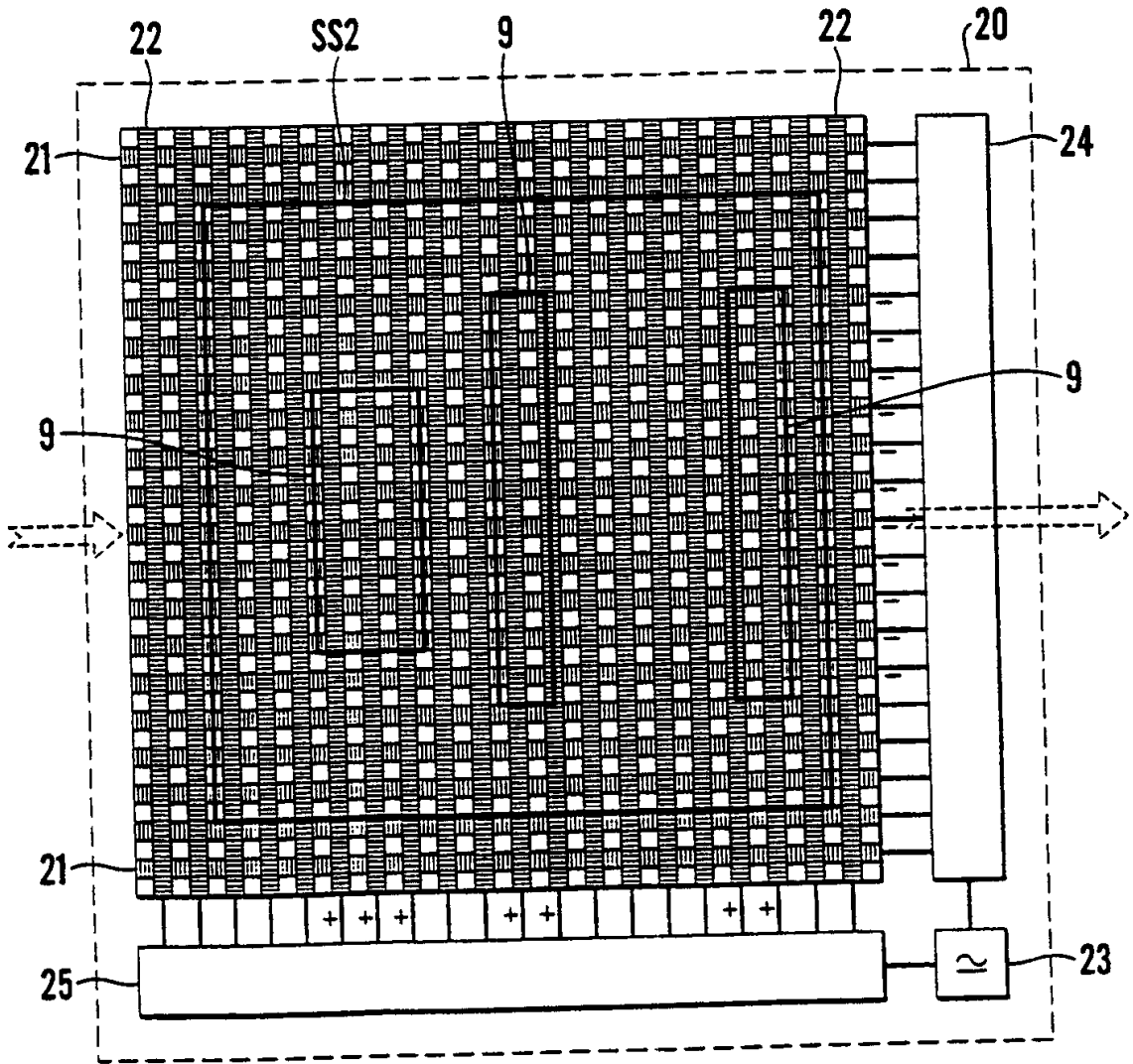


图 2d

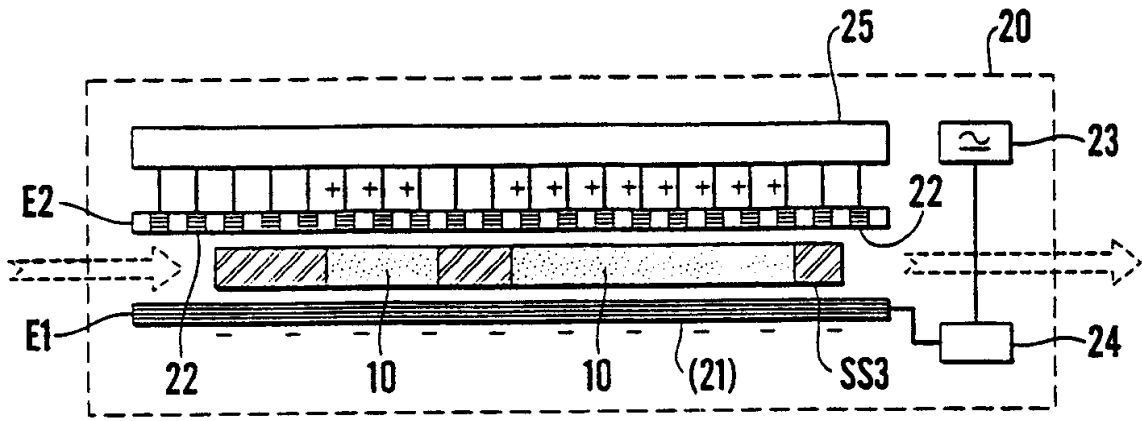


图 2e

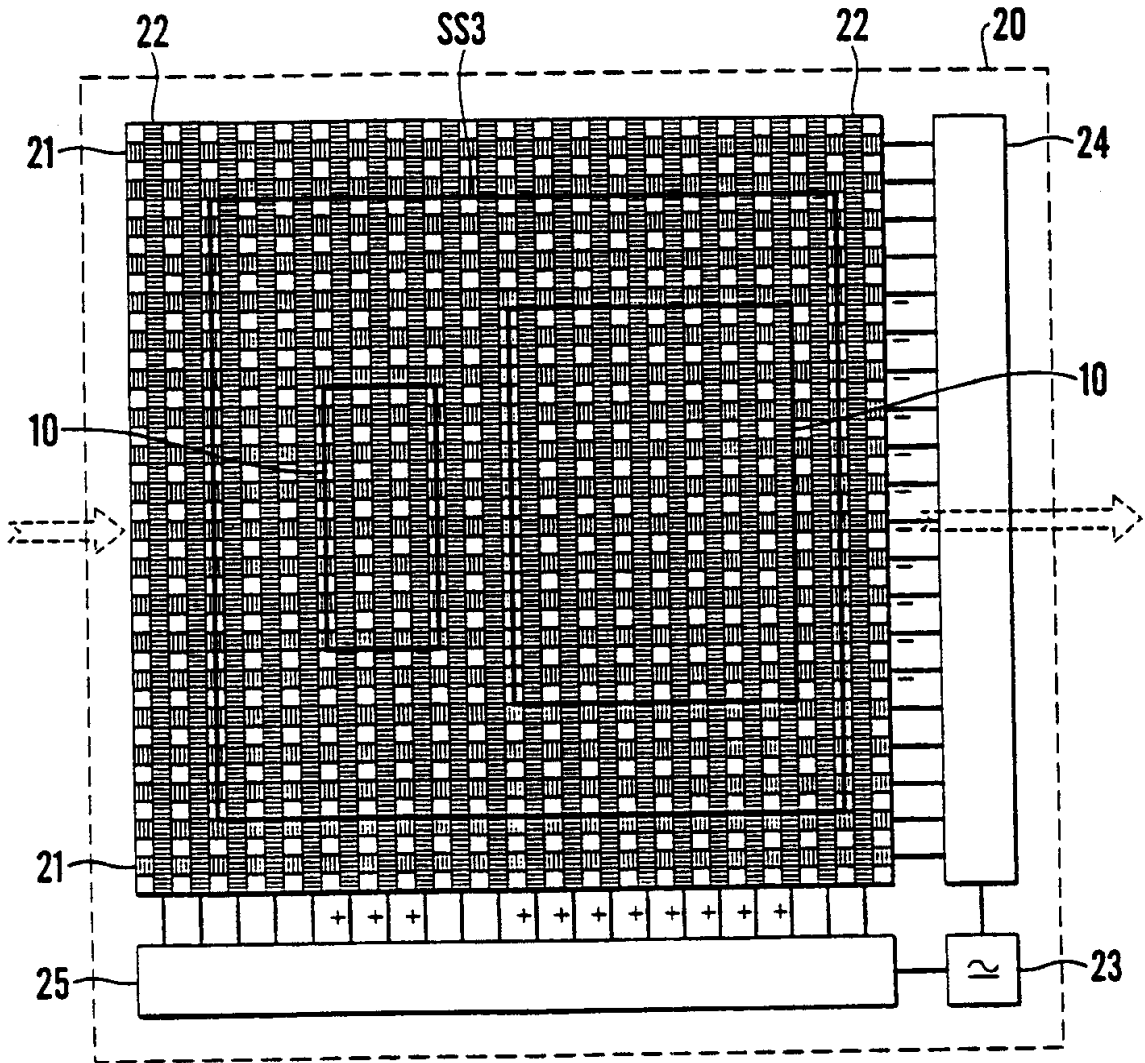


图 2f

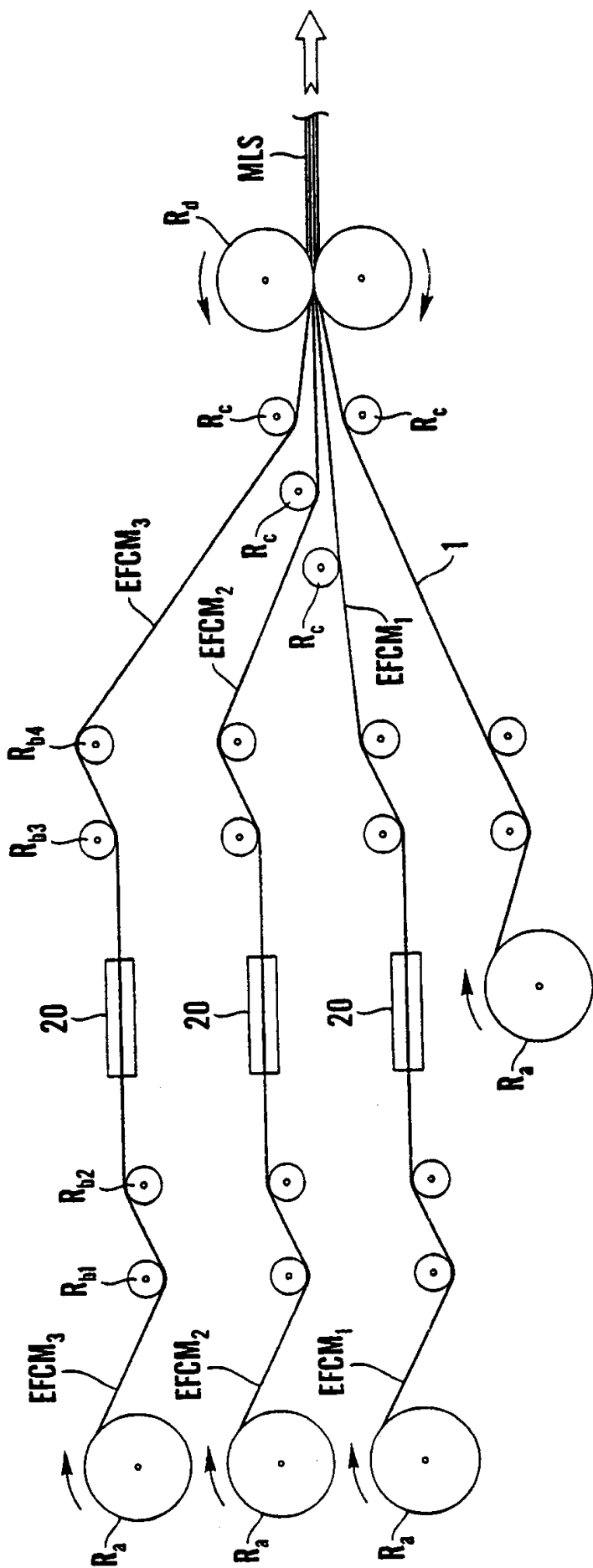

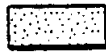






图 3

这些图的图标

-  绝缘
-  半导体
-  p-型半导体
-  n-型半导体
-  导电电极

 水平和垂直导电通路
(Δ , 向上; ∇ , 向下)

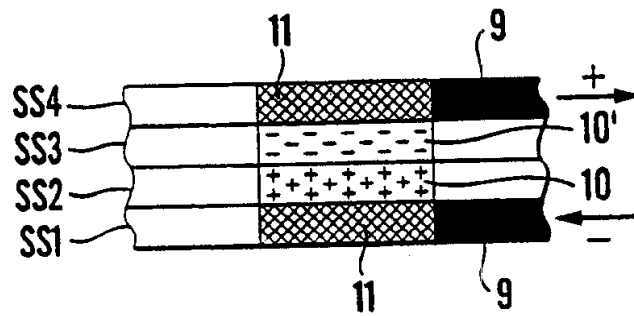
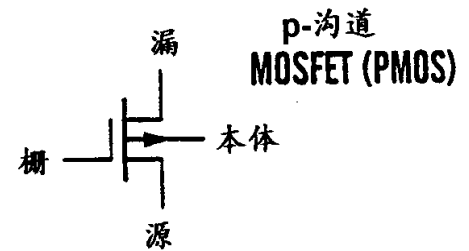
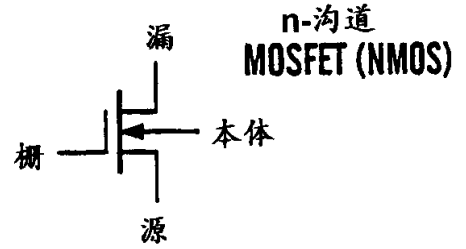


图 6

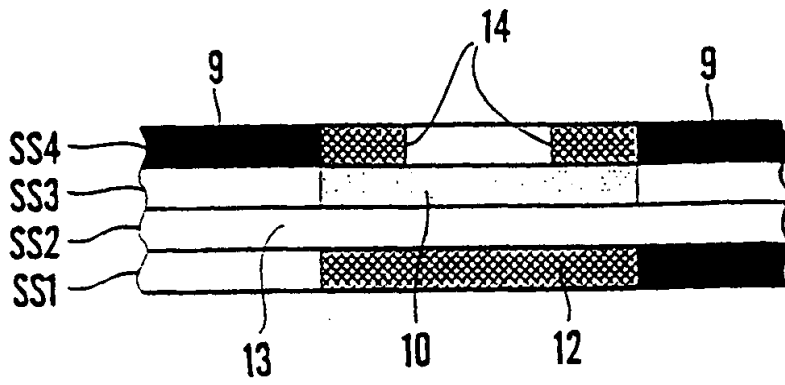


图 7

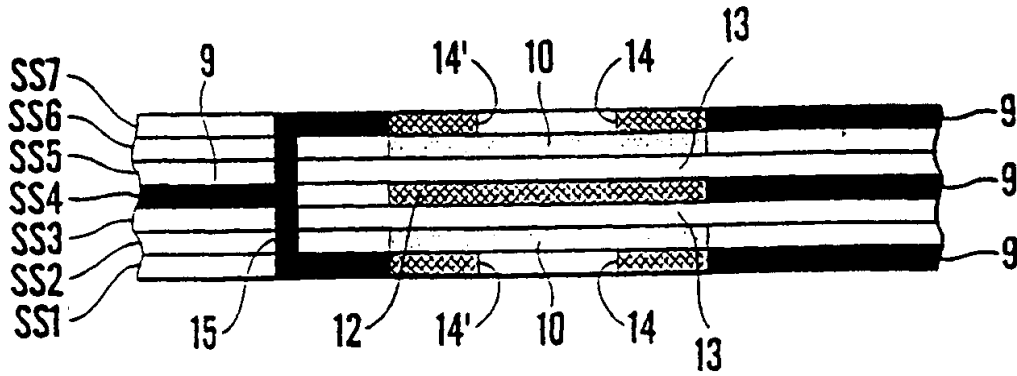


图 8

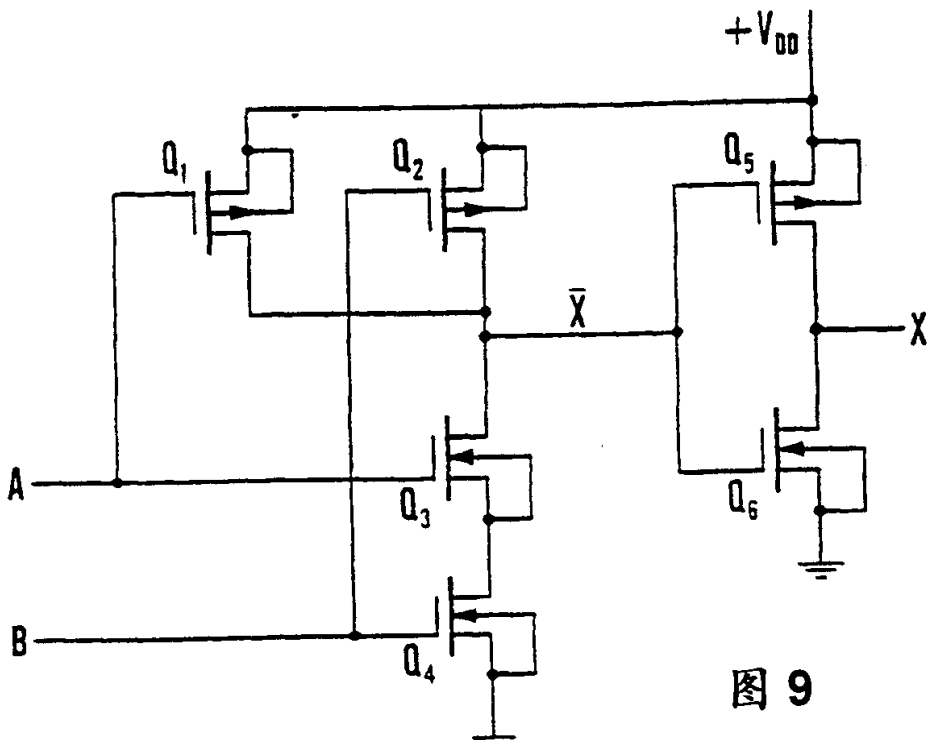


图 9

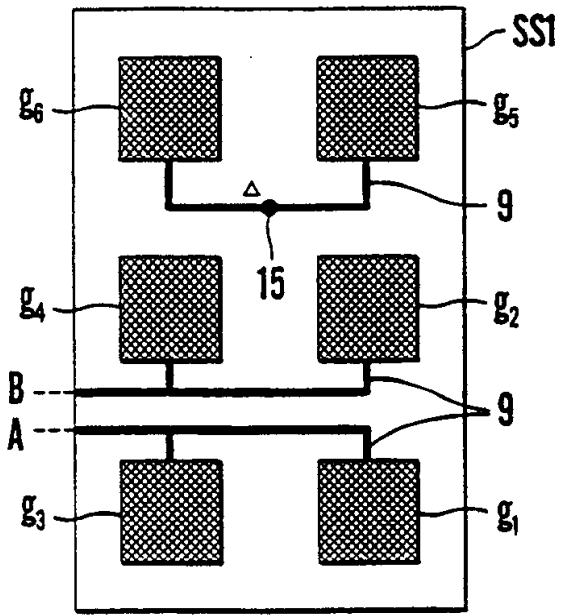


图 10a

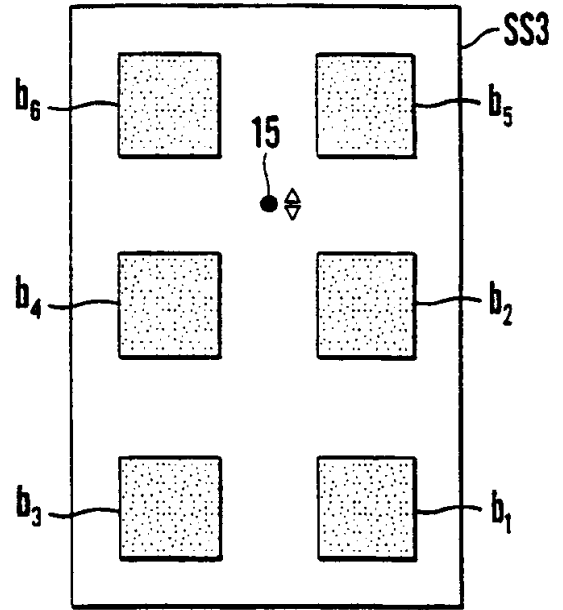


图 10b

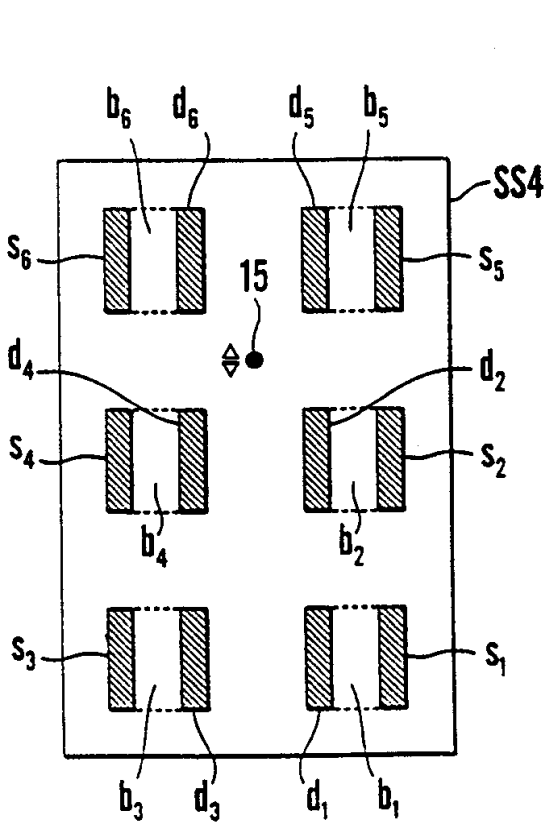


图 10c

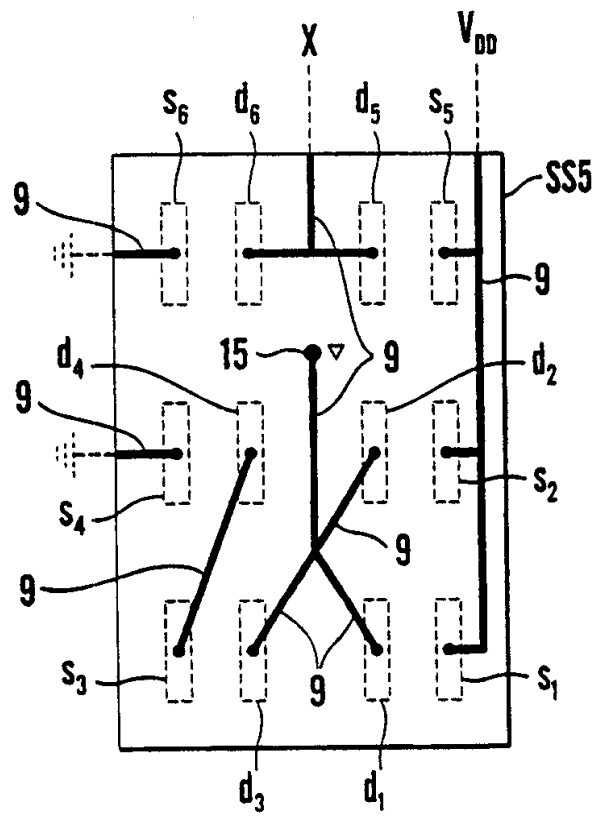


图 10d

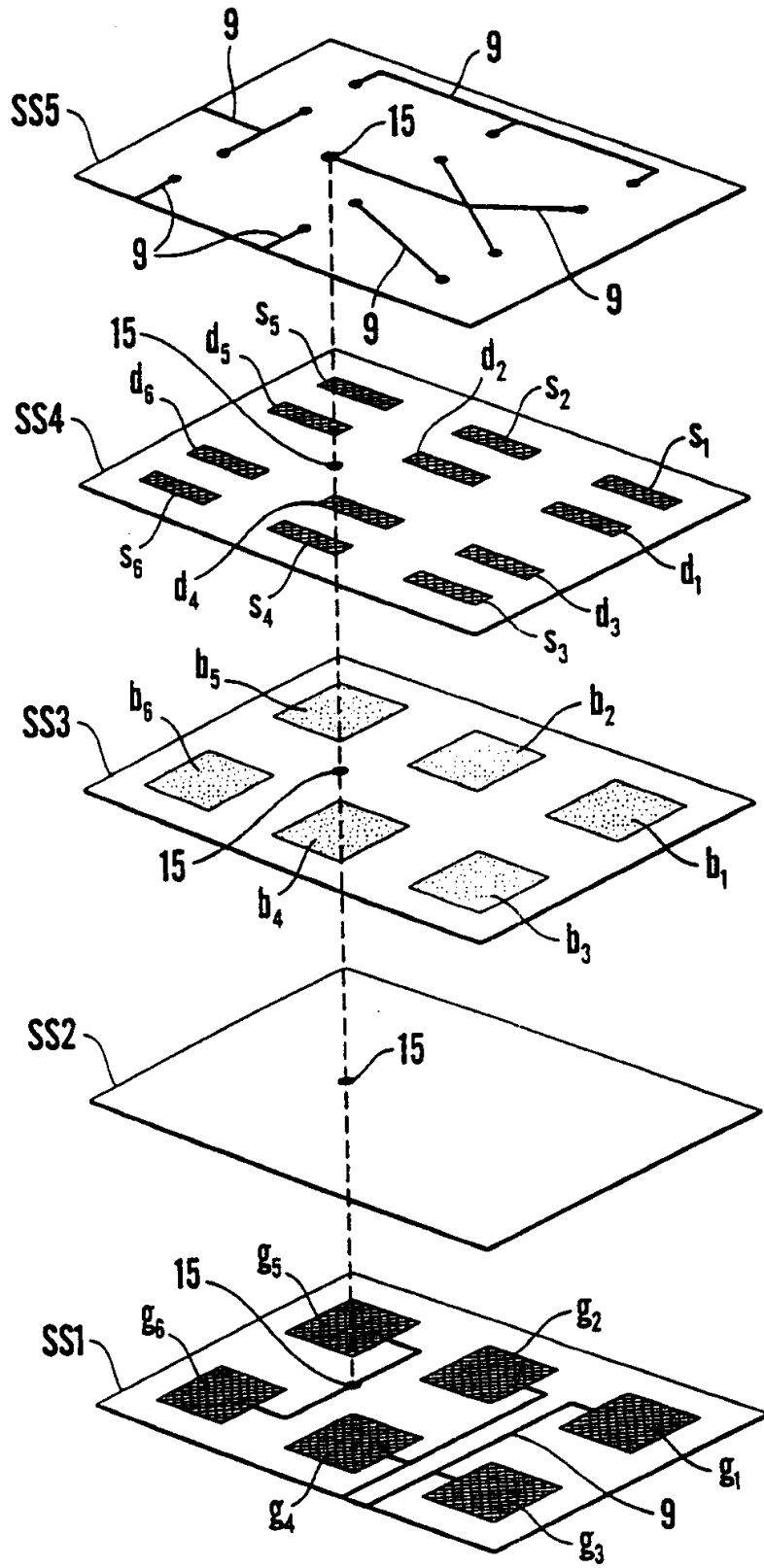


图 11

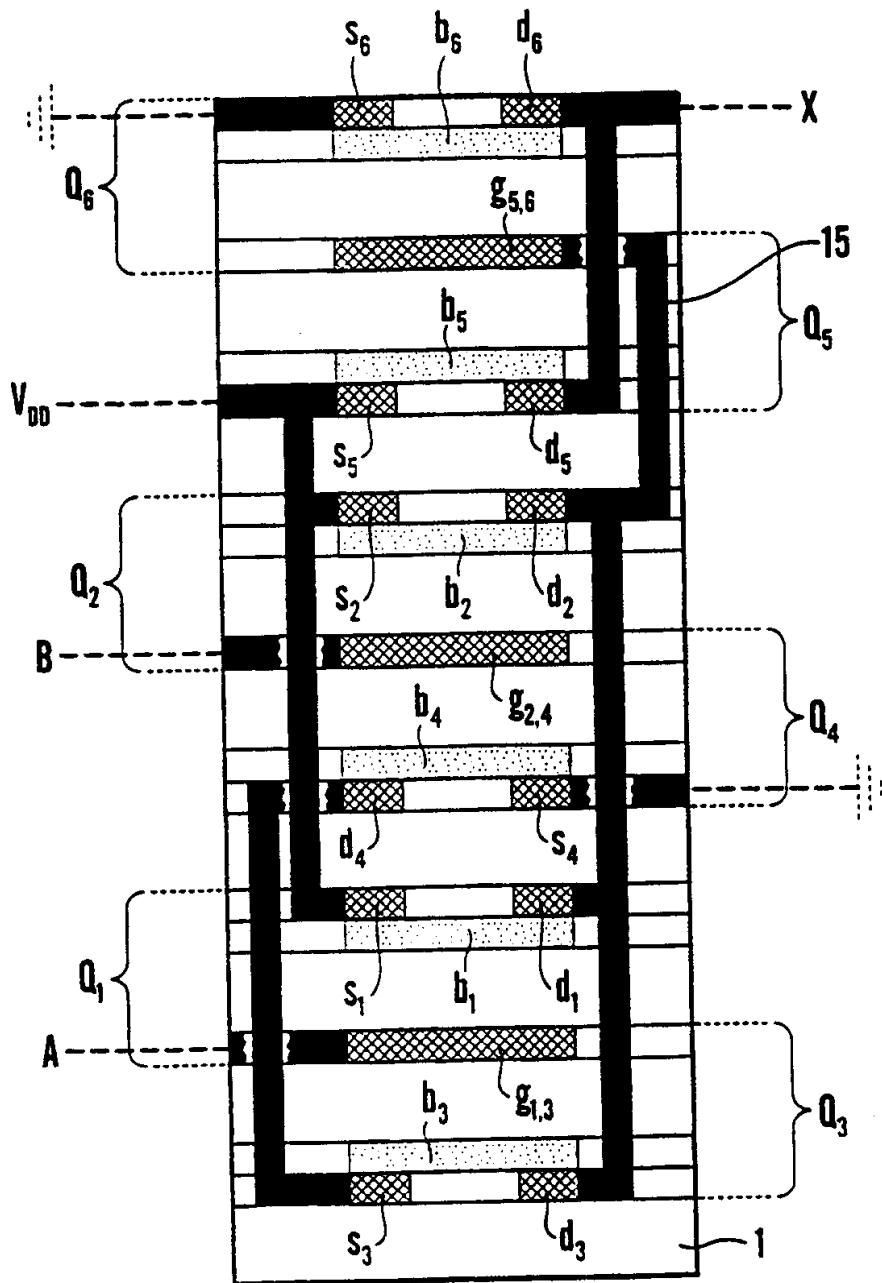


图 12